



(12) 发明专利

(10) 授权公告号 CN 1750171 B

(45) 授权公告日 2010.06.09

(21) 申请号 200510079129.7

US 2004105299 A1, 2004.06.03, 全文.

(22) 申请日 2005.06.24

审查员 董乐

(30) 优先权数据

2004-267645 2004.09.15 JP

(73) 专利权人 株式会社瑞萨科技

地址 日本东京

(72) 发明人 前田德章 篠崎义弘 山冈雅直

岛崎靖久 磯田正典 新居浩二

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 付建军

(51) Int. Cl.

G11C 11/413(2006.01)

(56) 对比文件

CN 1148720 A, 1997.04.30, 全文.

CN 1474411 A, 2004.02.11, 全文.

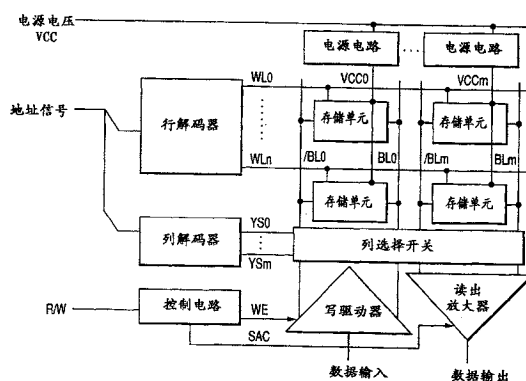
权利要求书 1 页 说明书 12 页 附图 14 页

(54) 发明名称

半导体集成电路器件

(57) 摘要

本发明提供一种设有 SRAM 的半导体集成电路器件,它以低供给电压满足 SNM 和写余量的需求。该半导体集成电路器件包括:对应多个字线和多个互补位线设置的多个静态存储单元;多个存储单元电源线,每个存储单元电源线向连接到多个互补位线的每个的多个存储单元的每个供给工作电压;由电阻单元构成的多个电源电路,每个电源电路向每个存储单元电源线供给电源电压;和向互补位线供给对应电源电压的预充电电压的预充电电路,其中存储单元电源线构成为具有耦合电容,由此在相应互补位线上传输写信号。



1. 一种设有静态 RAM 的半导体集成电路器件,包括:
多个字线;
多个互补位线;
对应所述多个字线和多个互补位线设置的多个静态存储单元;
多个存储单元电源线,每个存储单元电源线向连接到所述多个互补位线的每个的所述多个存储单元中的每个供给工作电压;
多个电源电路,每个电源电路向所述多个存储单元电源线的每个供给电源电压;和
向所述互补位线供给对应于所述电源电压的预充电电压的预充电电路,
其中所述多个存储单元电源线中每一个设置在与该存储单元电源线相应的互补位线之间,并且在该存储单元电源线和每一个与该存储单元电源线相应的互补位线之间具有耦合电容,由此传输与该存储单元电源线相应的互补位线的写信号,和
其中每个电源电路由电阻装置构成。
2. 根据权利要求 1 的设有静态 RAM 的半导体集成电路器件,
其中互补位线由平行延伸的一对布线形成,和
其中所述多个存储单元电源线排列成使得所述多个存储单元电源线中的每一个在与该存储单元电源线相应的互补位线之间蜿蜒延伸。
3. 根据权利要求 1 的设有静态 RAM 的半导体集成电路器件,
其中电源电压是正电压,
其中所述存储单元包括其中两个 CMOS 反相器的输入和输出交叉连接的存储器单元以及设置在存储器单元和互补位线之间并具有连接到字线的栅极的选择 MOSFET,和
其中电阻装置包括 P 沟道 MOSFET,其具有输送给其栅极的电路的地电位。
4. 根据权利要求 3 的设有静态 RAM 的半导体集成电路器件,还包括选择多个字线之一的字线选择电路,
其中字线选择电路包括:
串联连接在所述电源电压和一输出端之间的第一导电类型的第一和第二 MOSFET;和
并联连接在所述字线选择电路的地电位和输出端之间的第二导电类型的第三和第四 MOSFET,
其中第一信号输送给第一 MOSFET 的栅极和第三 MOSFET 的栅极,
其中第二信号输送给第二 MOSFET 的栅极和第四 MOSFET 的栅极,
其中输出端连接到所述多个字线中的一个相应字线上,和
其中当选择字线时,对应于第一信号和第二信号使第一和第二 MOSFET 处于 ON 状态,第三和第四 MOSFET 处于 OFF 状态,以便使输出端处于对应第一电压的选择电平。

半导体集成电路器件

[0001] 相关申请的交叉参考

[0002] 本申请要求在 2004 年 9 月 15 日申请的日本专利申请 No. 2004-267645 的优先权，这里引证该申请的内容供参考。

技术领域

[0003] 本发明涉及一种半导体集成电路器件，特别涉及有效地用于设有静态随机存取存储器的半导体集成电路器件的技术。

背景技术

[0004] 作为评估静态随机存取存储器（以下将简称为 SRAM）的存储单元的参数之一，一般使用静态噪声余量（以下简称为 SNM）。SNM 表示被储存在存储单元中的数据的安全性。随着 SNM 的值增加，存储单元的数据保持操作变得更稳定；然而，相反，将相反数据写入被储存在存储单元中的保持数据变得更困难。日本未审专利公报 No. 2002-042476 公开了作为解决这种问题的技术。本申请的发明人在上述公报的基础上审查了 SRAM 的电路结构。图 17 表示 SRAM 的方框图。本公报的技术使用图 18 所示的电压供给电路用于读取数据，使信号 WE_i 变为低电平以便激活 P 沟道 MOSFET，并向存储单元供给与外部供给电压 V_{cc} 相同的电平电压，由此趋于保证稳定的驱动。在写操作中，该技术使信号 WE_i 变为高电平从而去激活 P 沟道 MOSFET 并激活 N 沟道 MOSFET，而且将输送给存储单元的内部供给电压降低到 V_{cc}-V_{th}。由此，这项技术降低了被字线选择的存储单元的 SNM，并增强了写余量。

[0005] 专利文献 1：日本未审专利公报 No. 2002-042476

发明内容

[0006] 专利文献 1 的技术涉及降低了供给存储单元的内部供给电压，其中该存储单元的被行解码器选择的字线被激活，而不被列解码器选择，还涉及消失数据的危险，因为降低的 SNM 的读出状态中的噪声的影响。为了避免这种危险，专利文献 1 的技术提供了如图 19 所示的外部供给电压控制电路，其设置下限电压并区别下限电压，由此抑制未选择存储单元的 SNM 被降低。然而，为了产生这种下限电压，需要一种在存储器内提供中间供给电压发生器的技术。这种中间供给电压发生器的提供增加了存储电路的电流消耗，并且下限电压限制了 SNM 的降低，由此导致不能增加写余量。尤其是在 LSI（大规模集成电路）中，低功耗的趋势和在 LSI 内部微观构成 MOSFET 的趋势将降低供给电压，并且下限电压和供给电压之间的差异变得非常小。在这些情况下，专利文献 1 的技术先于 SNM 作为存储电路，这将面对增加写余量的不可能性。

[0007] 因此，本发明的目的是提供一种设有 SRAM 的半导体集成电路器件，以低供给电压满足 SNM 和写余量的需求。本发明的前述和其它目的和新特征将从本说明书的下面文字说明以及附图中明显看出。

[0008] 根据本发明的方案，半导体集成电路器件包括：对应多个字线和多个互补位线设

置的多个静态存储单元；多个存储单元电源线，每个电源线向连接到多个互补位线的每个的多个存储单元的每个供给工作电压；由电阻单元构成的多个电源电路，每个电源电路向每个存储单元电源线供给电源电压；和向互补位线供给对应电源电压的预充电电压的预充电电路，其中存储单元电源线构成为具有耦合电容，由此在相应互补位线上传输写信号。

[0009] 根据本发明的另一方案，半导体集成电路器件包括：根据多个字线和多个互补位线设置的多个静态存储单元；多个存储单元电源线，每个电源线向连接到多个互补位线的每个的多个存储单元的每个供给工作电压；各由开关 MOSFET 构成并对应存储单元电源线的多个电源电路，在写操作期间该电源电路处于 OFF 状态。

[0010] 通过提供上述结构，本发明实现了对相应于被选互补位线的存储单元的写余量的增加，并且还实现了保证到连接到未选择互补位线的未选择存储单元的 SNM。

附图说明

- [0011] 图 1 是表示涉及本发明的 SRAM 的一个实施例的方框图；
- [0012] 图 2 是表示图 1 中的电源电路的一个实施例的电路图；
- [0013] 图 3 是涉及本发明的一个实施例中的存储单元的电路图；
- [0014] 图 4 是表示涉及本发明的存储单元的一个实施例的布局图；
- [0015] 图 5 是表示涉及本发明的 SRAM 的操作的例子的波形图；
- [0016] 图 6 是表示设计本发明的 SRAM 的另一实施例的方框图；
- [0017] 图 7 是表示用于图 6 中的 SRAM 的电源电路的一个实施例的电路图；
- [0018] 图 8 是表示用于图 6 中的 SRAM 的电源电路的另一实施例的电路图；
- [0019] 图 9 是表示用于图 6 中的 SRAM 的电源电路的另一实施例的电路图；
- [0020] 图 10 是表示用于图 6 中的 SRAM 的电源电路的另一实施例的电路图；
- [0021] 图 11 是表示用于图 6 中的 SRAM 的电源电路的另一实施例的电路图；
- [0022] 图 12 是表示用于图 6 中的 SRAM 的电源电路的另一实施例的电路图；
- [0023] 图 13 是表示用于图 6 中的 SRAM 的电源电路的另一实施例的电路图；
- [0024] 图 14 是表示涉及本发明的存储单元的另一实施例的布局图；
- [0025] 图 15 是表示用于图 1 或图 6 中的 SRAM 的字驱动器的一个实施例的电路图；
- [0026] 图 16 是表示涉及本发明的 SRAM 的一个实施例的整个电路图；
- [0027] 图 17 是本申请的发明人在专利文献 1 的基础上预先审查的 SRAM 的方框图；
- [0028] 图 18 是在专利文献 1 中所示的电压供给电路的电路图；和
- [0029] 图 19 是在专利文献 1 中所示的电压供给电路的另一电路图。

具体实施方式

[0030] 图 1 表示作为涉及本发明的一个实施例的 SRAM 的电路结构。该图一般表示四个存储单元，以及两个字线 WL0 和 WLn 和互补位线 /BL0、BL0 和 /BLm、BLm，它们对应四个存储单元。这里未示出的存储单元包括：由 P 沟道 MOSFET 和 N 沟道 MOSFET 构成的两个 CMOS 反相器，它们的输入和输出交叉连接，从而形成作为存储单元的锁存电路，并且相互连接的输入 / 输出点用做存储节点；和用于地址选择的 N 沟道 MOSFET，它们设置在对应位线 /BL 和 BL 之间。用于地址选择的 MOSFET 的栅极连接到相应字线上。

[0031] 字线 WL0 到 WLn 之一被行解码器选择。行解码器包括字驱动器,这将在后面介绍。给行解码器供给地址信号的行系统地址信号。一对多个互补位线 /BL0、BL0 到 /BLm、BLm 通过列选择开关连接到写驱动器或读出放大器。接收由列解码器产生的选择信号 YS0-YSm 的列选择开关选择多个互补位线 /BL0、BL0 到 /BLm、BLm 的一对,并使这一对连接到写驱动器的输出端并连接到读出放大器的输入端。

[0032] 给控制电路供给读 / 写控制信号 R/W。该控制电路对应于读 / 写信号 R/W 而产生写信号 WE 或读出放大器控制信号 SAC 作为读出信号。写信号 WE 输送给写驱动器,并用于激励写驱动器。这样,字线之一被行解码器选择,并且一对互补位线通过列选择开关而被列解码器选择;和在激活写驱动器之后,将数据输入信号写入与被选字线和被选互补位线耦合的存储单元中。读出放大器控制信号 SAC 用于激活读出放大器。利用与上述相同的方式,由行解码器选择字线之一,并且由列解码器通过列选择开关选择一对互补位线;和激活读出放大器之后,将来自与被选字线和被选互补位线耦合的存储单元的读出信号传输到读出放大器。读出放大器将该读出信号放大并作为数据输出将放大的读出信号输出。

[0033] 本实施例还包括对应于互补位线 /BL0、BL0 到 /BLm、BLm 的存储单元电源线 VCC0-VCCm,以便增加对应于被选互补位线的存储单元的写余量以及保证连接到未选互补位线的未选存储单元的 SNM。典型所示的存储单元电源线 VCC0 是通向与对应互补位线 /BL0、BL0 连接的存储单元的电源线。利用相同方式,典型所示的存储单元电源线 VCCm 是到与对应互补位线 /BLm、BLm 连接的存储单元的电源线。电源电路 0 到 m 设置在电源 VCC 和存储单元电源线 VCC0-VCCm 之间。

[0034] 图 2 表示作为图 1 中的电源电路的一个实施例的电路结构。本实施例使用 P 沟道 MOSFET QP 作为电源电路。MOSFET QP 的栅极固定地处于电路的地电位,由此它作为电阻元件工作,并且电源电压 VCC 通过列传输给内部电源,即传输给存储单元电源线。这里,在存储单元的写操作中,互补位线 /BL 和 BL 之一的电位从预充电电平如电源电压 VCC 向低电平如电路的地电位变化;则存储单元电源线的电位由于与已经经历了这种电位变化的位线电容耦合而暂时下降。在存储单元电源线的临时电位降被允许时,MOSFET QP 的 ON 电阻设置成具有这种相对大的电阻。这样,存储单元的工作电压在写操作中降低,由此降低了 SNM,从而增强了写余量。另一方面,未选择位线 /BL 和 BL 的电位都保持在高电平如电源电压 VCC;因而,相应存储单元电源线也保持在电源电压 VCC。因此,在其字线处于被选状态下的存储单元中,电源电压保持在高电平,从而 SNM 可以保持很高。

[0035] 图 3 表示作为根据本发明一个实施例的存储单元的电路结构。该存储单元包括:由 P 沟道 MOSFET Q1 和 N 沟道 MOSFET Q2 以及 P 沟道 MOSFET Q3 和 N 沟道 MOSFET Q4 构成的两个 CMOS 反相器,其中其输入和输出交叉连接形成锁存电路;和由 N 沟道 MOSFET Q5 和 Q6 构成的地址选择开关,它们设置在锁存电路的一对输入 / 输出节点 N1、N2 与相应位线 /BL 和 BL 之间。用于地址选择的 MOSFET Q5 和 Q6 的栅极连接到相应字线 WL。

[0036] 在本实施例中的存储单元中,对应于互补位线 /BL 和 BL 的存储单元的工作电压 VCC' 是从设置在相同互补位线 /BL 和 BL 之间的存储单元电源线供给的,该存储单元电源线平行于位线延伸。因而,存储单元电源线连接到构成 CMOS 反相器的 P 沟道 MOSFET Q1 和 Q3 的源极。这种存储单元电源线具有在其本身与一个互补位线 /BL 之间的寄生电容 C1,并具有在其本身与另一互补位线 BL 之间的寄生电容 C2。

[0037] 图 4 表示作为根据本发明的一个实施例的存储单元的布局。图 4(A) 表示 MOSFET 的源极、漏极和栅极、以及接触布线和接触孔的布局图形；图 4(B) 表示将工作电压 VCC' 输送给位线 /BL、BL 和存储单元的存储单元电源线、以及接触布线和接触孔的布局图形；图 4(C) 表示将地电位 VSS 供给字线 WL 和存储单元的地线的布局图形。接触孔由具有标记 X 的正方形标记 CNT 表示。

[0038] 在图 4(A) 中，P 沟道 MOSFET Q1 和 Q3 形成在设置在以斜线表示的中心内的 N 阱中。另一方面，N 沟道 MOSFET Q2、Q4 以及 Q5、Q6 形成在除了上述 N 阱以外的 P 衬底中或 P 阱中。关于构成 CMOS 反相器的 MOSFET Q1、Q2、Q3、Q4，其栅极一体地形成。接触布线和接触孔各具有连接目标如 WL、/BL、VCC'、BL、WL 和 VSS 的表示。MOSFET Q1、Q2 和 Q5 以及 MOSFET Q3、Q4 和 Q6 在存储单元的中心处对称地设置，但是前者与后者旋转 180 度之后相一致。接触布线的布线层由包围接触孔的空图形表示，并形成在作为第一层的金属层 M1 上，这不是特别规定的。

[0039] 在图 4(B) 中，位线 /BL 和 BL 对应 MOSFET Q5 和 Q6 的源极和漏极；它们设置成在图中在边界之间的 1/4 和 3/4 部分上垂直延伸，其中所述边界在图中的水平方向上将存储单元的区域相等地分割成四个部分，并且它们形成在作为第二层的金属层 M2 上，这不是特别规定的。存储单元电源线 (VCC') 利用与位线 /BL 和 BL 相同的方式形成在作为第二层的金属层 M2 上，并设置成在边界之间在中心 (2/4) 的部分上垂直延伸，其中所述边界将存储单元的区域大致相等地分割成四个部分。存储单元电源线 (VCC') 具有朝向其上部的邻接位线 /BL 而延伸的突起，该突起用于将存储单元电源线 (VCC') 连接到 P 沟道 MOSFET Q1 的源极；并且还具有朝向其下部的邻接位线 BL 延伸的突起，该突起用于将其连接到 P 沟道 MOSFET Q3 的源极上。这种布线布局将在位线 /BL 和存储单元电源线 (VCC') 之间形成寄生电容 C1 以及在位线 BL 和存储单元电源线 (VCC') 之间形成寄生电容 C2。

[0040] 在图 4(c) 中，字线 WL 在存储单元的中心区水平地延伸，其形成在作为第三层的金属层 M3 上。地线 VSS 在存储单元区域上垂直延伸，其形成在作为第四层的金属层 M4 上。这个地线 VSS 与邻接地线 VSS 一起使用。作为本实施例构成存储单元可以很容易地形成成列的电源线。这就可以在位线 /BL、BL 和存储单元电源线 (VCC') 之间形成寄生电容 C1、C2。

[0041] 图 5 表示根据本发明的 SRAM 的工作的波形。在 SRAM 的读出操作中，通过字线 WL 的选择操作使用于存储单元的地址选择的 MOSFET Q5 和 Q6 处于 ON 状态，并且对应于处于低电平的存储节点 N1 和 N2 之一而降低位线 /BL 和 BL 之一。这里，由于多个存储单元与其连接，因此位线 /BL 和 BL 具有相对大的电容，并且用于地址选择的 MOSFET Q5 和 Q6 具有相对大的导通电阻；相应地，读出信号中的位线 /BL 和 BL 的降低电平很小并且其降低斜率很平缓。因此，尽管在位线 /BL、BL 与存储单元电源线之间存在寄生电容（耦合电容）C1 和 C2，存储单元电源线的电压 VCC' 也基本不变，从而保持电源电压 VCC。这将保持在高电平的读出操作中的静态噪声余量 (SNM)。读出信号中的位线 /BL 和 BL 的微小电平差被读出放大器放大，并作为数据输出被输出。

[0042] 在 SRAM 的写操作中，通过字线的选择操作使用于存储单元的地址选择的 MOSFET Q5 和 Q6 处于 ON 状态。对应于来自写驱动器的写信号，位线 /BL 和 BL 之一被急剧降低到电路的地电位。这种在写信号中具有全摆动的急剧降低通过寄生电容（耦合电容）C1 和 C2 被传输给存储单元电源线，临时降低了存储单元的工作电压 VCC'。因此，工作电压 VCC' 由

于耦合电容而降低。然而,由于通过电源电路的电阻元件给其输送电源电压 VCC,因此工作电压 VCC' 朝向电源电压 VCC 逐渐恢复。在这个期间,位线 /BL 和 BL 之一处于低电平,存储节点 N1 或 N2 通过根据字线的选择状态而处于 ON 的 MOSFET Q5 和 Q6 从高电平被下拉到低电平,由此使存储单元中的存储单位的储存信息变得相反。

[0043] 例如,当存储节点 N1 从高电平被下拉到低电平时,通过降低存储单元电源电压 VCC', 保持存储节点 N1 的高电平的 MOSFET Q1 降低了存储节点 N1。同时,位线 BL 的高电平通过 MOSFET Q6 被传输至 MOSFET Q2 的栅极(存储节点 N2),从而使 MOSFET Q2 导通(ON)。利用相同方式,重叠的三个因素急剧下拉存储节点 N1,这使 P 沟道 MOSFET Q3 处于 ON 状态,由此形成使存储节点 N2 处于高电平的路径。结果是,存储节点 N1 从高电平急剧变化到低电平,并且存储节点 N2 从低电平急剧地变化到高电平,这增强了写余量。这样,如果电源电压 VCC 由于器件的微观构成而降低,从而降低了写驱动器的操纵性能,因此本实施例将增强写余量。

[0044] 这里,如果选择字线 WL,则不将进行写操作。即,甚至通过与写位线的耦合,在连接到用于保持存储数据的未选择互补位线 /BL 和 BL 的存储单元中,也不会发生如上述的电压降;因此,可以利用与读出操作相同的方式保持电源电压 VCC。关于存储单元,其中该字线被选择并且 MOSFET Q5、Q6 处于 ON 状态,保留存储数据的那个存储单元可以保持大的静态噪声余量(SNM)。通过这种方式,在写操作期间的未选择列中的电压变化和在读出操作期间的被选位线中的电压变化是以有限的幅度的相对平缓变化,这是因为存储单元中的位线的微小幅度;限制了耦合的效果,并且限制了 SNM 的降低,从而实现了稳定操作。

[0045] 图 6 表示作为根据本发明的另一实施例的 SRAM 的电路结构。在本实施例中,与图 1 中相同的写信号与由列解码器和门电路 G0-Gm 等形成的位线选择信号 YS0-Ysm 组合,它用于形成提供给每个位线的写驱动器的激活信号 WC0-WCm。因此,在指令写操作时,对应于列地址的写驱动器被激活,并且数据输入被写入到与被字驱动器选择的字线连接的存储单元。另一方面,在指令读出操作时,所述读出列选择开关根据列地址而处于 ON 状态,并且被选位线 /BL 和 BL 上的信号被传输到读出放大器的输入端,并在读出放大器控制信号 SAC 的基础上被放大,从而作为数据输出被输出。

[0046] 本实施例提供对应于互补位线 /BL0 和 BL0 到 /BLm 和 BLm 的写驱动器。在这种结构中,对应于数据输入的写信号可以直接传输给互补位线 /BL 和 BL 而不需要如图 1 中的上述实施例那样插入列选择开关,从而使位线对之一从预充电电平被急剧地下拉到低电平。在本实施例中,激活信号 WC0-WCm 用做电源电路 0-m 的控制信号,所述电源电路 0-m 连接到对应于各个位线 /BL0 和 BL0 到 /BLm 和 BLm 的存储单元电源线 VCC0-VCCm 上。其它结构与图 1 中的实施例相同。

[0047] 图 7 表示作为一个实施例的用于图 6 中的 SRAM 的电源电路的电路结构。在本实施例中,电源电路设有与图 2 中的电源电路相同方式的 P 沟道 MOSFET QP1 以及具有连接到其栅极的激活信号 WC 的 P 沟道 MOSFET QP2,其中这两个 P 沟道 MOSFET 并联连接。信号 WC 根据被选互补位线 /BL 和 BL 而处于高电平。因而,作为一个例子,电源电路的 P 沟道 MOSFET QP2 对应被选互补位线 /BL0 和 BL0 而处于 OFF 状态。由此,在写操作中,被选存储单元的工作供给电压 VCC' 由于与给其传输写信号的位线耦合而降低。另一方面,在对应包括未选择互补位线 /BLm 和 BLm 在内的其他未选互补位线的电源电路中,P 沟道 MOSFET QP1 和 QP2

处于 ON 状态,并且未选存储单元的供给电压 VCC' 保持到实际上等于电源电压 VCC。

[0048] 在本实施例中,如果 P 沟道 MOSFET QP1 的导通电阻设置得足够高,则耦合电容 C1、C2 将不是必须的。作为一个例子,电源电路的 P 沟道 MOSFET QP2 对应被选互补位线 /BL0 和 BL0 而处于 OFF 状态,因而从具有高电阻的 P 沟道 MOSFET QP1 只输送微小电流。因此,有如下电流通过 P 沟道 MOSFET QP1,即:在连接到互补位线 /BL0 和 BL0 的多个存储单元中流动漏电流和在其中进行反向写操作的存储单元中流动电流,这对应 CMOS 反相器的输出信号变化。因此,在没有上述电容耦合的情况下,存储单元的操作电压 VCC' 降低了。操作电压的降低将增加针对存储单元的写余量。

[0049] 与此相比,即使选择字线,也不将进行写操作。关于连接到未选互补位线的存储单元,它们必须保持储存数据,存储单元电源线通过 MOSFET QP1 和 QP2 的导通状态而连接到具有低阻抗的电源电压 VCC,从而存储单元电源线可以更稳定地保持到电源电压。由此,在其中选择所述字线并且上述 MOSFET Q5 和 Q6 处于 ON 状态的那些存储单元当中,保持存储数据的存储单元可以保持大的静态噪声余量 (SNM)。因此,本实施例中的存储单元的布局不限于图 4 所示的布局。例如,位线 /BL、BL 和存储单元电源线 VCC' 可以形成在单独的布线层上,由此扩大了设计电路布局时的自由度。

[0050] 图 8 表示作为另一实施例的用于图 6 中的 SRAM 的电源电路的电路结构。在本实施例中,电源电路省略了图 7 中的 P 沟道 MOSFET QP1 并仅包括具有输送给其栅极的激活信号 WC 的 P 沟道 MOSFET QP2。在这种结构中,作为一个例子,电源电路的 P 沟道 MOSFET QP2 对应被选互补位线 /BL0 和 BL0 而处于 OFF 状态,因而,用于与被选互补位线 /BL0 和 BL0 对应的所有存储单元的电源都被切断。因此,就这样通过 P 沟道 MOSFET QP1 在连接到互补位线 /BL0 和 BL0 的多个存储单元中流动漏电流和在其中进行反向写操作的存储单元中流动电流,这对应于 CMOS 反相器的输出信号变化。因此,在没有上述电容耦合的情况下,存储单元的操作电压 VCC' 大大降低了。

[0051] 因此,即使存在操作电压 VCC' 暂时下降到低于存储单元的下限的可能性,来自写驱动器的高电平和低电平也能通过 MOSFET Q5 和 Q6 被写入具有被选字线的被选存储单元的存储节点 N1 和 N2 上的电容中。另一方面,在具有未选字线的存储单元中,MOSFET Q5 和 Q6 处于 OFF 状态;因此,即使操作电压 VCC' 处于比所述下限低的电平,在存储节点 N1 和 N2 上的电容也能保持电荷被储存。因此,即使在该存储单元的写操作所需的短时间内使 P 沟道 MOSFET QP2 处于 OFF 状态,未选存储单元也能通过利用与动态存储单元相同的方式被储存的电荷而保持存储数据。之后,P 沟道 MOSFET QP2 处于 ON 状态,从而供给电源电压 VCC,由此恢复将要储存的临时减少的电荷。

[0052] 在本实施例中,在用于对应于上述被选互补位线 /BL0 和 BL0 的所有存储单元的电源暂时被 MOSFET QP2 的 OFF 状态切断,静态存储单元执行与具有相互不同充电状态的两个动态存储单元相同的储存操作。即使在将要储存在存储节点 N1 或 N2 的电荷的一部分暂时消失时,通过伴随着写完成而由 MOSFET QP2 的 ON 状态提供的电源来激活反相器,由此恢复了原始状态。本实施例必须利用如下方式设置写信号 WE 的脉冲宽度,使得在写操作中被选列的内部电源 VCC' 不到达擦除未选存储单元中的数据的电平。使用简单构成的电源电路的本实施例增强了对应被选互补位线的存储单元的写余量,并且还保证了连接到未选位线的未选存储单元的 SNM。

[0053] 图 9 表示作为另一实施例的用于图 6 中的 SRAM 的电源电路的电路结构。本实施例包括与图 7 中的 P 沟道 MOSFET QP2 并联连接的 N 沟道 MOSFET QN1。N 沟道 MOSFET QN1 的栅极和 P 沟道 MOSFET QP2 的栅极互相连接,并在那里供给激活信号 WC。在本实施例中,作为一个例子,在电源电路的 P 沟道 MOSFET QP2 对应被选互补位线 /BL0 和 BL0 而处于 OFF 状态时,则 N 沟道 MOSFET QN1 处于 ON 状态。因此,当在连接到互补位线 /BL0 和 BL0 的多个存储单元中的漏电流流动同时对应于 CMOS 反相器的输出信号变化并在其中进行反向写操作的存储单元中流动的电流流动时,该存储单元的操作电压 VCC' 将不降低到 $VCC-V_{th}$ 。这里, V_{th} 表示 N 沟道 MOSFET QN1 的阈值电压。这样,与图 8 中的实施例相比,当写信号 WE 的脉宽设置为相对大时,不用担心未选择存储单元中的数据被擦除。

[0054] 图 10 表示作为另一实施例的用于图 6 中的 SRAM 的电源电路的电路结构。本实施例采用与图 7 相同的电路结构,其中 P 沟道 MOSFET QP1 用电阻元件 R 代替。这个电阻元件 R 可以用 MOSFET 以外的电阻单元代替,如扩散电阻器、多晶硅电阻器等。其操作与图 7 中的相同。

[0055] 图 11 表示作为另一实施例的用于图 6 中的 SRAM 的电源电路的电路结构。本实施例是对图 9 中的实施例进行修改的修改例。下限电压通过 N 沟道 MOSFET QN2 被传输到按列的内部电源列 (internal power supply by column) (存储单元电源线 VCC')。在图 9 的实施例中,在写操作中电源电路向被选列输送电压 $VCC-V_{th}$,其中 V_{th} 是 N 沟道 MOSFET 的阈值电压。本实施例通过 N 沟道 MOSFET QN2 向存储单元供给下限电压。因此,下限电压低于电压 $VCC-V_{th}$ 。如果下限电压趋于高于 $VCC-V_{th}$,则只需要使用 P 沟道 MOSFET,通过反相器使激活信号 WC 反相,并向输送下限电压的 P 沟道 MOSFET 的栅极输送反相激活信号 WC。这种情况需要分别地提供下限电压发生器。

[0056] 图 12 表示作为另一实施例的用于图 6 中的 SRAM 的电源电路的电路结构。本实施例是对图 11 中的实施例进行修改的修改例,其使用了 P 沟道 MOSFET QP3 的阈值电压 V_{th} 作为下限电压。本实施例包括在存储单元电源线 VCC' 和地电位 VSS 之间的 P 沟道 MOSFET QP3。激活信号 WC 通过反相器 INV1 输送给这个 P 沟道 MOSFET QP3 的栅极。这个电源电路根据被选位线 /BL 和 BL 而使激活信号 WC 处于高电平。由此, P 沟道 MOSFET QP2 处于 OFF 状态,并且 P 沟道 MOSFET QP3 处于 ON 状态。P 沟道 MOSFET QP3 的导通状态将存储单元操作电压 VCC' 降低到 V_{th} 。这样,用 P 沟道 MOSFET QP3 的阈值电压 V_{th} 作为操作电压操作连接到被选位线 /BL、BL 的存储单元。

[0057] 如上所述,连接到被选互补位线 /BL 和 BL 的多个字线未选存储单元中的漏电流和字线选择存储单元中的数据反向电流被消耗。然而,本实施例中的电源电路没有对应上述电流的电流路径;并且电流消耗基本上与图 8 中的实施例相同。但是,本实施例不等待存储单元操作电压的降低,如图 8 中的实施例那样。本实施例中的电源电路在写操作中使 MOSFET QP3 处于 ON 状态,正向地降低存储单元操作电压 VCC' 至 V_{th} ,从而在增写余量的状态下在短时间内完成写操作,并且立即使 P 沟道 MOSFET QP2 处于 ON 状态。这种结构免受元件等的分散,并便于设置写时间。

[0058] 图 13 表示作为另一实施例的用于图 6 中的 SRAM 的电源电路的电路结构。本实施例提供对应每个互补位线 /BL0、BL0 到 /BLm、BLm 的存储单元地线 VSS0-VSSm。图 13 中的存储单元地线 VSS' 是到连接到对应位线 /BL0、BL0 的存储单元的地线。本实施例提供在按

列 (bycolumn) 的存储单元地线 VSS' 和电路的地线 VSS 之间的如图 13 所示的地供给电路。本实施例没有位于电源电压 VCC 的一侧上的电源电路, 如图 1 和 6 所示; 并且还增强了对应被选互补位线的存储单元的写余量并保证了连接到未选互补位线的未选存储单元的 SNM。

[0059] 在本实施例中, 激活信号 WCB 对应被选互补位线 /BL、BL 而处于低电平。由此, N 沟道 MOSFET QN3 处于 OFF 状态, 并且 P 沟道 MOSFET QP4 处于 ON 状态。因而, 流过连接到被选互补位线 /BL、BL 的多个存储单元的漏电流和用于写操作的电流将流过 P 沟道 MOSFET QP4, 这使存储单元地电位 VSS' 升高了 V_{th} 。这样, 存储单元提供这种如此低的电压作 $VCC-V_{th}$ 用于写操作, 并且本实施例中的电源电路等效于图 9 中的电源电路, 这也增加了写余量。另一方面, 关于对应未选互补位线 /BL、BL 的存储单元地线 VSS', N 沟道 MOSFET QN3 处于 ON 状态, 并且地电位 VSS 不变地被传输。由此, 连接到未选互补位线的未选存储单元的操作电压为 VCC, 并且可以利用与上述相同的方式保证 SNM。

[0060] 本实施例中的地供给电路包括并联构成的 P 沟道 MOSFET QP4 和 N 沟道 MOSFET QN3。利用与图 12 所示相同的方式, 被反相器 INV1 反相的激活信号 WCB 输送给 P 沟道 MOSFET QP4 的栅极和 N 沟道 MOSFET QN3 的栅极。地供给电路可以看作是基本上与上述电源电路相同。由于在电源电压 VCC 和地电压 VSS 之间的电位差给定为操作电压时存储单元操作, 因此在存储单元的操作方面, 如上述实施例所述输送通过降低电源电压 VCC 获得的电压 VCC' 和输送通过升高该电路的地电压 VSS 获得的电压 VSS' 是相同的。

[0061] 为了通过位线和其本身之间的电容耦合使地线升高到高电平, 如图 1 中的实施例所示, 只需要将位线预充电到低电平并根据输入数据使位线之一放电到高电平, 如电源电压 VCC。

[0062] 图 14 表示根据本发明的另一实施例的存储单元的布局。图 14(A) 和图 14(C) 基本上与图 4(A) 和图 4(C) 相同, 其中省略了表示布线层 M1-M4 的标记。本实施例呈现用于增加寄生电容器 C1 和 C2 的电容。还可以通过增宽电源线 VCC' 的布线宽度和通过使位线 /BL 和 BL 之间的间隙变窄来增加寄生电容。然而, 另一方面, 电源线 VCC' 和其它电路节点如电路的地电位之间的寄生电容增加。由于这个寄生电容通过与位线耦合而趋于阻止电位变化起作用, 因此上述方法不能作为增强耦合电容的有效措施来评估。现在, 本实施例使图形弯曲, 以便相等地使位线 /BL 和 BL 之间的间隙变窄而不增宽电源线 VCC' 的布线宽度。这种方法可以增加寄生电容 C1 和 C2, 但保持电源线 VCC 和电路的地电位之间的寄生电容不变。因此, 本实施例通过写操作实现了对应于位线之电位变化的存储单元的电压 VCC' 的有效降低。

[0063] 图 15 表示作为一个实施例的用于图 1 或 6 中的 SRAM 的字驱动器的电路结构。这种电路图通常表示作为例子的对应于四个字线 WL0 到 WL3 的四个字驱动器。当高电平 (1) 定义为正逻辑时, 本实施例使用 NOR 门作为字驱动器。采用对应于字线 WL0 的字驱动器作为例子, P 沟道 MOSFET PA0 和 PB0 在电源电压 VCC 和输出端 (WL0) 之间串联连接, 并且 N 沟道 MOSFET NA0 和 NB0 在电路的地电位 VSS 和输出端 (WL0) 之间并联连接。P 沟道 MOSFET PA0 的栅极和 N 沟道 MOSFET NA0 的栅极互相连接, 并在这里输送输入信号 PDA[0]; 和 P 沟道 MOSFET PB0 的栅极和 N 沟道 MOSFET NB0 的栅极互相连接, 并在这里输送输入信号 PDB[0]。

[0064] 给 P 沟道 MOSFET PA0 的源极输送电源电压 VCC, 并且 P 沟道 MOSFET PB0 的漏极连接到输出端 (WL0)。这个输出端连接到字线 WL0。给 N 沟道 MOSFET NA0 和 NB0 的源极输送

电路的地电位 VSS ;并且 N 沟道 MOSFET NA0 和 NB0 的漏极互相连接至输出端 (WL0)。

[0065] 本实施例使用 P 沟道 MOSFET PA0 也作为对应于字线 WL1 的字驱动器,尽管不特别规定。在对应字线 WL1 的字驱动器中,P 沟道 MOSFET PA0 和 PB1 串联连接,并且 N 沟道 MOSFET NA1 和 NB1 在电路的地电位 VSS 和输出端 (WL1) 之间并联连接。P 沟道 MOSFET PA0 的栅极和 N 沟道 MOSFET NA1 的栅极互相连接,并在这里输送输入信号 PDA[0] ;和 P 沟道 MOSFET PB1 的栅极和 N 沟道 MOSFET NB1 的栅极互相连接,并在这里输送输入信号 PDB[1]。

[0066] 关于其余两个字线 WL2 和 WL3,相应的两个字驱动器共享其源极连接到电源电压 VCC 的 P 沟道 MOSFET PA2。就是说,在对应字线 WL2 的字驱动器中,利用与上述相同的方式,P 沟道 MOSFET PA2 和 PB2 在电源电压 VCC 和输出端 (WL2) 之间串联连接,并且 N 沟道 MOSFET NA2 的栅极和 NB2 在电路的地电位 VSS 和输出端 (WL2) 之间并联连接。P 沟道 MOSFET PA2 和 N 沟道 MOSFET NA2 的栅极互相连接,在这里输送输入信号 PDA[1] ;P 沟道 MOSFET PB2 和 N 沟道 MOSFET NB2 的栅极互相连接,在这里输送输入信号 PDB[0]。

[0067] P 沟道 MOSFET PA2 也被对应字线 WL3 的字驱动器共享。就是说,在对应字线 WL3 的字驱动器中,P 沟道 MOSFET PA2 和 P 沟道 MOSFET PB3 在电源电压 VCC 和输出端 (WL3) 之间串联连接,并且 N 沟道 MOSFET NA3 和 NB3 在电路的地电位 VSS 和输出端 (WL3) 之间并联连接。P 沟道 MOSFET PA2 的栅极和 N 沟道 MOSFET NA3 的栅极互相连接,在这里输送输入信号 PDA[1] ;和 P 沟道 MOSFET PB3 的栅极和 N 沟道 MOSFET NB3 的栅极互相连接,在这里输送输入信号 PDB[1]。

[0068] 输入信号 PDA[0] 和 PDA[1] 在激活操作期间处于互补 (异) 关系,并且当一个设置为高电平时,另一个变为低电平。利用相同方式,输入信号 PDB[0] 和 PDB[1] 在激活操作期间处于互补 (异) 关系,并且当一个设置为高电平时,另一个变为低电平。除了地址信号之外,这些输入信号 PDA 和 PDB 还包括时钟信号和备用信号分量,如后面所述,尽管不特别规定。

[0069] 输入信号 PDA 设置为地址信号的高位,输入信号 PDB 设置为其低位,这不是特别规定的。相应地,当输入信号 PDA[0] 处于低电平和输入信号 PDA[1] 处于高电平,并且输入信号 PDB[0] 处于低电平和输入信号 PDB[1] 处于高电平时,P 沟道 MOSFET PA0 和 PB0 以及 N 沟道 MOSFET NA0 和 NB0 变为 OFF 状态,对应于输入信号 PDA[0] 的低电平和输入信号 PDB[0] 的低电平。由此,字线 WL0 处于高电平如电源电压 VCC 的选择状态。在对应于其它字线 WL1-WL3 的字驱动器中,输入信号 PDA[1] 的高电平使两个 P 沟道 MOSFET 中的任一个处于 OFF 状态,并使两个 N 沟道 MOSFET 中的任一个处于 ON 状态 ;并且字线 WL1 到 WL3 处于低电平如地电位 VSS 的未选择状态。

[0070] 在备用状态下,所有输入信号 PDA[0]、PDA[1] 和输入信号 PDB[0]、PDB[1] 都处于高电平。由此,所有 P 沟道 MOSFET 都处于 OFF 状态,并且所有 N 沟道 MOSFET 都处于 ON 状态。现在,如果存在漏电流流过 P 沟道 MOSFET,如上所述,则在串联连接的 MOSFET 的节点上的电位将从 VSS 向 VCC/2 升高,并且电源电压 VCC 一侧上的 P 沟道 MOSFET PA1 和 PA2 的源电位将升高,导致所谓的源偏置效应,其中源极相对于衬底被反偏置,由此可以很大程度上减少漏电流。

[0071] 当字线 WL0 处于选择状态时,P 沟道 MOSFET PA0 和 PB0 或相应字驱动器的 PA0 和 PB0 中的至少任何一个处于 OFF 状态。字驱动器通过源极偏置效应可以减少漏电流,其中

源极偏置效应是通过 P 沟道 MOSFET 的纵向叠加成为 NOR 逻辑门的特征来实现的。尤其是在备用状态下,其中所有输入信号 PDA[0]、PDA[1] 和输入信号 PDB[0]、PDB[1] 都处于高电平,所有 P 沟道 MOSFET 都处于 OFF 状态,并且源极偏置效应大大减小了漏电流。尽管 P 沟道 MOSFETPA0, PA2 输送给两个字驱动器,但是如本实施例所述,两个字线不是同时被选择,这增强了漏电流减少效果同时保持可驱动性。可以使共享字驱动器的数量增加 2 的幂数,这取决于解码逻辑。

[0072] 本实施例中的字驱动器的特征在于:不需要用于减少漏电流的任何特殊控制信号。当使输入信号 PDA 包括时钟信号分量时,即,位线被预充电时,所有字线都必须处于未选择状态。在预充电期间所有字线的未选择状态下,通过上述源极偏置效应可以减少漏电流。就是说,不仅可以在备用状态下而且可以在存储器的存取状态下减少漏电流。

[0073] 如上所述,伴随着低功耗的趋势和在 LSI 内部微观构成 MOSFET 的趋势,输送给 LSI(大规模集成电路)的电源电压逐渐减小。例如,通过 $0.13\mu\text{m}$ 工艺,制造用电源电压 1.2V 操作的 LSI。当将电源电压降低到 LSI 时,一般实践降低了晶体管的阈值电压 (V_{th}) 和增加了流过晶体管的电流,从而不会使电路性能(电路的工作速度)退化。 $0.13\mu\text{m}$ 工艺使用例如其 V_{th} 为 0.4V 的 MOSFET。在具有低 V_{th} 的晶体管中,增加了所谓的子阈值电流,即,在晶体管的 OFF 状态下流过源极-漏极的电流。甚至在用这种晶体管构成的电路不工作时,子阈值电流也继续流动,这就在 LSI 通电而不是处于工作状态(备用状态)下消耗了电流。甚至在备用状态下存储电路也必须保持数据,并且甚至在备用状态下电源也不能断开。因此,上述字驱动器能够解决随着构成电路的晶体管的 V_{th} 的降低而使子阈值电流增加并由此增加了备用状态下的电流消耗的问题。

[0074] 图 16 表示作为一个实施例的根据本发明的 SRAM 的整个电路结构。SRAM 包括存储单元阵列;地址选择电路,读出电路和写电路,所述写电路是作为其外围电路提供的;和控制其操作的时序发生电路。

[0075] 该电路图通常表示一个字线 WL、两对互补位线 /BL、BL 以及设置在其相交部位作为存储单元的两个存储单元。存储单元包括由 P 沟道 MOSFET Q1、Q3 和 N 沟道 MOSFET Q2、Q4 构成的两个 CMOS 反相器,其中其输入和输出交叉连接形成锁存电路;和由 N 沟道 MOSFET Q5 和 Q6 构成的选择开关,所述 N 沟道 MOSFET Q5 和 Q6 设置在这个锁存电路的一对输入/输出节点和一对位线 /BL、BL 之间。MOSFET Q5 和 Q6 的栅极连接到字线 WL。

[0076] 在存储单元阵列中,128 个存储单元排列在一条字线 WL 上,尽管不特别规定。相应地,存储单元阵列包括 128 对互补位线 /BL、BL。256 个存储单元排列在一对位线 /BL 和 BL 上。相应地提供 256 个字线 WL。预充电 & 等效电路 PC/EQ 包括给互补位线 /BL 和 BL 输送预充电电压的 P 沟道 MOSFET 和使位线 /BL 和 BL 短路的 P 沟道 MOSFET。本实施例还包括具有交叉连接在位线 /BL、BL 和电源端子之间的栅极和漏极的 P 沟道 MOSFET,作为上拉 MOSFET。由此,可以在读出期间防止高电平一侧的位线的电位降低。

[0077] 128 对位线利用包括 P 沟道 MOSFET 的读出列开关连接到 32 对互补读出数据线 /RD、RD,尽管不特别规定。读出数据线 /RD、RD 之一连接到四对位线 /BL、BL 之一上。读出数据线 /RD、RD 设有读出放大器 SA。读出放大器 SA 包括:CMOS 锁存电路,其中由 P 沟道 MOSFET 和 N 沟道 MOSFET 构成的两个 CMOS 反相器的输入和输出交叉连接;和设置在 CMOS 锁存电路的 N 沟道 MOSFET 的源极和该电路的地电位之间的 N 沟道 MOSFET。对应于 32 对读出

数据线 /RD、RD, 总共提供 32 单位的读出放大器 SA。

[0078] 由时序发生电路产生的时序信号和由接收读出放大器选择信号 sac 的门电路产生的时序控制信号 Φ_{sac} 通过形成控制脉冲的反相器串被传输到激活读出放大器 SA 的 N 沟道 MOSFET 的栅极和传输到门电路, 所述门电路传输被读出放大器 SA 放大的信号。时序控制信号 Φ_{sac} 也用做读出列开关的选择信号。读出放大器 SA 被选择信号激活并放大了读出数据线 /RD、RD 上的信号。

[0079] 被读出放大器 SA 放大的信号传输到包括 MOSFET Q17-Q22 的锁存电路 LT, 并且由输出电路 OB 产生输出信号 dout。锁存电路 LT 形成有直通锁存电路, 该直通锁存电路由在输出锁存控制信号 o1c 基础上产生的信号 Φ_{o1c} 控制。输出电路 OB 包括被在输出驱动器控制信号 odc 的基础上产生的信号 Φ_{odc} 控制的门电路和输出反相器。

[0080] 本实施例中的 SRAM 能够选择激活所有 32 个读出放大器 SA 输出 32 位读出信号的读出操作、激活 32 个读出放大器 SA 输出 16 位读出信号的读出操作、或者激活 32 个读出放大器 SA 的 8 单元输出 8 位读出信号的读出操作, 这不是特别规定的。读出放大器选择信号 sac 用于根据读出操作的三种类型来控制读出放大器 SA, 并且还通过读开关控制信号 rswc 和列选择信号 sel 而用做用于读出列开关的未选择信号, 其中所述读出列开关包括 P 沟道 MOSFET。

[0081] 128 对位线通过包括 N 沟道 MOSFET 的写列开关 (WCP) 连接到 32 对互补写数据线 /WD、WD。写数据线 /WD、WD 之一连接到连接到四对位线 /BL、BL 中的任何一个上。写数据线 /WD、WD 设有写电路 (写放大器), 它包括向写数据线 WD 传输写信号 din 的反相器串 (WDP1)、产生反向写信号的反相器 (WDP3)、和向写数据线 /WD 传输反向写信号的反相器串 (WDP2)。这个写电路还由对应 32 对互补写数据线 /WD、WD 的 32 个单元构成。

[0082] 本实施例中的 SRAM 能够选择使 32 个写放大器产生的 32 位写信号有效的写操作、使 32 个写放大器的 16 单元产生的 16 位写信号有效的写操作、或者使 32 个写放大器的 8 单元产生的 8 位写信号有效的写操作, 尽管不是特别规定。写开关控制信号 wswc 用于上述写操作。与写开关控制信号 wswc 组合的列选择信号被传输给包括 N 沟道 MOSFET 的写列开关 (WCP)。

[0083] 被读出放大器放大的信号通过门电路传输到包括 MOSFET Q17-Q22 和传输到包括反相器的锁存电路, 在那里通过门电路和输出反相器产生输出信号 dout。由时序发生电路产生的时序信号和由接收读出放大器选择信号 sac 的门电路产生的时序控制信号 Φ_{sac} 通过形成控制脉冲的反相器串传输到激活读出放大器 SA 的 N 沟道 MOSFET 的栅极和传输到门电路, 所述门电路传输被读出放大器 SA 放大的信号。时序控制信号 Φ_{sac} 也用做读出列开关的选择信号。

[0084] 接收多个控制信号如时钟 CLK、读 / 写控制信号 R/W 等, 时序发生电路对应各种操作模式如读出、写和备用模式等产生 SRAM 的操作所需的各种时序信号。

[0085] 256 个字线 WL 之一被前解码器和字驱动器 (NOR) 选择。接收到由时序发生电路产生的时序信号 (时钟、启动) 和地址信号 add, 前解码器产生前解码信号和列选择信号。在备用模式中, 所有字线都处于未选择电平, 与地址信号 add 无关。使用由前解码器产生的列选择信号对应 32 位操作、16 位操作和 8 位操作而产生控制信号 sac、rswc、wswc 等。

[0086] 由本申请的发明人所做的本发明在优选实施例的基础上已经进行了详细说明, 本

发明不限于这些实施例,并且在不脱离本发明的精神和范围的情况下可以做各种改变和修改。例如,关于形成安装在半导体集成电路器件上的 SRAM 的存储单元阵列的字线和位线的数量,可以采用各种构成。本发明的 SRAM 除了安装到系统 LSI 中的 SRAM 之外还可以适用于通用存储器的 SRAM。本发明可以广泛地适用于包括上述 SRAM 的半导体集成电路器件。

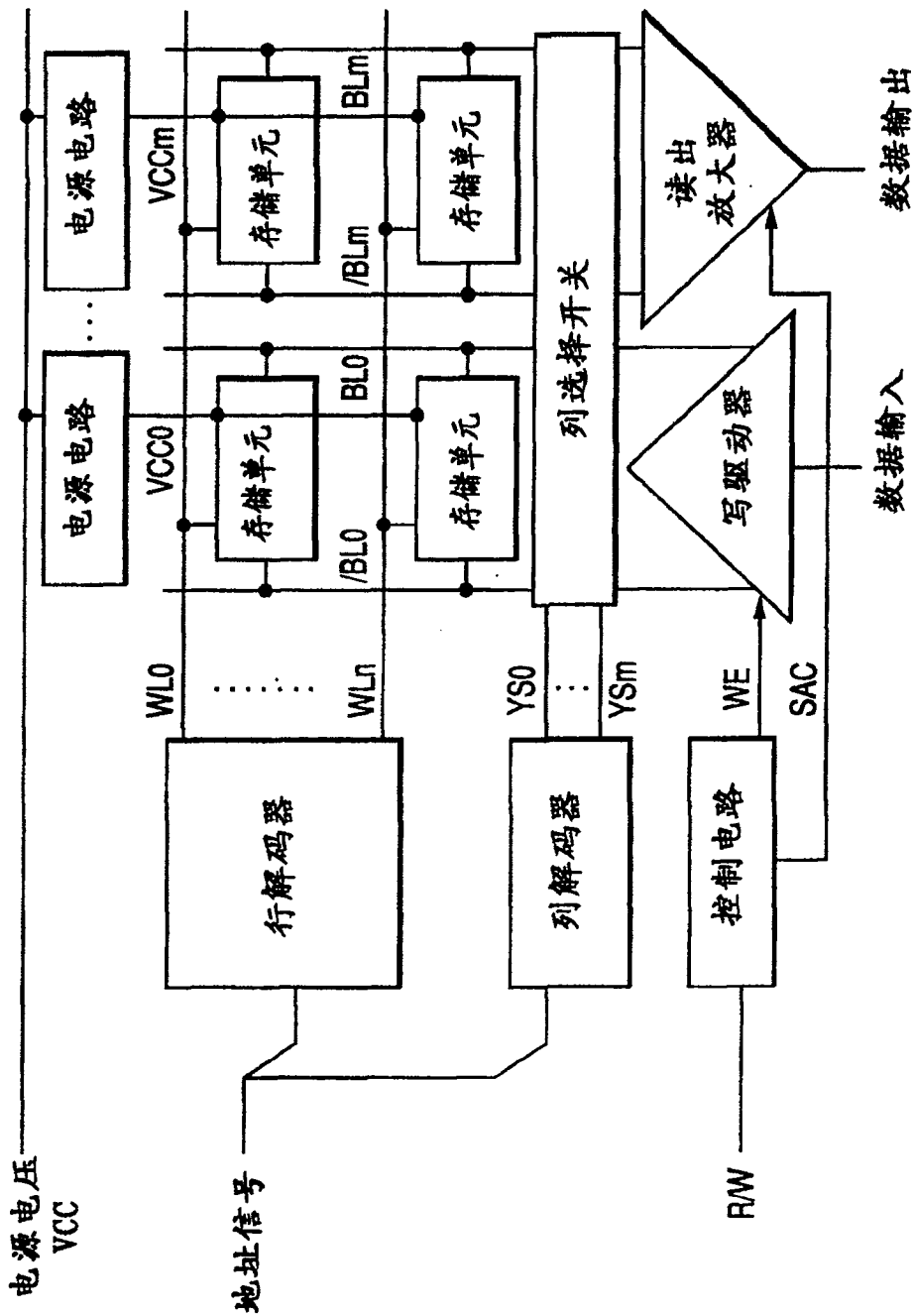


图 1

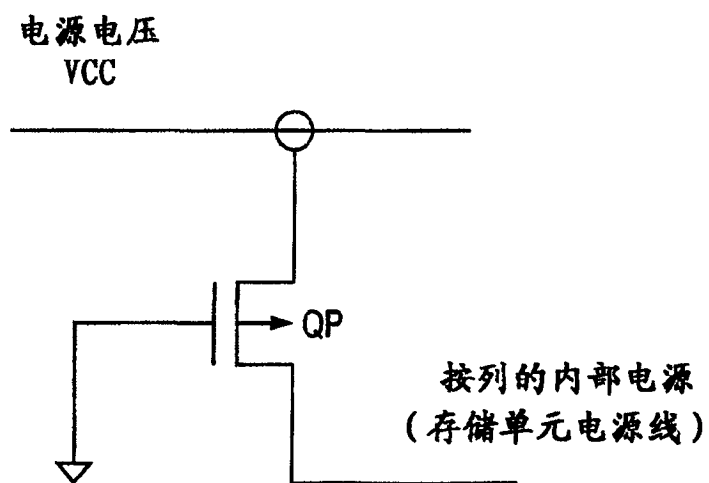


图 2

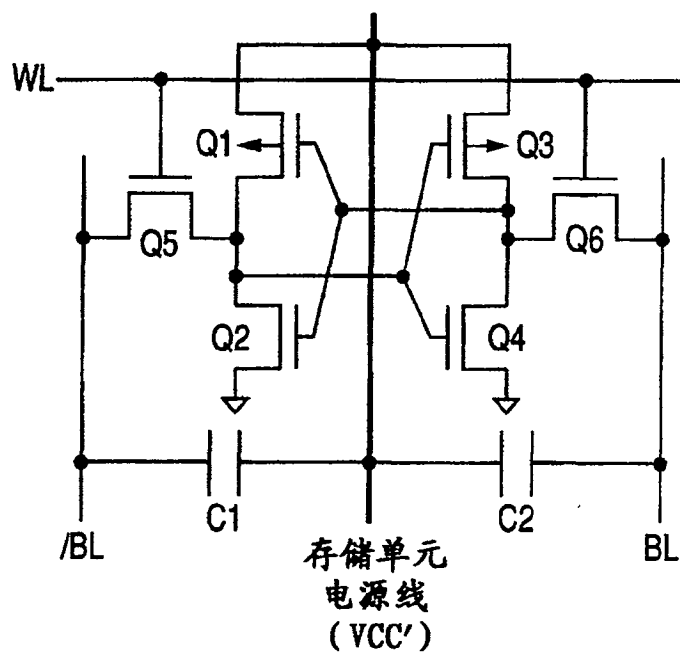


图 3

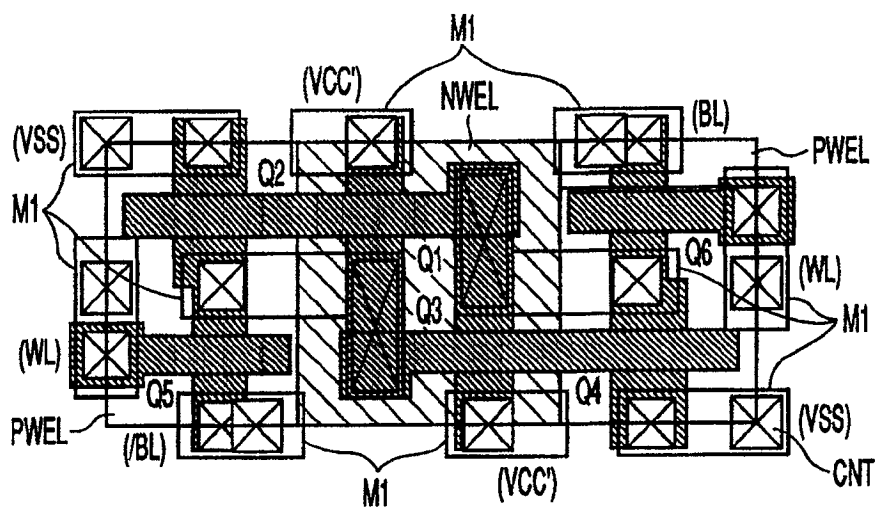


图 4A

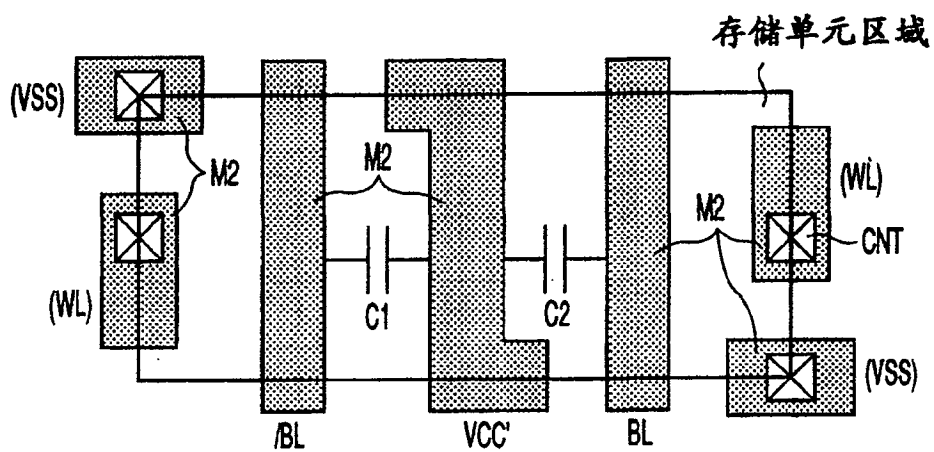


图 4B

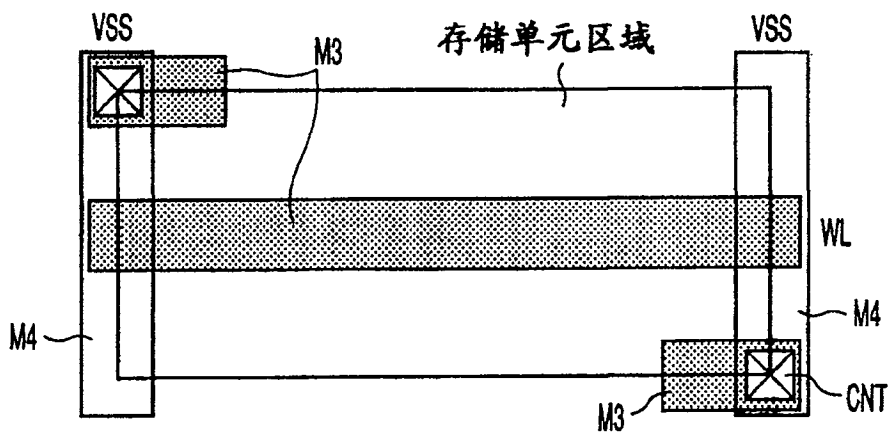


图 4C

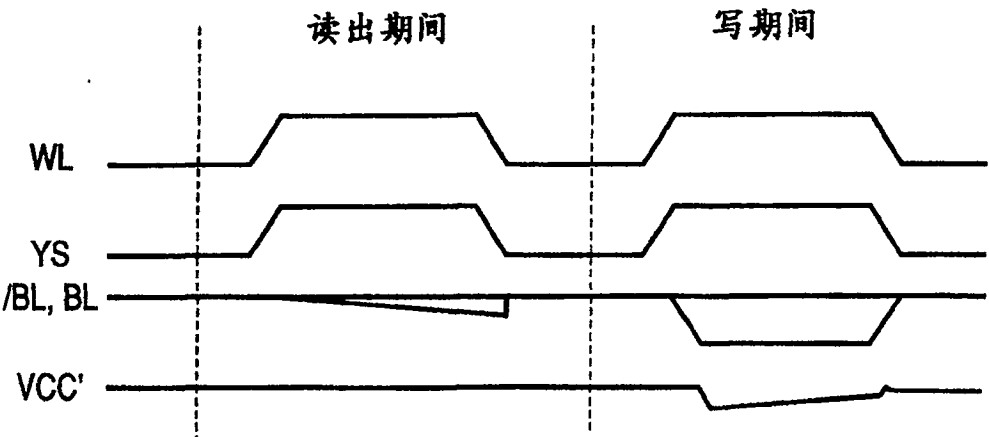


图 5

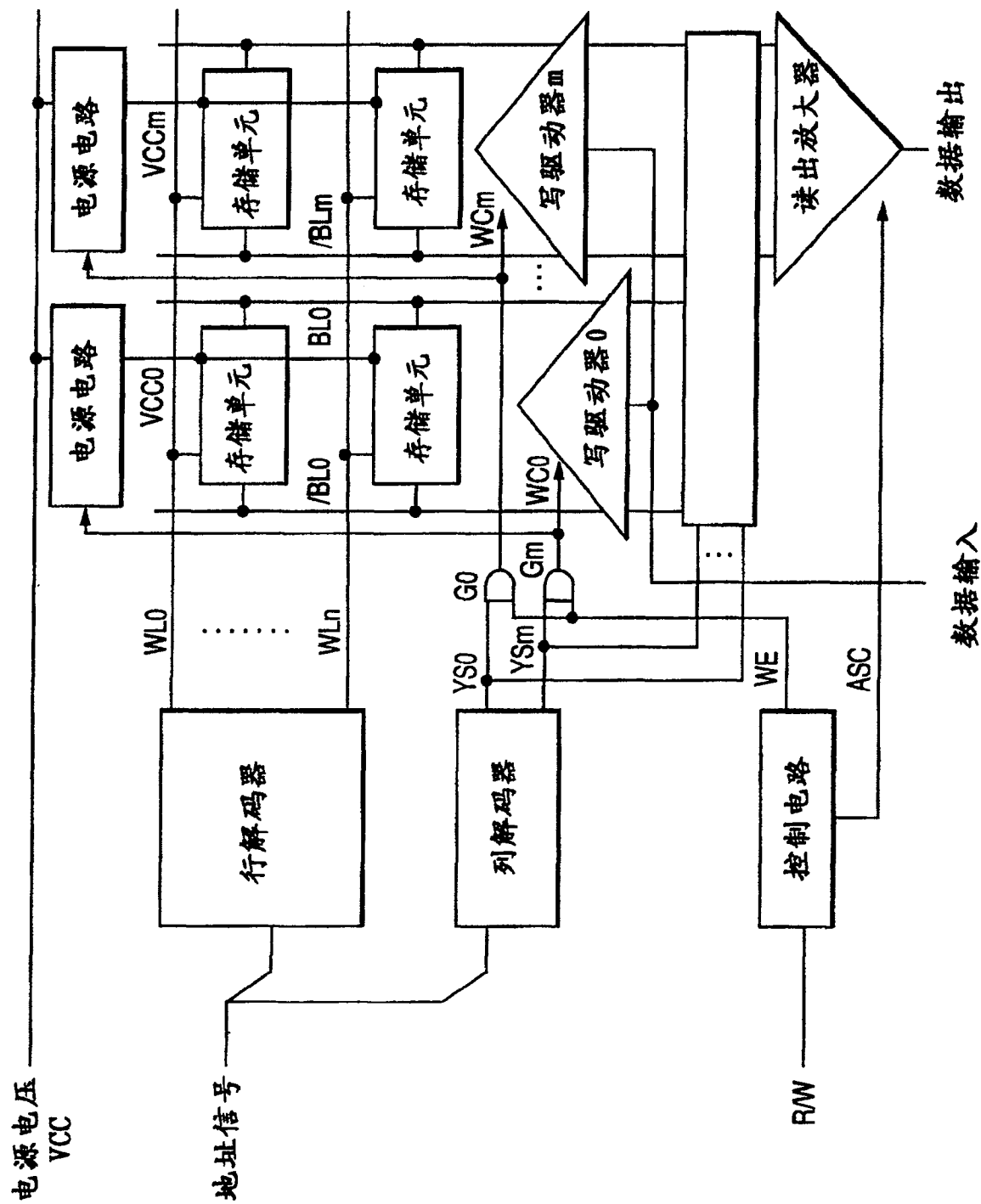


图 6

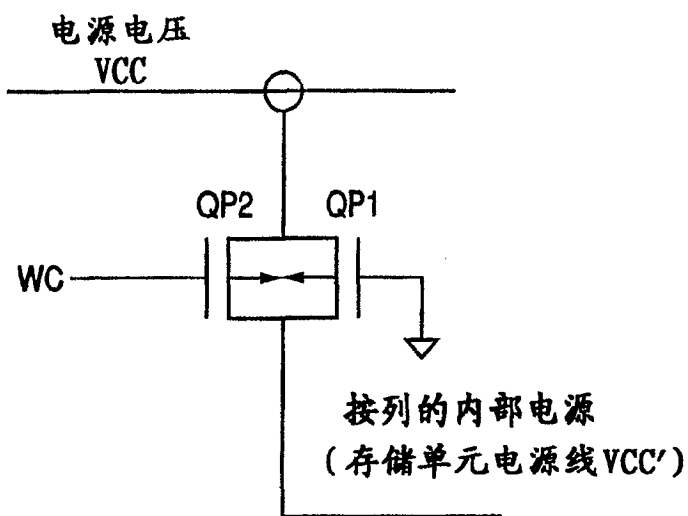


图 7

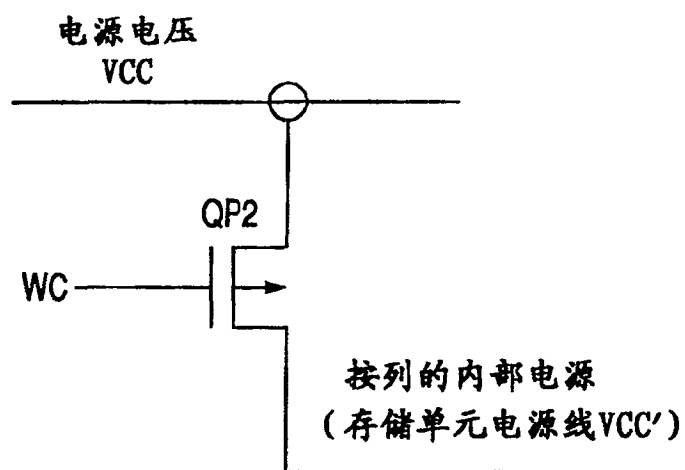


图 8

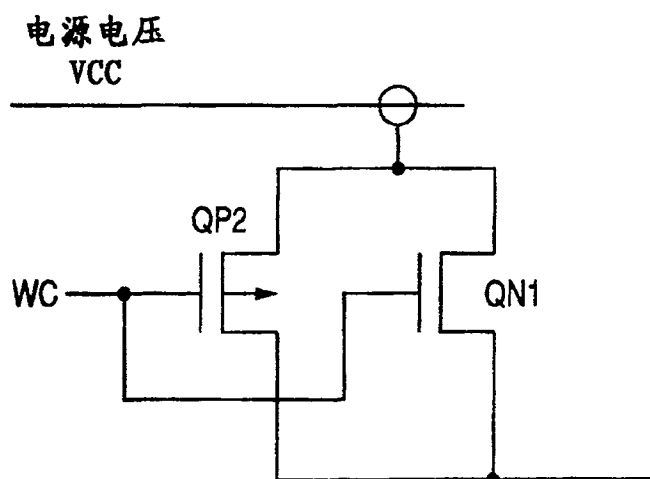


图 9

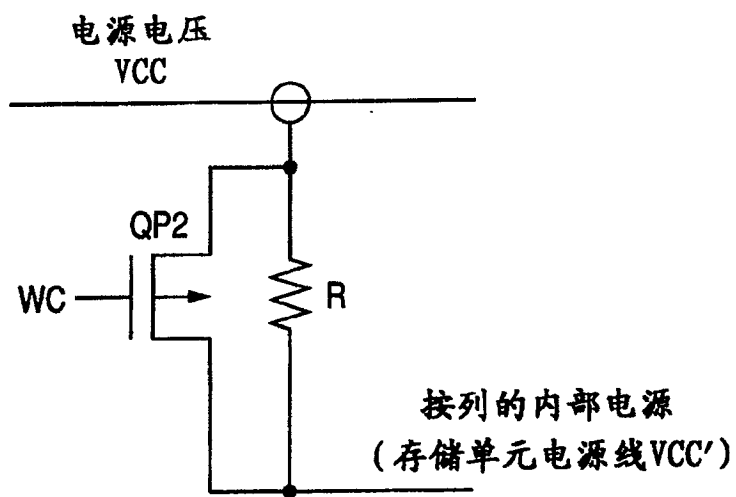


图 10

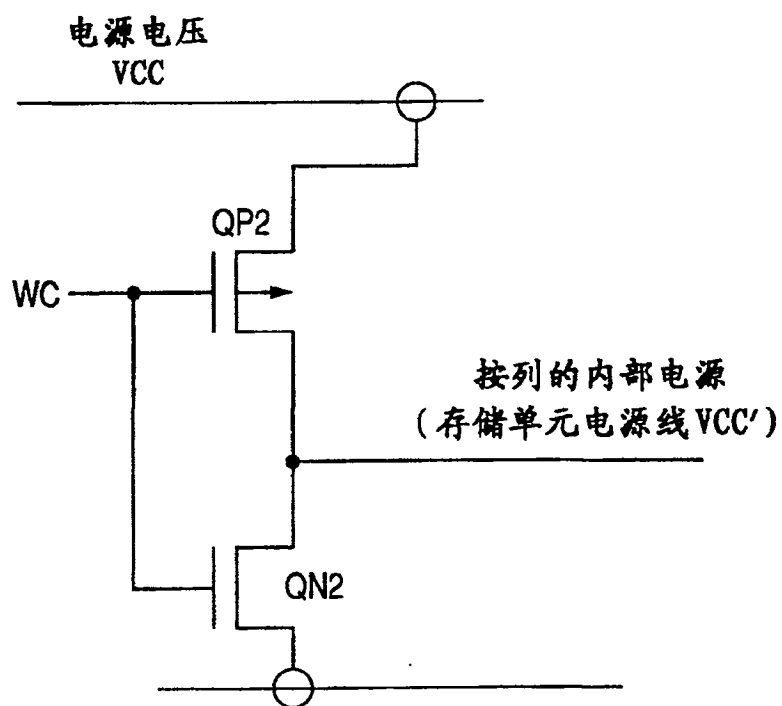


图 11

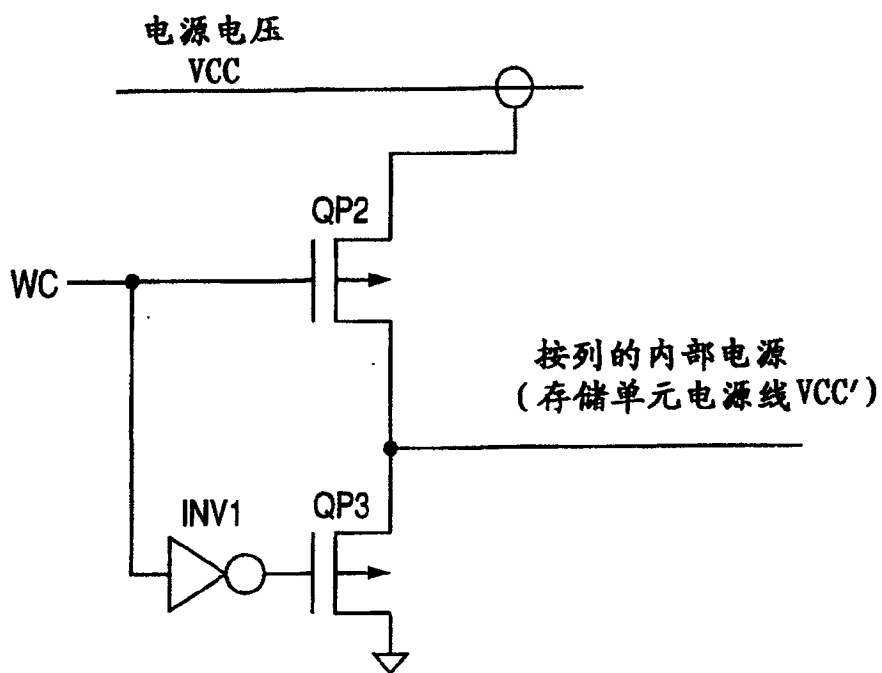


图 12

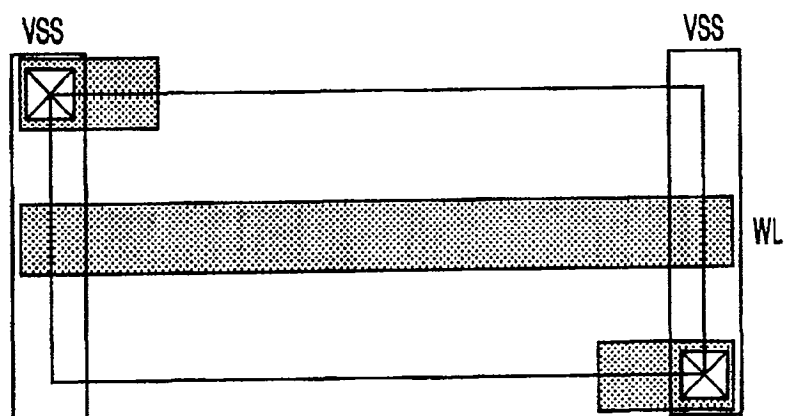


图 14C

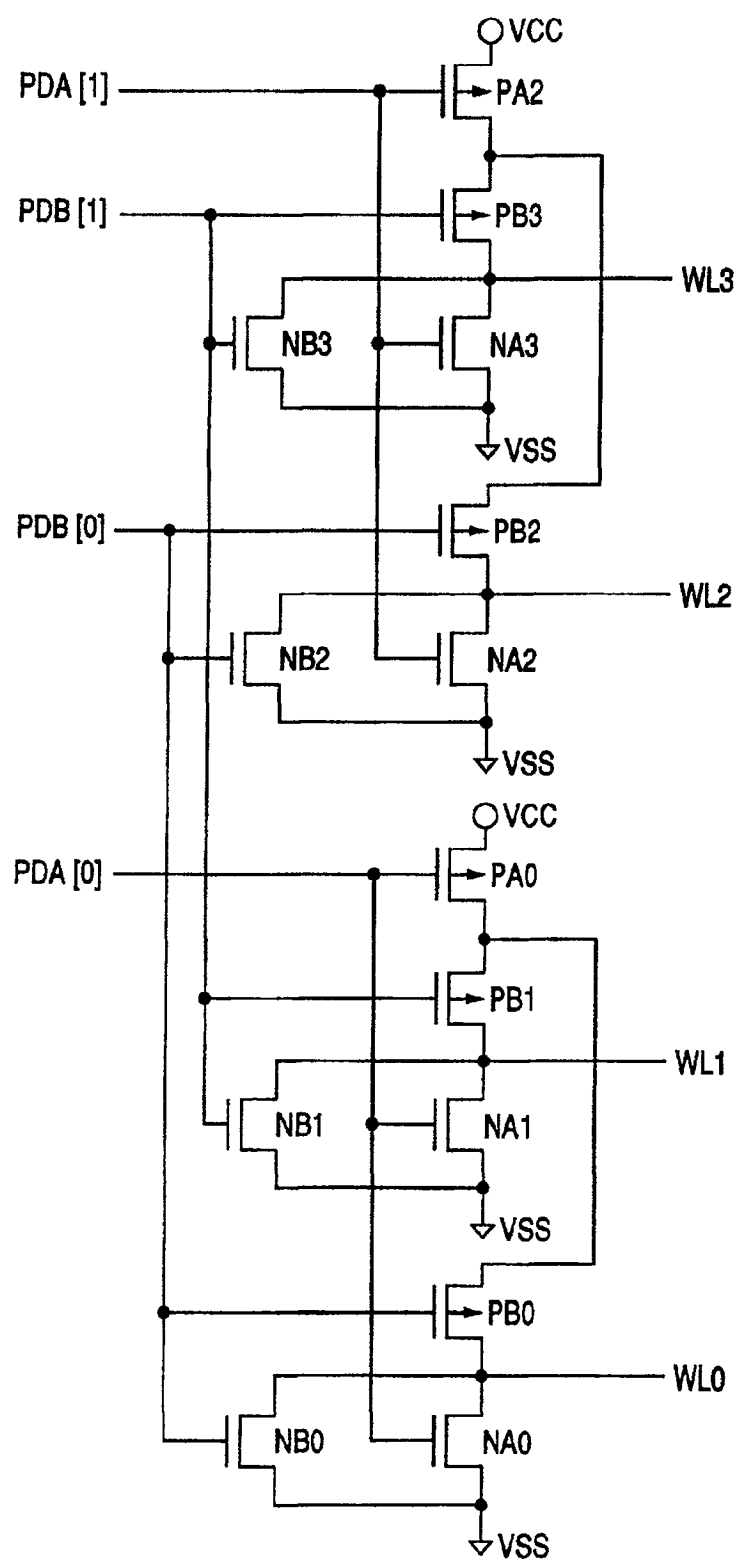


图 15

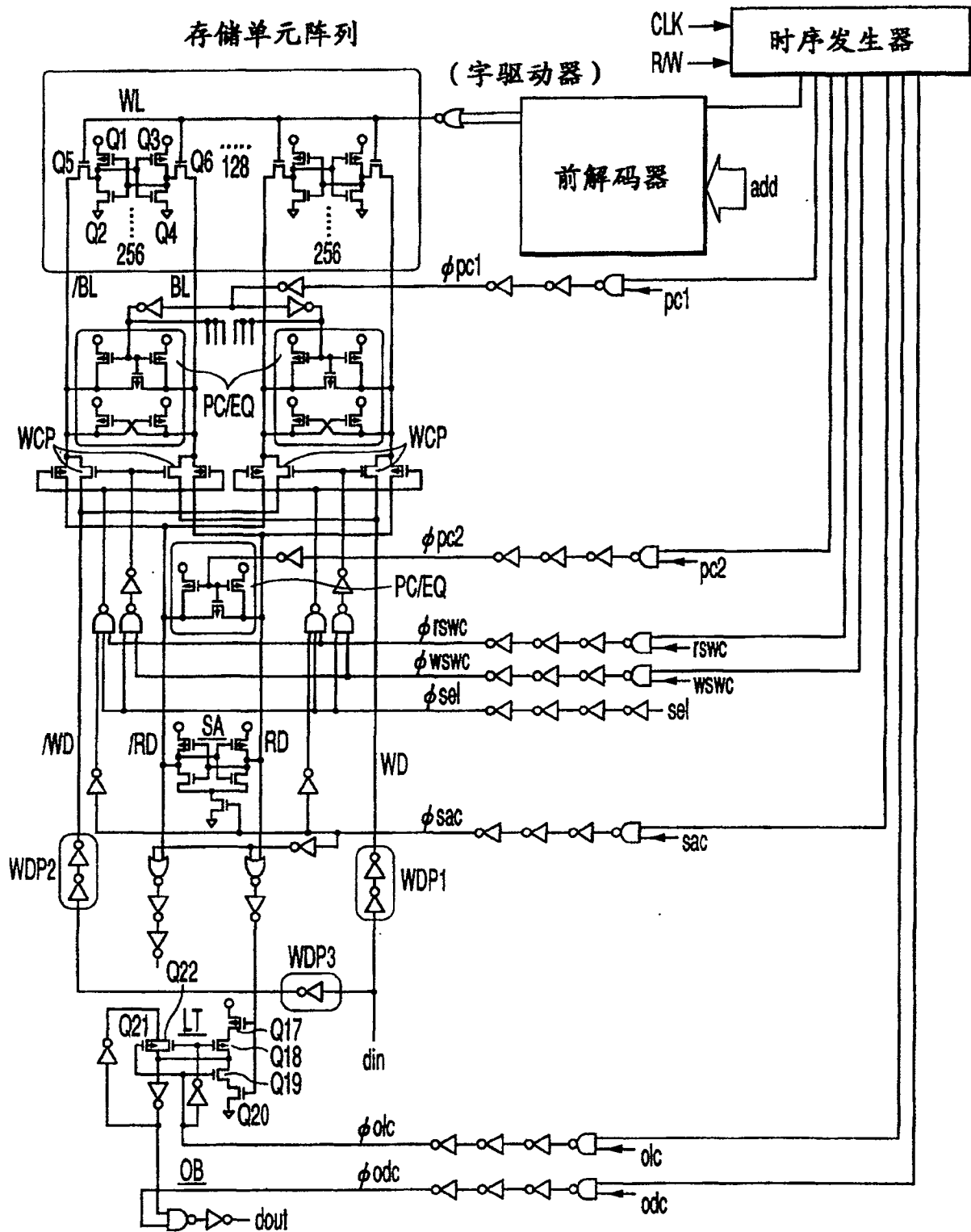


图 16

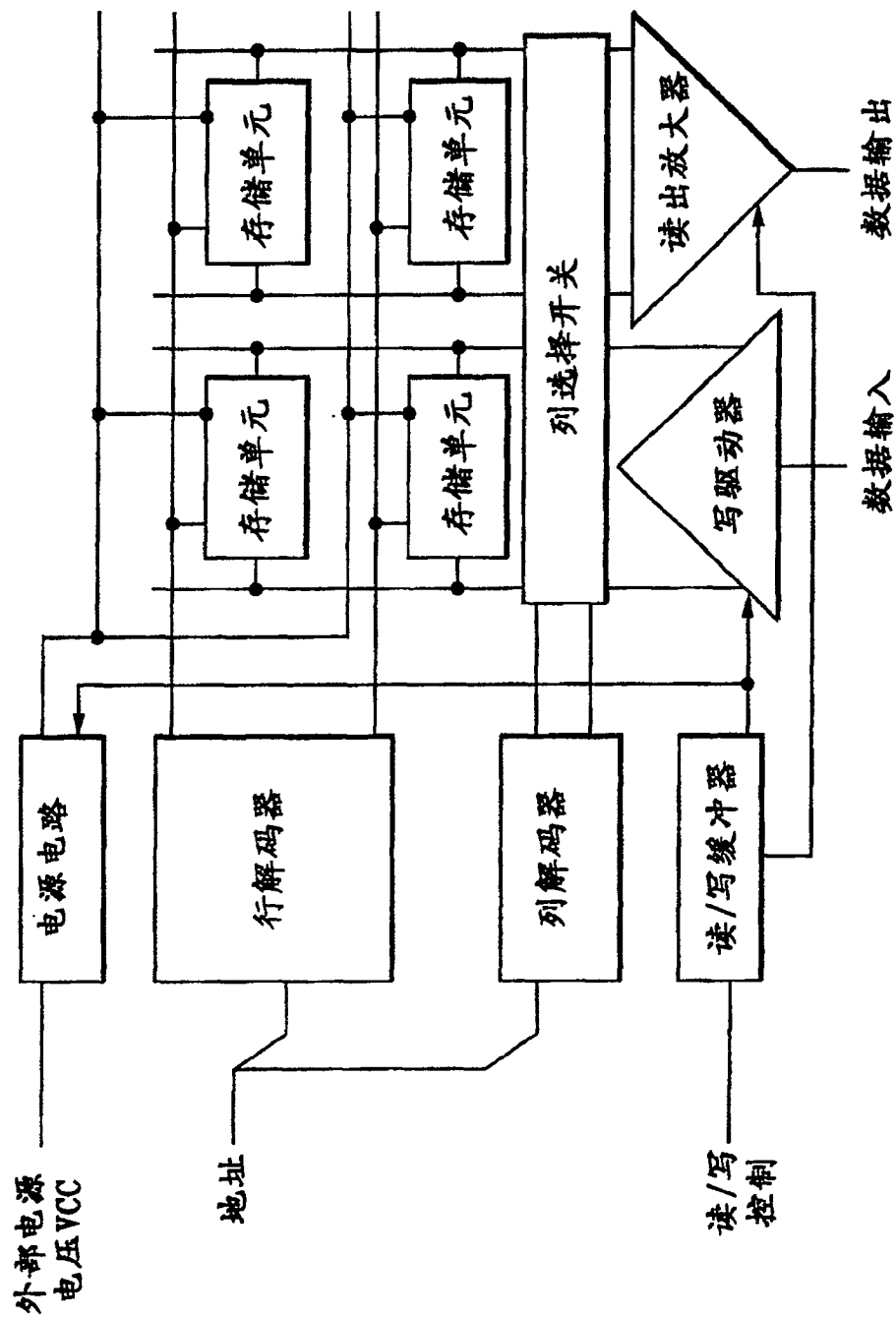


图 17

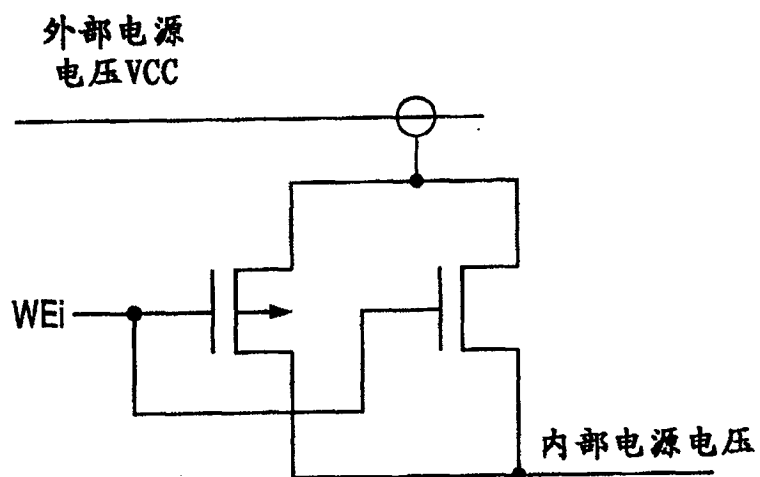


图 18

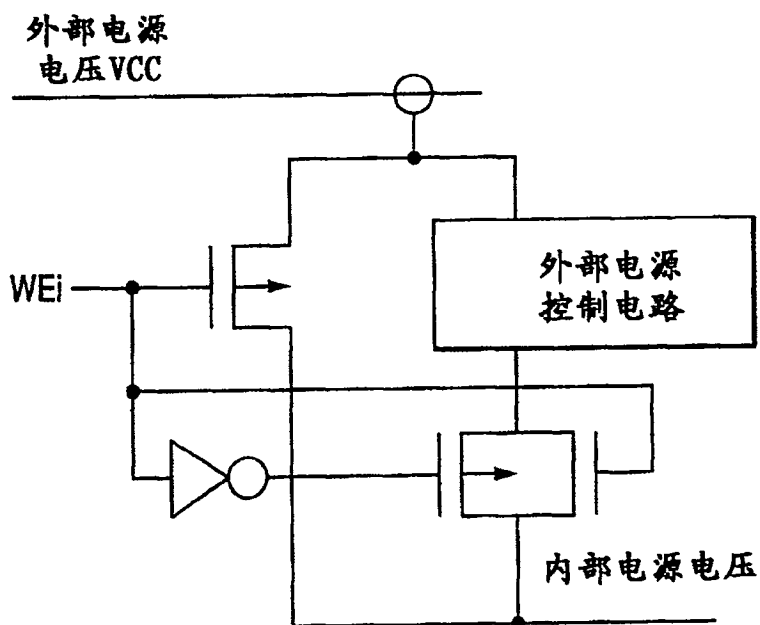


图 19