



(12) 发明专利

(10) 授权公告号 CN 101800251 B

(45) 授权公告日 2015. 04. 15

(21) 申请号 201010103437. X

(22) 申请日 2010. 01. 29

(73) 专利权人 复旦大学

地址 200433 上海市邯郸路 220 号

(72) 发明人 吴东平 张世理

(74) 专利代理机构 上海晨皓知识产权代理事务

所(普通合伙) 31260

代理人 成丽杰

(51) Int. Cl.

H01L 29/792(2006. 01)

H01L 21/336(2006. 01)

审查员 张丹

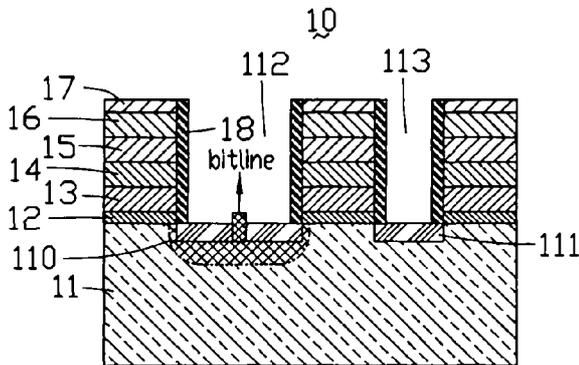
权利要求书1页 说明书4页 附图3页

(54) 发明名称

电荷俘获非挥发半导体存储器及其制造方法

(57) 摘要

本发明提供一种电荷俘获非挥发半导体存储器及其制造方法。所述电荷俘获非挥发半导体存储器包括一半导体衬底、一源极区域、一漏极区域、依次形成在所述半导体衬底上的一隧道绝缘层、一电荷俘获层、一阻挡绝缘层和一栅电极。所述漏极区域包括P-N结,所述源极区域包括金属钛、钴、镍、铂中任意一种或者其混合物与半导体衬底形成的金属半导体结。本发明电荷俘获非挥发半导体存储器的编程电压低、编程速度快、功耗较低、可靠性较高。



1. 一种电荷俘获非挥发半导体存储器的制造方法,其特征在于,包括如下步骤:

提供一半导体衬底,在所述半导体衬底上依次形成一隧道绝缘层、一电荷俘获层、一阻挡绝缘层、一栅电极、一第一金属层及一硬掩膜层;

依次刻蚀所述硬掩膜层、所述第一金属层、所述栅电极、所述阻挡绝缘层、所述电荷俘获层及所述隧道绝缘层,形成一对应于漏极区域的第一开口及一对应于源极区域的第二开口,所述第一、第二开口都暴露出所述半导体衬底,所述第一开口的宽度大于所述第二开口的宽度;

形成一第一介质层,所述第一介质层的厚度大于所述第二开口的宽度的一半,并且小于所述第一开口的宽度的一半,刻蚀所述第一开口所对应的半导体衬底上的所述第一介质层并保留所述第二开口内的第一介质层;

向所述半导体衬底中注入离子,使漏极区域形成 P-N 结;

去除剩余第一介质层,形成侧墙,所述侧墙分别位于上述第一、第二开口内,并且位于所述隧道绝缘层至硬掩膜层的两侧;

形成一第二金属层,所述第二金属层包括金属钛层、钴层、镍层、铂层中任意一种或者其混合物并与半导体衬底反应,使源极区域形成相应的金属半导体结。

2. 根据权利要求 1 所述电荷俘获非挥发半导体存储器的制造方法,其特征在于:所述第一介质层为二氧化硅层、氮化硅层或两者的混合层。

3. 根据权利要求 1 所述电荷俘获非挥发半导体存储器的制造方法,其特征在于:所述半导体衬底是 P 型衬底,注入的离子是 N 型离子。

4. 根据权利要求 1 所述电荷俘获非挥发半导体存储器的制造方法,其特征在于:形成上述侧墙的步骤包括沉积一第二介质层,刻蚀掉部分所述第二介质层,保留上述两个开口的两侧的第二介质层,保留下来的第二介质层即为所述侧墙。

5. 根据权利要求 1 所述电荷俘获非挥发半导体存储器的制造方法,其特征在于:利用退火工艺使所述第二金属层与所述第二开口内的半导体衬底发生反应而形成金属硅化物,所述金属硅化物与所述第二开口对应的源极区域的半导体衬底接触形成金属半导体结。

6. 根据权利要求 5 所述电荷俘获非挥发半导体存储器的制造方法,其特征在于:所述制造方法进一步包括去除未与所述半导体衬底反应的所述第二金属层。

电荷俘获非挥发半导体存储器及其制造方法

技术领域

[0001] 本发明涉及一种非挥发存储器,尤其涉及一种电荷俘获非挥发半导体存储器及其制备方法。

背景技术

[0002] 非挥发存储器 (Non-volatile memory) 由于具有低功耗、小体积、高密度、可重复擦写等特性,在移动通信、数据终端、多媒体、消费类电子及国防电子装备等领域具有广泛的应用。

[0003] 非挥发存储器主要包括浮栅 (Floating Gate) 非挥发半导体存储器和电荷俘获 (Charge Trapping) 非挥发半导体存储器。浮栅非挥发半导体存储器是利用多晶硅形成浮栅,并且电荷存储在浮栅中,因此如果上述多晶硅中存在任何缺陷,则电荷保留时间将显著降低。相反,电荷俘获非挥发半导体存储器是使用氮化物层代替上述多晶硅,电荷存储在氮化物层中,因此对缺陷的敏感性相对较低。此外,相较于浮栅非挥发半导体存储器,电荷俘获非挥发半导体存储器具有更好的可缩微性。另外,电荷俘获非挥发半导体存储器还具有分立的存储介质、较薄有隧穿氧化层、良好的数据保持特性以及完全与微电子工艺兼容等优点。因此,目前电荷俘获非挥发半导体存储器被认为在 30 纳米以下将逐渐取代浮栅非挥发半导体存储器。

[0004] 一般而言,电荷俘获非挥发半导体存储器的编程和擦除技术来源于沟道热电子发射 (Channel Hot-Electron Injection) 与沟道热空穴发射 (Channel Hot-Hole Injection)。电荷俘获非挥发半导体存储器的编程 (Program) 是通过传统的沟道热电子发射在漏端附近完成的,而擦除 (Erase) 则是通过沟道热空穴发射在漏端附近完成的。目前,电荷俘获非挥发半导体存储器的源极和漏极同为 P-N 结结构。

[0005] 然而随着器件的尺寸越来越小,上述电荷俘获非挥发半导体存储器的沟道长度也相应不断地缩短。为了产生充足的漏端热空穴注入,源极和漏极同为 P-N 结结构这一特征导致编程电压很难被缩小,热电子注入效率低,编程速度慢,功耗较大。

发明内容

[0006] 针对上述电荷俘获非挥发半导体存储器存在的问题,有必要提供一种编程电压低、编程速度快、功耗较低及可靠性较高的电荷俘获非挥发半导体存储器。

[0007] 同时,也有必要提供一种上述非挥发半导体存储器制备方法。

[0008] 一种电荷俘获非挥发半导体存储器,其包括一半导体衬底、一源极区域、一漏极区域、依次形成在所述半导体衬底上的一隧道绝缘层、一电荷俘获层、一阻挡绝缘层和一栅电极。所述漏极区域包括 P-N 结,所述源极区域包括金属钛、钴、镍、铂中任意一种或者其混合物与半导体衬底形成的金属半导体结。

[0009] 优选地,所述电荷俘获非挥发半导体存储器进一步包括一形成在所述栅电极上的第一金属层。

[0010] 优选地,所述电荷俘获非挥发半导体存储器进一步包括一形成在所述第一金属层上的硬掩膜层。

[0011] 优选地,所述半导体衬底具有一漏极区域及一源极区域,所述隧道绝缘层、电荷俘获层、阻挡绝缘层、栅电极、第一金属层及硬掩膜层依次形成在上述半导体衬底上除上述源极区域和上述漏极区域以外的区域。

[0012] 优选地,所述电荷俘获非挥发半导体存储器进一步包括侧墙,所述半导体衬底上对应上述漏极区域和上述源极区域的空间分别形成第一开口及第二开口,所述侧墙分别形成在上述两个开口内,并且分别位于上述隧道绝缘层至硬掩膜层的侧边。

[0013] 优选地,所述第一金属层是金属钨层或者金属硅化钨层。

[0014] 一种电荷俘获非挥发半导体存储器的制造方法,其包括如下步骤:提供一半导体衬底,在所述半导体衬底上依次形成一隧道绝缘层、一电荷俘获层、一阻挡绝缘层、一栅电极、一第一金属层及一硬掩膜层;依次刻蚀所述硬掩膜层、所述第一金属层、所述栅电极、所述阻挡绝缘层、所述电荷俘获层及所述隧道绝缘层,形成对应于漏极区域的第一开口及一对应于源极区域的第二开口,所述两个开口都暴露出所述半导体衬底;形成一第一介质层,刻蚀所述第一介质层并保留所述第二开口内的第一介质层;向所述半导体衬底中注入离子,使漏极区域形成 P-N 结;去除剩余第一介质层,形成侧墙,所述侧墙分别位于上述第一、第二开口内,并且位于所述隧道绝缘层至硬掩膜层的两侧;形成一第二金属层,所述第二金属层包括金属钛层、钴层、镍层、铂层中任意一种或者其混合物并与半导体衬底反应,使源极区域形成相应的金属半导体结。

[0015] 优选地,所述第一开口的宽度大于所述第二开口的宽度。

[0016] 优选地,所述第一介质层的厚度大于所述第二开口的宽度的一半,并且小于所述第一开口的宽度的一半。

[0017] 优选地,所述第一介质层为二氧化硅层、氮化硅层或两者的混合层。

[0018] 优选地,所述半导体衬底是 P 型衬底,注入的离子是 N 型离子。

[0019] 优选地,形成上述侧墙的步骤包括沉积一第二介质层,刻蚀掉部分所述第二介质层,保留上述第一、第二开口的两侧的第二介质层,保留下来的第二介质层即为所述侧墙。

[0020] 优选地,利用退火工艺使所述第二金属层与所述第二开口内的半导体衬底发生反应而形成金属硅化物,所述金属硅化物与所述第二开口对应的源极区域的半导体衬底接触形成金属半导体结。

[0021] 优选地,所述制造方法进一步包括去除未与所述半导体衬底反应的第一金属层。

[0022] 本发明制造方法制造的电荷俘获非挥发半导体存储器的漏极区域和源极区域的半导体结分别为 P-N 结和肖特基结。所述肖特基结构由金属钛、钴、镍、铂中任意一种或者其混合物与半导体衬底形成。所述肖特基结需要比较低的电子势垒高度,才能更有效的完成源极区域热电子注入编程模式。因此,在使用上述电荷俘获非挥发半导体存储器时,只需在较低的栅极电压和较低的漏极电压下就可以在源极区域产生特定热电子,热电子注入效率高、编程电压低、编程速度快且功耗低。另外,上述电荷俘获非挥发半导体存储器的不对称源极、漏极结构,能够减少漏极的反向二极管泄漏电流,器件可靠性高。

附图说明

[0023] 图 1 是本发明电荷俘获非挥发半导体存储器的截面示意图。

[0024] 图 2 是图 1 所示电荷俘获非挥发半导体存储器一较佳实施方式的制备方法流程图。

[0025] 图 3 至图 13 是图 1 所示电荷俘获非挥发半导体存储器的制造方法的各主要步骤的截面示意图。

具体实施方式

[0026] 请参阅图 1, 图 1 是本发明电荷俘获非挥发半导体存储器的截面示意图。所述电荷俘获非挥发半导体存储器 10 包括一半导体衬底 11、一隧道绝缘层 12、一电荷俘获层 13、一阻挡绝缘层 14、一栅电极 15、一第一金属层 16、一硬掩膜层 17 及侧墙 18。上述半导体衬底 11 表面具有一漏极区域 110 及一源极区域 111。上述隧道绝缘层 12、电荷俘获层 13、阻挡绝缘层 14、栅电极 15、第一金属层 16 及硬掩膜层 17 依次形成在上述半导体衬底 11 上除上述漏极区域 110 和上述源极区域 111 以外的区域。

[0027] 上述半导体衬底 11 上对应上述漏极区域 110 和上述源极区域 111 的空间分别形成一第一开口 112 及一第二开口 113。上述侧墙 18 形成在上述第一、第二开口 112、113 内, 并且分别位于上述隧道绝缘层 12 至硬掩膜层 17 的侧边。上述漏极区域 110 包括一接触孔 (未标示), 其内填充有金属并和位线 (Bitline) 连接。上述栅电极 15 和上述第一金属层 16 一起形成字线 (Wordline) (未标示)。

[0028] 请参阅图 2 至图 13, 图 2 是所述电荷俘获非挥发半导体存储器 10 的制造方法一较佳实施方式的流程图。图 3 至图 13 是图 1 所示电荷俘获非挥发半导体存储器 10 的制造方法的各主要步骤的截面示意图。所述电荷俘获非挥发半导体存储器 10 的制造方法包括如下步骤:

[0029] 步骤 S1, 请参阅图 3, 提供一半导体衬底 11, 在上述半导体衬底 11 上依序形成一隧道绝缘层 12、一电荷俘获层 13、一阻挡绝缘层 14 及一栅电极 15。上述多层结构从所述半导体衬底 11 至所述栅电极 15 的结构为一多晶硅-氧化物-氮化物-氧化物-多晶硅半导体 (Silicon-Oxide-Nitride-Oxide-Silicon, SONOS) 结构 (未标示)。上述半导体衬底 11 可以是 P 型半导体衬底。上述隧道绝缘层 12 和阻挡绝缘层 14 可以采用二氧化硅 (SiO₂) 形成。上述电荷俘获层 13 可以采用氮化硅 (Si₃N₄) 形成。上述栅电极 15 可以为多晶硅层。

[0030] 上述隧道绝缘层 12 可以通过湿氧化法或自由基氧化法形成。上述电荷俘获层 13 和阻挡绝缘层 14 可以通过原子层沉积法 (ALD)、等离子增强 ALD 法 (PE-ALD) 或化学气相沉积法 (CVD) 然后实施快速热退火 (RTA) 而形成。

[0031] 步骤 S2, 请参阅图 4, 在上述栅电极 15 的表面上依次形成一第一金属层 16 和一硬掩膜层 17。上述第一金属层可以是金属钨层或者金属硅化钨层。上述硬掩膜层 17 可以为二氧化硅层或氧化硅层。

[0032] 步骤 S3, 对上述硬掩膜层 17 进行光刻, 之后对 SONOS 结构以及第一金属层 16 和硬掩膜层 17 进行刻蚀直至上述半导体衬底 11 暴露出来为止, 从而形成图 5 所示的一第一开口 112 和一第二开口 113。第一开口 112 的宽度 L1 大于第二开口 113 的宽度 L2。

[0033] 步骤 S4, 请参阅图 6, 在上述掩膜层 17 及暴露的半导体衬底 11 表面沉积一第一介

质层 19, 上述第一介质层 19 为二氧化硅层、氮化硅层或两者的混合层。上述第一介质层 19 的厚度大于 $L2/2$, 并且小于 $L1/2$ 。因此, 上述第一开口 112 未被完全填充, 上述第二开口 113 被完全填充。

[0034] 步骤 S5, 请参阅图 7, 利用各向异性干法刻蚀上述第一介质层 19, 将覆盖在所述硬掩膜层 17 及所述第一开口 112 所对应的衬底 11 上的第一介质层 19 刻蚀掉, 保留上述第一开口 112 内侧的第一介质层 19 和上述第二开口 113 内的第一介质层 19。

[0035] 步骤 S6, 请参阅图 8, 在具有硬掩膜层 17 及第一介质层 19 的半导体衬底上 11 注入 N 型杂质离子, 并采用退火工艺在第一开口 112 对应的漏极区域 110 形成 P-N 结。上述 N 型杂质可为磷 (P)、砷 (As) 等。

[0036] 步骤 S7, 请参阅图 9, 利用各向异性干法刻蚀掉剩余的第一介质层 19, 同时上述硬掩膜层 17 也变薄。

[0037] 步骤 S8, 请参阅图 10, 在图 9 所示的半导体衬底 11 及硬掩膜层 17 上沉积一第二介质层 21。上述第二介质层 21 可为二氧化硅层、氮化硅层或两者的混合层。上述第二介质层 21 的厚度小于 $L2/2$ 。

[0038] 步骤 S9, 利用各向异性干法刻蚀掉硬掩膜层 17 表面的第二介质层 21 及上述半导体衬底 11 表面的部分第二介质层 21, 保留上述第一、第二开口 112、113 的内侧壁的第二介质层 21, 从而形成图 11 所示的侧墙。

[0039] 步骤 S10, 请参阅图 12, 在图 11 所示的半导体衬底 11 上沉积一第二金属层 22, 并利用退火工艺, 使上述第二金属层 22 与两个开口 112、113 内的半导体衬底 11 发生反应而形成金属硅化物。上述第二金属层 22 可为钛层、钴层、镍层、铂层或者其混合层。金属硅化物与第二开口 113 对应的源极区域 111 的半导体衬底 11 接触形成图 13 所示的金属半导体结 (肖特基结), 而上述漏极区域 110 的半导体结是一个 P-N 结。

[0040] 步骤 S11, 请再次参阅图 13, 利用湿法刻蚀, 除去未反应的第二金属层 22, 并沉积一第三介质层 (图未示), 在上述第二开口区域形成接触孔 (图未示), 在上述接触孔内填充金属 (图未示), 并和后续形成的位线 (Bitline) 相连接。最后, 所述栅电极 15 和所述第一金属层 16 共同形成字线 (图未示), 便形成了所述电荷俘获非挥发半导体存储器 10。另外, 由于所述第一金属层 16 电阻率比所述栅电极 15 低, 所以所述字线主要由所述栅电极 15 形成。

[0041] 本发明制备方法制造的电荷俘获非挥发半导体存储器 10 的漏极区域 110 和源极区域 111 的半导体结分别为 P-N 结和肖特基结。所述肖特基结构由金属钛、钴、镍、铂中任意一种或者其混合物与半导体衬底形成。所述肖特基结需要比较低的电子势垒高度, 才能更有效的完成源极区域热电子注入编程模式。因此, 在使用上述电荷俘获非挥发半导体存储器 10 时, 只需在较低的栅极电压和较低的漏极电压下就可以在源极区域 111 产生特定热电子, 热电子注入效率高、编程电压低、编程速度快且功耗低。

[0042] 另外, 上述电荷俘获非挥发半导体存储器 10 的不对称源极、漏极结构, 能够减少漏极的反向二极管泄漏电流, 器件可靠性高。

[0043] 以上仅为本发明的优选实施案例而已, 并不用于限制本发明, 对于本领域的技术人员来说, 本发明可以有各种更改和变化。凡在本发明的精神和原则之内, 所作的任何修改、等同替换、改进等, 均应包含在本发明的保护范围之内。

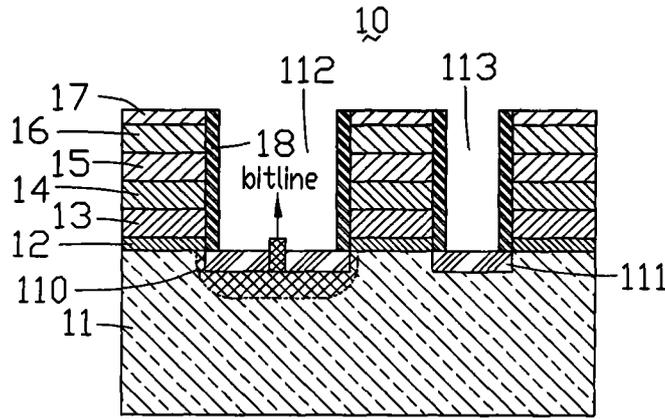


图 1

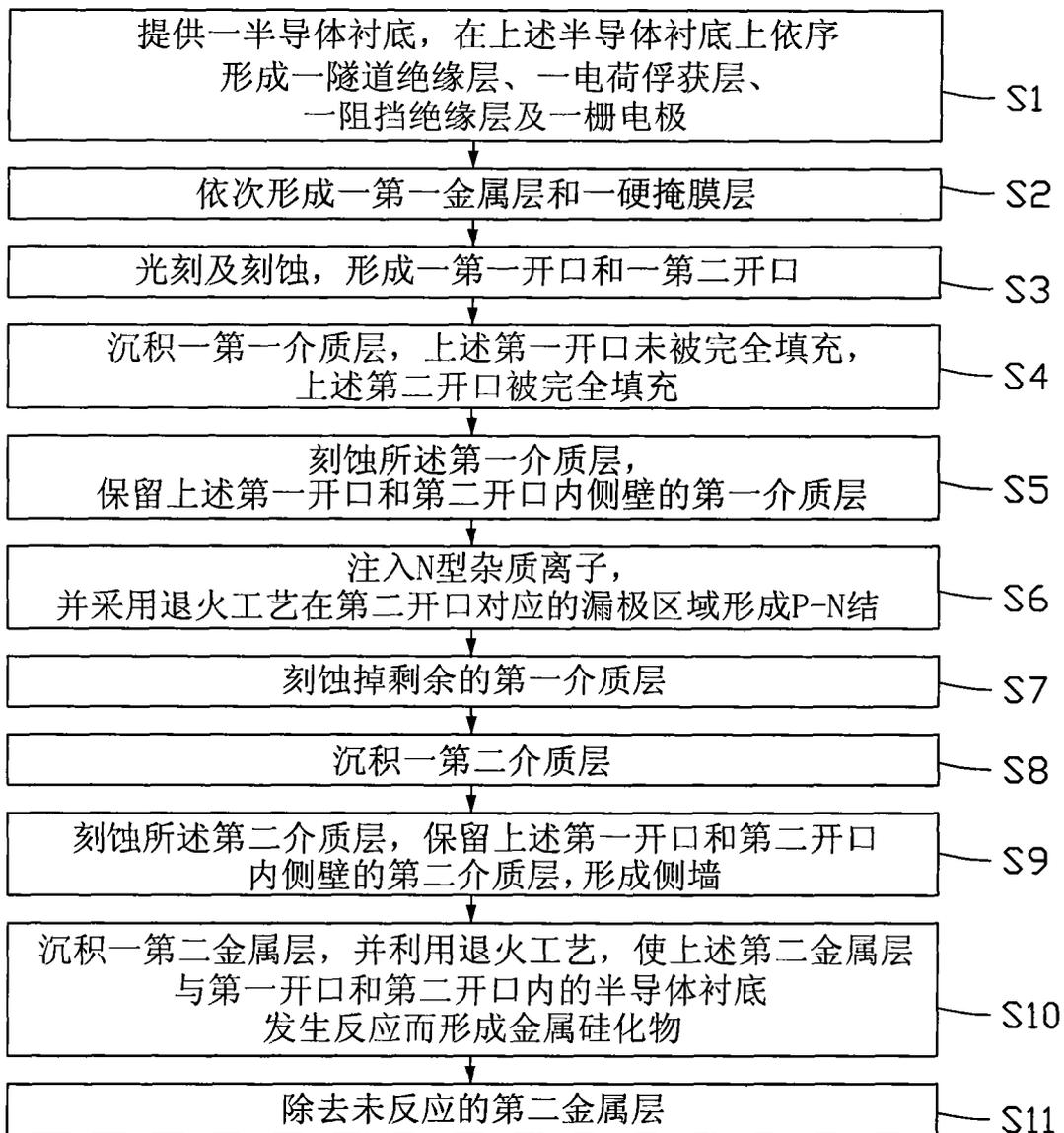


图 2

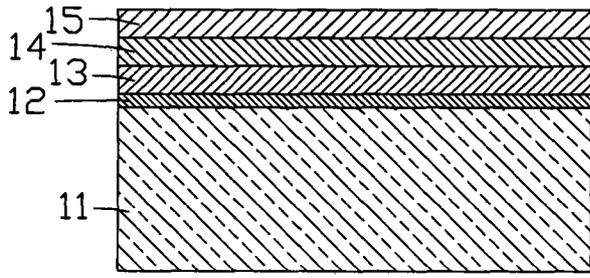


图 3

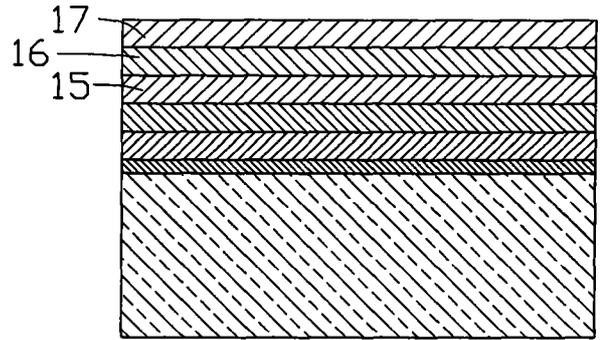


图 4

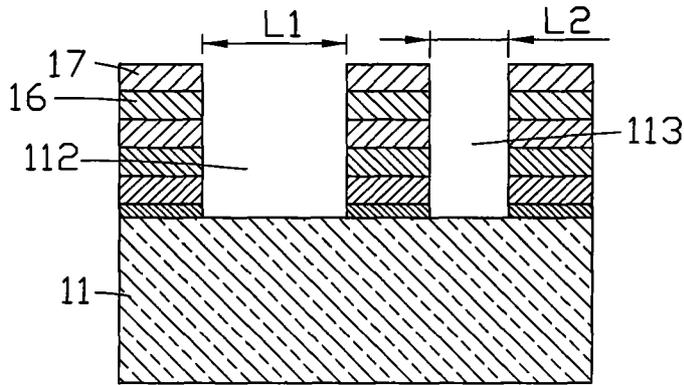


图 5

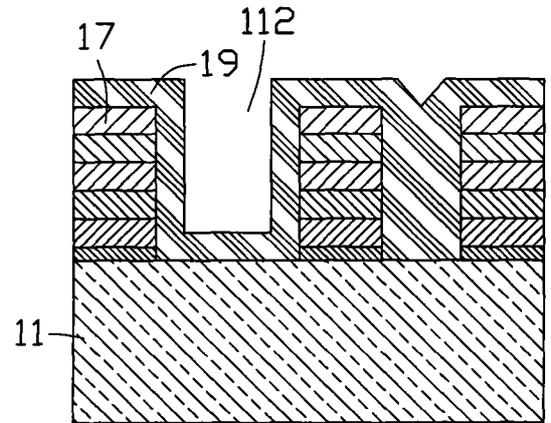


图 6

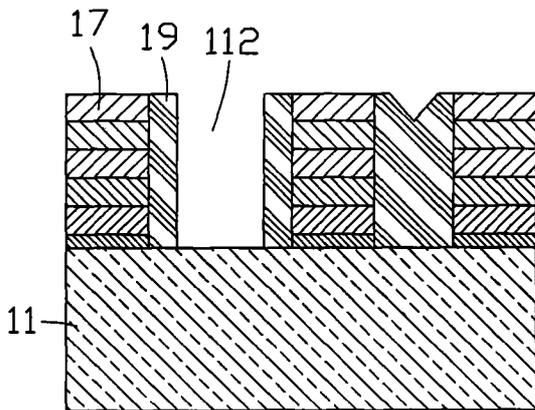


图 7

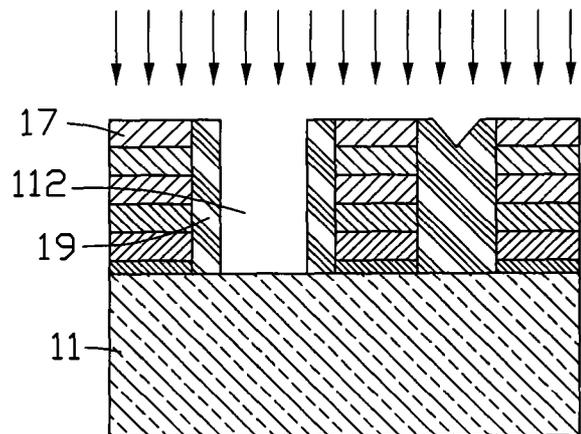


图 8

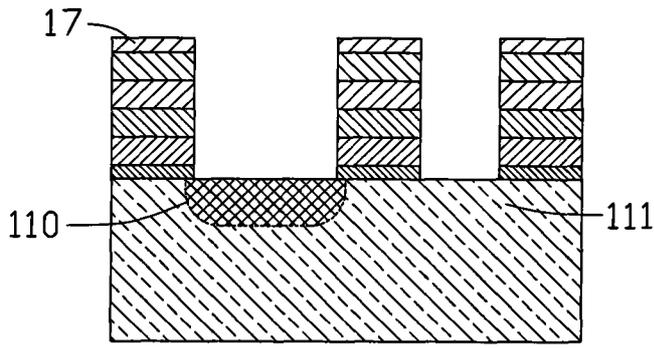


图 9

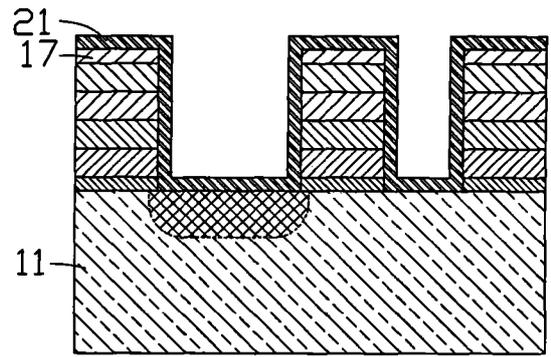


图 10

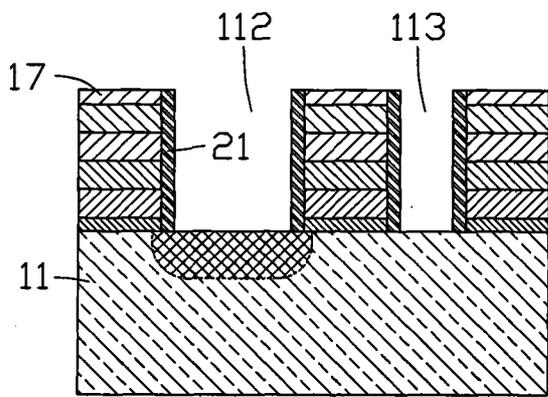


图 11

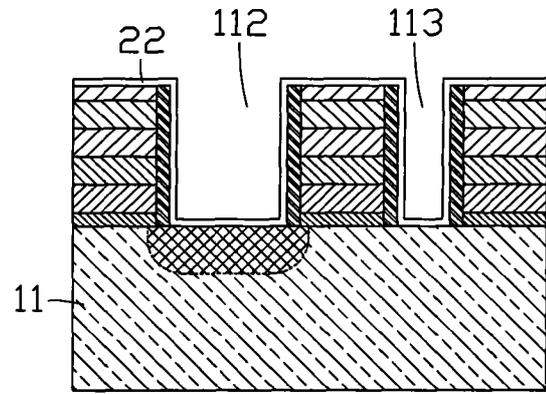


图 12

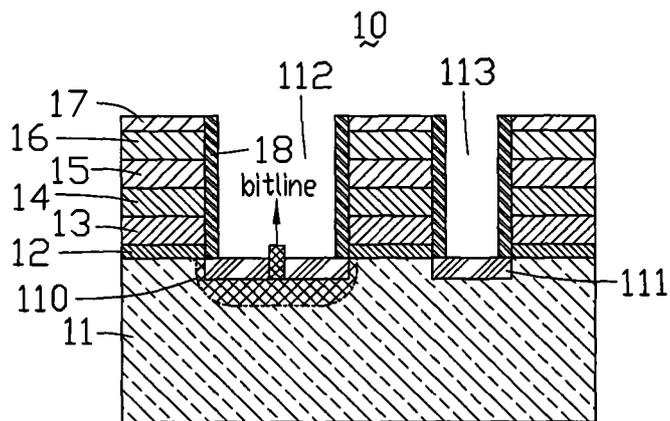


图 13