



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I517153 B

(45)公告日：中華民國 105 (2016) 年 01 月 11 日

(21)申請案號：103113846

(22)申請日：中華民國 96 (2007) 年 12 月 19 日

(51)Int. Cl. : G11C11/4076(2006.01)

G11C8/10 (2006.01)

(30)優先權：2006/12/26 日本

2006-349191

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：井上卓之 INOUE, TAKAYUKI (JP)；黑川義元 KUROKAWA, YOSHIYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 6577534B2

US 6611458B2

US 6819604B2

US 6865098B1

US 6879529B2

US 6967878B2

US 2005/0052928A1

US 2005/0141264A1

審查人員：蕭明椿

申請專利範圍項數：9 項 圖式數：13 共 73 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

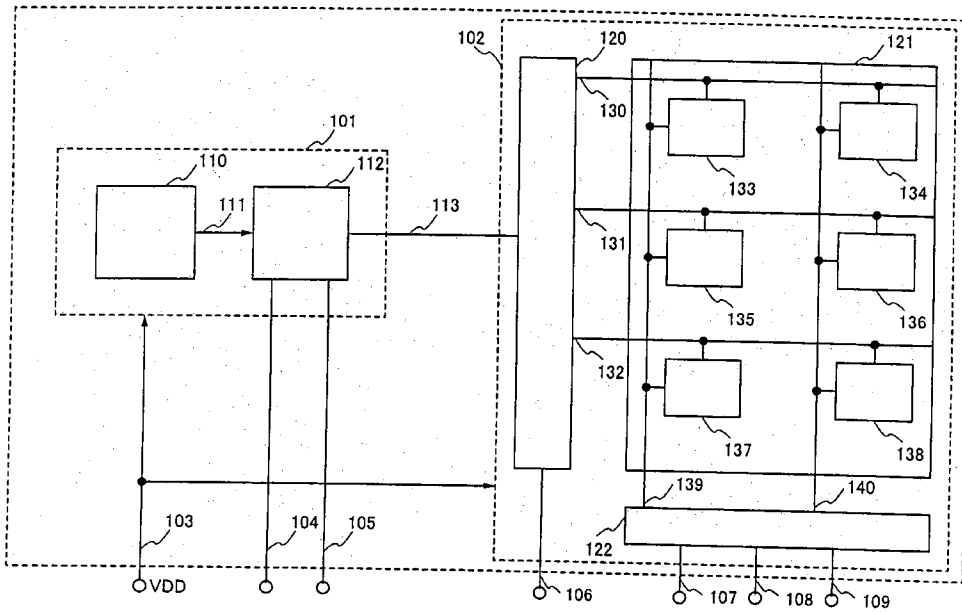
(57)摘要

本發明之目的在於提供一具有記憶體之半導體裝置，其能夠藉由使用有助於利用備援的記憶體單元格之結構而有效率地改善良率。該半導體裝置包含具有記憶體單元格和備援的記憶體單元格之記憶體單元格陣列；連接至該記憶體單元格和該備援的記憶體單元格之解碼器；連接至該解碼器的資料保持電路；以及將電力供應至該資料保持電路的電池。該備援的記憶體單元格依據來自該資料保持電路的輸出而操作。

An object is to provide a semiconductor device having a memory which can efficiently improve a yield by employing a structure which facilitates the use of a spare memory cell. The semiconductor device includes a memory cell array having a memory cell and a spare memory cell, a decoder connected to the memory cell and the spare memory cell, a data holding circuit connected to the decoder, and a battery which supplies electric power to the data holding circuit. The spare memory cell operates in accordance with an output from the data holding circuit.

指定代表圖：

圖 1



符號簡單說明：

- 101 . . . 電池後備電路部
- 102 . . . 記憶體電路部
- 103 . . . 第一電源供應線路
- 104 . . . 第一配線
- 105 . . . 第二配線
- 106 . . . 位址訊號線
- 107 . . . 輸入/輸出訊號線
- 108 . . . 記憶體寫入致能訊號線
- 109 . . . 讀取致能訊號線
- 110 . . . 電池
- 111 . . . 第二電源供應線路
- 112 . . . 資料保持電路
- 113 . . . 第三配線
- 120 . . . 解碼器
- 121 . . . 記憶體單元格陣列
- 122 . . . 讀取/寫入電路
- 130 . . . 備援的記憶體字元線
- 131 . . . 第一字元線
- 132 . . . 第二字元線
- 133 . . . 第一備援的記憶體單元格
- 134 . . . 第二備援的記憶體單元格
- 135 . . . 第一記憶體單元格
- 136 . . . 第二記憶體單元格

137 . . . 第三記憶體
單元格

138 . . . 第四記憶體
單元格

139 . . . 第一位元線

140 . . . 第二位元線



發明摘要

※申請案號：

103113846 (由 96148) 8/30)

※申請日：96年12月19日

※IPC分類：G11C 11/406 (2006.01)

G11C 8/10 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明之目的在於提供一具有記憶體之半導體裝置，其能夠藉由使用有助於利用備援的記憶體單元格之結構而有效率地改善良率。該半導體裝置包含具有記憶體單元格和備援的記憶體單元格之記憶體單元格陣列；連接至該記憶體單元格和該備援的記憶體單元格之解碼器；連接至該解碼器的資料保持電路；以及將電力供應至該資料保持電路的電池。該備援的記憶體單元格依據來自該資料保持電路的輸出而操作。

【英文】

An object is to provide a semiconductor device having a memory which can efficiently improve a yield by employing a structure which facilitates the use of a spare memory cell. The semiconductor device includes a memory cell array having a memory cell and a spare memory cell, a decoder connected to the memory cell and the spare memory cell, a data holding circuit connected to the decoder, and a battery which supplies electric power to the data holding circuit. The spare memory cell operates in accordance with an output from the data holding circuit.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

101：電池後備電路部	102：記憶體電路部
103：第一電源供應線路	104：第一配線
105：第二配線	106：位址訊號線
107：輸入/輸出訊號線	108：記憶體寫入致能訊號線
109：讀取致能訊號線	110：電池
111：第二電源供應線路	112：資料保持電路
113：第三配線	120：解碼器
121：記憶體單元格陣列	122：讀取/寫入電路
130：備援的記憶體字元線	131：第一字元線
132：第二字元線	133：第一備援的記憶體單元格
134：第二備援的記憶體單元格	135：第一記憶體單元格
136：第二記憶體單元格	137：第三記憶體單元格
138：第四記憶體單元格	139：第一位元線
140：第二位元線	

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明係有關於半導體裝置，本發明係特別有關於具有記憶體之半導體裝置。

【先前技術】

對於具有記憶體之半導體裝置來說，記憶體之性能在決定半導體裝置之性能方面係非常重要的。舉例來說，在具有 CPU 和記憶體之半導體裝置中，即將被 CPU 所處理之指令和該處理所需之資料需要被儲存於記憶體中。而且，由 CPU 所實施之處理藉由從記憶體中依序讀取資料來進行。換言之，為了實施正確的處理，即使是單一有缺陷的記憶體單元格(memory cell)也不應該有。因此，為了改善半導體裝置的良率(yield)，常常是事先提供備援的記憶體單元格之情況(舉例來說，參考資料1：Hisashi Hara, “VLSI Introductory Series 5, Basics of MOS Integrated Circuits”，第一版，Kindai Kagaku sha 有限公司，1992年5月，第61-66頁)。備援的記憶體單元格係指當有有缺陷的記憶體單元格時所取代使用的電路，其能夠改善半導體

裝置的良率。

但是，使用備援的記憶體單元格需要如同在參考資料1中所敘述之三個保險絲的燒斷，需要燒斷三個保險絲的其中一個保險絲，以使連接至有缺陷的位元之字元線不能再用，並且需要燒斷另外兩個保險絲，以使備援的字元線之電位“高”。結果，燒斷保險絲要花時間，並且當需要燒斷許多保險絲時，所需要的時間變成不便。此外，當提供多個備援的記憶體單元格時，燒斷保險絲要花費大量的時間。

【發明內容】

鑒於上述問題，本發明之目的在於提供具有記憶體之半導體裝置，其能夠藉由使用有助於利用備援的記憶體單元格之結構而有效率地改善良率。

依據本發明之半導體裝置儲存有缺陷的位元之位址，及有關是否驅動藉由電池來予以支援之資料保持電路中的備援的記憶體單元格之資訊。借助於在資料保持電路中所儲存的資訊，變成不需要切斷配線(wiring)，且變成有可能使用僅藉由電氣訊號之備援的記憶體單元格。在下文中，敘述其特定的結構。

本發明之半導體裝置的特徵在於包含具有記憶體單元格和備援的記憶體單元格之記憶體單元格陣列；諸如連接至該記憶體單元格和該備援的記憶體單元格之解碼器的驅動器電路；連接至該解碼器的資料保持電路；以及將電力

供應至該資料保持電路的電池。該備援的記憶體單元格依據來自該資料保持電路的輸出而操作。

本發明之半導體裝置的另一特徵在於包含具有記憶體單元格和備援的記憶體單元格之記憶體單元格陣列；經由字元線而連接至該記憶體單元格和經由備援的記憶體字元線而連接至該備援的記憶體單元格之解碼器；經由位元線而連接至該記憶體單元格和該備援的記憶體單元格之讀取/寫入電路；連接至該解碼器的資料保持電路；以及將電力(electric power)供應至該資料保持電路的電池。該備援的記憶體單元格依據來自該資料保持電路的輸出而操作。

本發明之半導體裝置中的電池可具有天線電路和電源(power)儲存電路，且可被組構成以經由該天線電路而自外部所無線式地接收到之電力來充電該電源儲存電路。

有了如上所述之此種結構，有可能提供具有有助於利用備援的記憶體單元格之記憶體的半導體裝置。

由此說明說所揭示之本發明的一樣態為一半導體裝置，其包含電池；資料保持電路；解碼器；字元線；備援的字元線；記憶體單元格；備援的記憶體單元格；位元線；及讀取/寫入電路，其特徵在於具有有助於利用備援的記憶體單元格於該記憶體單元格係有缺陷時之功能。

本發明能夠顯著地減少發生在使用備援的記憶體單元格時之問題，換言之，能夠預期本發明可有效率地改善良率。有了此種記憶體，能夠提供具有高良率的半導體裝置。

【圖式簡單說明】

圖 1 係顯示依據本發明之半導體裝置之結構例子的視圖。

圖 2A 及 2B 係各自顯示本發明之半導體裝置之電池之結構例子的視圖。

圖 3A 及 3B 係各自顯示本發明之半導體裝置之資料保持電路之結構例子的視圖。

圖 4A 及 4B 係各自顯示本發明之半導體裝置之記憶體單元格之結構例子的視圖。

圖 5 係顯示本發明之半導體裝置之電池之結構例子的視圖。

圖 6A 到 6D 顯示本發明之半導體裝置之製造方法的例子。

圖 7A 到 7C 顯示本發明之半導體裝置之製造方法的例子。

圖 8A 及 8B 顯示本發明之半導體裝置之製造方法的例子。

圖 9A 及 9B 顯示本發明之半導體裝置之製造方法的例子。

圖 10A 及 10B 顯示本發明之半導體裝置之製造方法的例子。

圖 11A 到 11C 顯示本發明之半導體裝置之製造方法的例子。

圖 12A 到 12C 顯示本發明之半導體裝置之製造方法的例子。

圖 13A 及 13B 顯示本發明之半導體裝置之製造方法的視圖。

【實施方式】

在下文中，將參照圖式而詳細地說明本發明之較佳實施例。注意，本發明能夠以許多不同的模式來予以實施，且習於此技藝者可以很容易了解到，本發明之模式和細節能夠以各種方法來予以修正，而不會遠離本發明的精神及範疇。因此，本發明不應該被解譯成係受限於諸實施例模式之說明。注意，在用以舉例說明諸實施例模式之圖式中，具有類似功能之相同的部分係以相同的參考數字來予以表示，且省略其重複的說明。

(實施例模式 1)

在此實施例模式中所即將被敘述的半導體裝置具有一結構，而在此結構中，藉由電池來予以支援之資料保持電路儲存有缺陷之位元的位址，及有關是否要驅動備援的記憶體單元和藉由電氣訊號來致能備援的記憶體單元格之使用的資訊。在下文中，參照圖 1 來敘述此實施例模式之半導體裝置，圖 1 為顯示依據本發明之半導體裝置之結構的方塊圖。

此實施例模式之半導體裝置具有一電池後備電路部

101及一記憶體電路部102。電池後備電路部101包含一電池110及一資料保持電路112，記憶體電路部102包含一解碼器120、一記憶體單元格陣列121、及一讀取/寫入電路122，記憶體單元格陣列121係設置有一第一備援的記憶體單元格133、一第二備援的記憶體單元格134、及第一到第四記憶體單元格135到138。電池後備電路部101和記憶體電路部102係連接至第一電源供應線路103，並且自該第一電源供應線路103而供應電力。注意，雖然採用提供4-位元SRAM做為記憶體電路部102之情況為例而做出下面的說明，但是記憶體電路部102並不限於此。

接著，敘述電池後備電路部101及記憶體電路部102之特定結構。

首先，敘述電池後備電路部101之特定結構。

電池110將電力經由第二電源供應線路111而供應至資料保持電路112。因此，即使停止將電力從第一電源供應線路103供應至資料保持電路112，在資料保持電路112中所儲存之資訊也能夠藉由來自電池110的電源供應來予以保持。

資料保持電路112係連接至第一配線(wiring)104、第二配線105、及第三配線113，第一配線104為將有關是否使用第一備援的記憶體單元格133及第二備援的記憶體單元格134之資訊傳送至資料保持電路112的配線，且可被稱為控制訊號線路，第二配線105為將用來控制寫入該資訊之時序的訊號傳送至資料保持電路112的配線，且可被稱

為保持電路寫入致能訊號線路，第三配線 113 為將所保持之資訊從資料保持電路 112 傳送至解碼器 120 的配線，且可被稱為資訊訊號線路。

替換地，電池後備電路部 101 能夠具有一結構，在此結構中，將電力經由第一電源供應線路 103 和第二電源供應線路 111 兩者而供應給資料保持電路 112。由資料保持電路 112 所保持之資訊係經由第三配線 113 而被傳送至解碼器 120，由資料保持電路 112 所保持之資訊係指有關是否使用備援的記憶體單元格(在此，第一備援的記憶體單元格 133 及第二備援的記憶體單元格 134)和該備援的記憶體單元格使用那一個位址之資訊。該資訊係從外部經由第一配線 104 而被傳送至資料保持電路 112，當第二配線 105 的電位為“高”時，資料被寫入至資料保持電路 112，並且當第二配線 105 的電位為“低”時，由資料保持電路 112 所保持之資料並不改變。注意，有關有缺陷之位元的資訊到資料保持電路 112 之寫入能夠被實施於任何時間。舉例來說，當在檢查半導體裝置之製程的時候或在半導體裝置的使用期間偵測到有缺陷之位元時，有關有缺陷之位元的資訊能夠被寫入到資料保持電路 112。

接著，敘述記憶體電路部 102 之特定結構。

記憶體單元格陣列 121 具有第一到第四記憶體單元格 135 到 138、第一備援的記憶體單元格 133 及第二備援的記憶體單元格 134，其各自儲存 4-位元資料。第一記憶體單元格 135 係連接至第一字元線 131 和第一位元線 139；第二

記憶體單元格 136 係連接至第一字元線 131 和第二位元線 140；第三記憶體單元格 137 係連接至第二字元線 132 和第一位元線 139；及第四記憶體單元格 138 係連接至第二字元線 132 和第二位元線 140，第一備援的記憶體單元格 133 係連接至備援的記憶體字元線 130 及第一位元線 139，且第二備援的記憶體單元格 134 係連接至備援的記憶體字元線 130 及第二位元線 140。如果第一字元線 131 的電位為“高”，則第一記憶體單元格 135 和第二記憶體單元格 136 被驅動；如果第二字元線 132 的電位為“高”，則第三記憶體單元格 137 和第四記憶體單元格 138 被驅動；且如果備援的記憶體字元線 130 為“高”，則第一備援的記憶體單元格和第二備援的記憶體單元格 134 被驅動。

圖 4A 及 4B 中所示之結構係提出做為第一到第四記憶體單元格 135 到 138、第一備援的記憶體單元格 133 及第二備援的記憶體單元格 134 之各自結構的例子。圖 4A 及 4B 各自為 SRAM 單元格之特定電路結構的例子，圖 4A 中所示之記憶體單元格 400 包含字元線 401、n-通道電晶體 402、鎖存器 403 及位元線 404，圖 4B 中所示之記憶體單元格 410 包含字元線 411、反相的 (inverted) 字元線 412、第一類比開關 413、第二類比開關 414、鎖存器 415、位元線 416 和反相的位元線 417。在記憶體單元格 400 中，n-通道電晶體 402 可以用類比開關來予以替換，在記憶體單元格 410 中，第一類比開關 413 和第二類比開關 414 可以用 n-通道電晶體或 p-通道電晶體來予以替換。注意，記憶體電路的例

子並不限於 SRAM，且可以替換地使用 DRAM 等等。

讀取/寫入電路 122 係連接至第一位元線 139、第二位元線 140、輸入/輸出訊號線 107、記憶體寫入致能訊號線 108 及讀取致能訊號線 109。讀取/寫入電路 122 經由第一位元線 139 和第二位元線 140 來讀取與寫入記憶體單元格，讀取與寫入之時序係藉由記憶體寫入致能訊號線 108 及讀取致能訊號線 109 來予以控制。一即將被讀取與寫入之記憶體單元格對應於以字元線 132 之電位“高”而被驅動的記憶體單元格，自外部寫入資料的輸入訊號和到讀取資料外部的輸出訊號係經由輸入/輸出訊號線 107 來予以傳送。

當記憶體寫入致能訊號線 108 之電位為“高”且讀取致能訊號線 109 之電位為“低”時，讀取/寫入電路 122 實施對記憶體單元格之寫入操作，即將被寫入之記憶體單元格的決定係取決於位址訊號線 106 之電位和第三配線 113 之電位。除此之外，當記憶體寫入致能訊號線 108 之電位為“低”且讀取致能訊號線 109 之電位為“高”時，讀取/寫入電路 122 實施對記憶體單元格之寫入操作，即將被讀取之記憶體單元格的決定係取決於位址訊號線 106 之電位和第三配線 113 之電位。當記憶體寫入致能訊號線 108 之電位和讀取致能訊號線 109 之電位兩者皆為“低”時，不對記憶體單元格實施任何操作。讀取/寫入電路 122 最好被組構成不因記憶體寫入致能訊號線 108 之電位和讀取致能訊號線 109 之電位兩者皆變成“高”而實施輸入，這是因為這樣的輸入會造成故障之故。

解碼器 120 係連接至第三配線 113、位址訊號線 106、備援的記憶體字元線 130、第一字元線 131 及第二字元線 132，解碼器 120 解碼位址資訊及與分別經由位址訊號線 106 和第三配線 113 來予以傳送之備援的記憶體單元格有關的資訊。透過解碼，第一字元線 131、第二字元線 132 及備援的記憶體字元線 130 之其中一者的電位變成“高”，且使其他兩線的電位維持“低”。

接著，敘述由資料保持電路 112 所保持之資訊的特定格式。在此，資料保持電路 112 保持 2-位元資料(第一資料和第二資料)。換言之，第三配線 113 用做為 2-位元訊號線，第一資料係指有關是否使用備援的記憶體單元格(在此，第一備援的記憶體單元格 133 及第二備援的記憶體單元格 134)之資料。當第一資料為“1”時，備援的記憶體單元格被使用，當第一資料為“0”時，備援的記憶體單元格不被使用。第一資料係經由第三配線 113 而被傳送做為第一位元，如果第一資料為“1”，則第一位元為“1”，如果第一資料為“0”，則第一位元為“0”。第二資料係指有關使用備援的記憶體單元格之那一個位址的資料，如果第二資料為“1”，則備援的記憶體單元格被使用於當位址訊號線 106 之電位為“高”時。如果第二資料為“0”，則備援的記憶體單元格被使用於當位址訊號線 106 之電位為“低”時。第二資料係經由第三配線 113 而被傳送做為第二位元，如果第二資料為“1”，則第二位元為“1”，如果第二資料為“0”，則第二位元為“0”。

在圖 1 中，位址訊號線 106 傳送 1 位元，使得資料保持電路 112 僅需保持 2-位元資料。如果位址訊號線 106 傳送 n 位元 (n 為自然數)，則資料保持電路 112 需要保持 $(n+1)$ -位元資料。

敘述記憶體電路部 102 的正常操作，換言之，當不使用備援的記憶體單元格時之操作。首先，在藉由檢查而確認沒有任何有缺陷之記憶體單元格後，備援的記憶體單元格不被使用之資訊被寫入至資料保持電路 112。換言之，第一資料為“0”，第二資料可為任何一者，這些資料係經由第三配線 113 而被傳送至解碼器 120。換言之，經由第三配線 113 而被傳送之第一位元為“0”，且第二位元為“0”或“1”。解碼器 120 的邏輯被設計成如果經由第三配線 113 而被傳送之第一位元為“0”，則不使用備援的記憶體單元格。

在此，解碼器 120 之相關於位址訊號線 106 的邏輯被設定，使得當位址訊號線 106 之電位為“低”時，第一字元線 131 的電位變成“高”，且當位址訊號線 106 之電位為“高”時，第二字元線 132 的電位變成“高”。

當第一字元線 131 的電位為“高”時(當位址訊號線 106 之電位為“低”時)，第一記憶體單元格 135 和第二記憶體單元格 136 被驅動。當第二字元線 132 的電位為“高”時(當位址訊號線 106 之電位為“高”時)，第三記憶體單元格 137 和第四記憶體單元格 138 被驅動。

如果第一字元線 131 的電位為“高”且記憶體寫入致能

訊號線 108 之電位為“高”，則對第一記憶體單元格 135 和第二記憶體單元格 136 實施寫入操作。如果第一字元線 131 的電位為“高”且讀取致能訊號線 109 之電位為“高”，則對第一記憶體單元格 135 和第二記憶體單元格 136 實施讀取操作。如果第二字元線 132 的電位為“高”且記憶體寫入致能訊號線 108 之電位為“高”，則對第三記憶體單元格 137 和第四記憶體單元格 138 實施寫入操作。如果第二字元線 132 的電位為“高”且讀取致能訊號線 109 之電位為“高”，則對第三記憶體單元格 137 和第四記憶體單元格 138 實施讀取操作。

接著，敘述當產生有缺陷之記憶體單元格時的操作。在此，假設第一記憶體單元格 135 係有缺陷的。

首先，在藉由檢查而確認第一記憶體單元格 135 係有缺陷之後，備援的記憶體單元格不被使用之資訊被寫入至資料保持電路 112。換言之，第一資料為“1”，且第二資料為“0”，這些資料係經由第三配線 113 而被傳送至解碼器 120。換言之，經由第三配線 113 而被傳送之第一位元為“1”，且第二位元為“0”。解碼器 120 的邏輯被設計成如果經由第三配線 113 而被傳送之第一位元為“1”，則使用備援的記憶體單元格。除此之外，解碼器 120 的邏輯被設計而使得，如果經由第三配線 113 而被傳送之第二位元為“0”，則備援的記憶體單元格被使用於當位址訊號線 106 之電位為“低”時，且如果經由第三配線 113 而被傳送之第二位元為“1”，則備援的記憶體單元格被使用於當位址訊號線 106

之電位為“高”時。

在此，解碼器 120 之相關於位址訊號線 106 的邏輯被設定，使得當位址訊號線 106 之電位為“低”時，備援的記憶體字元線 130 之電位變成“高”，且當位址訊號線 106 之電位為“高”時，第二字元線 132 的電位變成“高”。

當備援的記憶體字元線 130 之電位為“高”時，第一備援的記憶體單元格 133 及第二備援的記憶體單元格 134 被驅動。當第二字元線 132 的電位為“高”時，第三記憶體單元格 137 和第四記憶體單元格 138 被驅動。

如果第一備援的記憶體字元線 130 之電位為“高”且記憶體寫入致能訊號線 108 之電位為“高”，則對第一備援的記憶體單元格 133 及第二備援的記憶體單元格 134 實施寫入操作。如果第一備援的記憶體字元線 130 之電位為“高”且讀取致能訊號線 109 之電位為“高”，則對第一備援的記憶體單元格 133 及第二備援的記憶體單元格 134 實施讀取操作。如果第二字元線 132 的電位為“高”且記憶體寫入致能訊號線 108 之電位為“高”，則對第三記憶體單元格 137 和第四記憶體單元格 138 實施寫入操作。如果第二字元線 132 的電位為“高”且讀取致能訊號線 109 之電位為“高”，則對第三記憶體單元格 137 和第四記憶體單元格 138 實施讀取操作。到目前為止，敘述了當產生有缺陷之記憶體單元格時之記憶體電路部 102 的操作。

在圖 1 的電路結構中，當使用第一備援的記憶體單元格 133 時，使用第二備援的記憶體單元格 134 而不是第二記

憶體單元格 136，即使第二記憶體單元格 136並不是有缺陷的。換言之，如果第一記憶體單元格 135和 second 記憶體單元格 136的其中一者係有缺陷的，則“0”當做第二資料而被寫入至資料保持電路 112。如果第三記憶體單元格 137和第四記憶體單元格 138的其中一者係有缺陷的，則“1”當做第二資料而被寫入至資料保持電路 112。

有了如此之結構，當第一記憶體單元格 135係有缺陷時，能夠使用第一備援的記憶體單元格 133而不是第一記憶體單元格 135。相同的操作應用於第二記憶體單元格 136、第三記憶體單元格 137或第四記憶體單元格 138係有缺陷的情況之各者，因此省略其敘述。

有了如上所述之這樣的結構，有可能提供具有一記憶體之半導體裝置，而該記憶體具有有助於備援的記憶體單元格之使用的功能。換言之，有可能有效地改善良率。有了如此之記憶體，有可能提供具有高良率之半導體裝置。

(實施例模式 2)

此實施例模式參照圖 2A 及 2B 來敘述在實施例模式 1 中所述之半導體裝置之電池後備電路部 101 中所設置之電池的結構，圖 2A 及 2B 各自為電池 110 之特定電路結構的例子，電池 110 為將電力供應至資料保持電路 112 的電路。

圖 2A 所示之電池 200 包含整流元件 201 和電源儲存電路 202。在此，雖然敘述整流元件 201 為二極體連接之 n-通道(Nch)電晶體的情況，但是整流元件 201 可以是任何具有

整流功能之元件，諸如，PN 二極體、PIN 二極體、肖特基(Schottky)二極體、金屬-絕緣體-金屬(MIM)二極體、或金屬-絕緣體-半導體(MIS)二極體。

電源儲存電路 202 可提供有能夠藉由充電而恢復電力之機構(電源儲存機構)。注意，電源儲存機構的例子為二次電池、電容器等等。明確地說，所使用之電源儲存機構最好為以薄片狀形式所形成之電池，雖然所使用之電源儲存機構的類型可視所想要的使用情形而不同。舉例來說，藉由使用鋰電池(最好是使用膠態電解質(gel electrolyte)之鋰聚合物電池)、鋰離子電池、等等，可以縮減尺寸。自不待言，可以使用任何電池，祇要它是可充電的。舉例來說，能夠使用下面之可充電及可放電的電池：鎳金屬氫化物電池、鎳鎘電池、有機自由基(radical)電池、鉛酸電池、空氣二次電池、鎳鋅電池、等等。替換地，可使用具有高電容之電容器等等。

注意，做為能夠被用作電源儲存機構之具有高電容的電容器，較佳使用電雙層電容器，其係由具有大的比表面積之電極材料(諸如，活性碳、富勒烯(fullerene)、或奈米碳管)所構成。電容器具有比電池更簡單的結構。此外，電容器能夠很容易被形成為薄的，且係藉由堆疊層來予以形成。電雙層電容器具有儲存電力之功能，且遠不會劣化，即使在它被充電及放電許多次之後。此外，電雙層電容器具有優異的特性，因為它能夠被快速地充電。

在圖 2A 中，電池 200 能夠具有一結構，而在此結構

中，整流元件201的輸入部(在此，為電晶體的閘極以及源極和汲極的其中之一)係連接至第一電源供應線路103，且電源儲存電路202的其中一個電極係連接至第二電源供應線路111。

在第一電源供應線路103之電位為“高”的情況中，為整流元件201之 Nch 電晶體被打開，且以電荷來使電源儲存電路202充電。第二電源供應線路111之電位繼續為“高”，祇要第一電源供應線路103之電位繼續為“高”。在第一電源供應線路103之電位變成“低”的情況中，Nch 電晶體被關閉。但是，因為電荷在電源儲存電路202被累積，所以第二電源供應線路111之電位繼續為“高”。藉由使用具有高電容的電源儲存電路202，第二電源供應線路111之電位能夠繼續為“高”持續一段足夠長的時間。有了如上所述之這樣的結構，能夠獲得到做為電池的功能。

除此之外，電池的結構並不限於圖2A。舉例來說，電池能夠具有圖2B所示之結構。

圖2B所示之電池210具有使用無線訊號來產生電力的電路，且被稱為 RF 電池。電池210(在下文中被稱為“RF 電池210”)包含天線電路211、整流電路212、電源儲存電路213及第二電源供應線路111，電源儲存電路213作用來使第二電源供應線路111之電位保持“高”，並且使電壓平滑。在下文中，敘述使 RF 電池210充電且供應在 RF 電池210中所儲存之電力的方法。

RF 電池210能夠從電磁波中產生電源供應電壓，天線

電路 211 能夠依據天線的形狀，藉由偵測在頻率帶中之訊號、產生 AC 訊號、並且藉由整流電路來將 AC 訊號轉換成 DC 電壓而產生電源供應電壓。

對於由天線電路 211 所接收到之電磁波而言，可以使用自的電源饋送器 (power feeder) 所發射出之電磁波，該電源饋送器發射具有指定波長之電磁波，並且也可以使用在外部所隨機產生之電磁波。電源饋送器可以是任何發射具有指定波長之電磁波的裝置，且最好發射具有使其能夠很容易被天線電路中所設置之天線接收到之波長的電磁波。在外部所隨機產生之電磁波的例子係如下：來自蜂巢式電話中繼站之電磁波 (800 到 900 MHz 頻帶、1.5 GHz、1.9 到 2.1 GHz 頻帶等等)、自蜂巢式電話所發射出之電磁波、來自無線電控制之時鐘的電磁波 (40 kHz 等等)、來自家用 AC 電源之雜訊 (60 Hz 等等)，等等。

在使用電源饋送器的情況中，施加於天線電路 211 與電源饋送器之間的電磁波之發送方法可為電磁耦合方法、電磁感應方法、電場方法、等等，該發送方法可考慮所想要的的使用而藉由本發明之實施者而被適當地選擇，可提供具有適合於此發送方法之長度和形狀的天線。

舉例來說，在使用電磁耦合方法或電磁感應方法 (例如，13.56 MHz 頻帶) 做為發送方法的情況中，因為使用藉由電場密度之改變所造成的電磁感應，所以用作為天線之導電膜係形成為線圈。此外，在使用電場方法 (例如，UHF 頻帶 (860 到 960 MHz 頻帶)、2.45 GHz 頻帶等等) 做為

發送方法的情況中，可以考慮使用於訊號傳輸之電磁波的波長而適當地決定使用作為天線之導電膜的長度和形狀。舉例來說，使用作為天線之導電膜係形成有線形形狀(例如，雙極天線)、扁平形狀(例如，補綴天線)、等等。此外，使用作為天線之導電膜的形狀並不限於線形形狀，考慮電磁波的形狀，該形狀可以是彎曲的形狀、曲折的形狀、或是這兩種形狀的組合。

注意，針對天線電路211，可以使用結合具有多種形狀之天線的天線，其能夠接收在不同頻率帶中的電磁波。

在使用電源饋送器的情況中，對從電源饋送器發送至天線電路211之電磁波的頻率沒有特別限制，且舉例來說，電磁波可以是下列諸波的任何一個：300 GHz 到 30 THz 次毫米波、30 GHz 到 300 GHz 毫米波、3 GHz 到 30 GHz 微波、300 MHz 到 3 GHz 超高頻波、30 MHz 到 300 MHz 非常高頻波、3 MHz 到 30 MHz 高頻波、300 kHz 到 3 MHz 中頻波、30 kHz 到 300 kHz 低頻波、及 3 kHz 到 30 kHz 非常低頻波。

雖然 RF 電池210中之整流電路212為半波整流電路，藉由使用全波整流電路，能夠實施更有效率的充電。藉由使用具有足夠高的電容之電源儲存電路213，電源儲存電路213能夠使第二電源供應線路111之電位保持在“高”持續一段長的時間，即使天線電路211仍然保持在其不能夠接收電磁波的狀態中。

在 RF 電池之電路結構的另一特定例中，可以使用全

波整流電路。圖5為其特定電路視圖，RF電池500包含天線電路501、整流電路502、電源儲存電路503及第二電源供應線路111，各電路之功能係類似於RF電池210的功能，因此省略其說明。注意，電源儲存電路213和電源儲存電路503能夠具有類似於電源儲存電路202之結構的結構。

如上所述，在此實施例中所敘述之圖2A或2B之電池的結構能夠被應用於圖1所示之電池後備電路部101的電池。特別是，藉由使用圖2B的RF電池，從遠距離的位置利用電磁波來充電電源儲存電路213變成可能，使其變得可能操作位於使接觸困難之場所中的電路。

注意，在此實施例模式中所敘述之各電池的結構能夠被應用於任何在此說明書的其他實施例模式中所敘述之半導體裝置。

(實施例模式3)

此實施例模式參照圖3A及3B來敘述在實施例模式1中所述之半導體裝置之電池後備電路部中所設置之資料保持電路的結構，圖3A及3B各自為資料保持電路112之特定電路結構的例子，資料保持電路112為藉由從電池110供應電力而繼續保持資料的電路，即使當停止經由電源供應線路103來供應電力時。圖3A及3B各自顯示能夠保持1-位元資料之電路結構。在圖1之結構中，即將被保持的資料為2位元，使得兩個資料保持電路可以被使用。在n位元

(n 為自然數)的情況中，可以組合地使用 n 個資料保持電路。

圖 3A 所示之資料保持電路 300 包含類比開關 301 及鎖存器 302，類比開關 301 係連接至第一配線 104、類比開關切換訊號線 303、反相類比開關切換訊號線 304、及第三配線 113，類比開關切換訊號線 303 之電位係等於第二配線 105 之電位，且反相類比開關切換訊號線 304 之電位為其倒反。類比開關 301 被打開於當類比開關切換訊號線 303 之電位為“高”時，且被關閉於當類比開關切換訊號線 303 之電位為“低”時。換言之，類比開關 301 被打開於當第二配線 105 之電位為“高”時，且被關閉於當第二配線 105 之電位為“低”時。用於類比開關 301 之電力係經由電源供應線路 103 來予以供應，而用於鎖存器 302 之電力係經由第二電源供應線路 111 來予以供應。

當類比開關切換訊號線 303 之電位為“高”時，如果第一配線 104 之電位為“高”，則“高”被寫入至鎖存器 302。同樣地，如果第一配線 104 之電位為“低”，則“低”被寫入至鎖存器 302。因為用於鎖存器 302 之電力係經由第二電源供應線路 111 來予以供應，所以資料被保持，即使停止經由電源供應線路 103 來供應電力，祇要第二電源供應線路 111 之電位繼續為“高”。藉由使用此資料保持功能，有關是否使用備援的記憶體單元格之資訊被保持。舉例來說，在定義鎖存器 302 保持“高”於當將要使用備援的記憶體單元格時，且保持“低”於當將不使用備援的記憶體單元格時之

後，解碼器 120 可以被設計來遵守此邏輯。

敘述圖 3B 所示之資料保持電路 310 的結構。圖 3B 所示之資料保持電路 310 包含第一時控(clocked)反相器 311、第一鎖存器 312、第二時控反相器 313、及第二鎖存器 314，第一鎖存器 312 係設有第三時控反相器 315。用於第一時控反相器 311、第二時控反相器 313 和第一鎖存器 312 之電力係經由第一電源供應線路 103 來予以供應，而用於第二鎖存器 314 之電力係經由第二電源供應線路 111 來予以供應。第一時控反相器 311、第二時控反相器 313 和第三時控反相器 315 係各自連接至第二配線 105 及反相之保持電路寫入致能訊號線，該反相之保持電路寫入致能訊號線的電位係經由藉由反相器以使第二配線 105 之電位倒反來予以產生的，第二時控反相器 313 和第三時控反相器 315 被打開於當第二配線 105 之電位為“高”時，且被關閉於當第二配線 105 之電位為“低”時，第一時控反相器 311 被打開於當第二配線 105 之電位為“低”時，且被關閉於當第二配線 105 之電位為“高”時。

敘述第一鎖存器 312 之操作。如果第一配線 104 之電位在第二配線 105 之電位從“低”改變至“高”的時刻為“高”，則“低”被寫入至第一鎖存器 312。同樣地，如果第一配線 104 之電位為“低”，則“高”被寫入至第一鎖存器 312。當第二配線 105 之電位為“高”時，第一鎖存器 312 用做為鎖存器，而當第二配線 105 之電位為“低”時，第三時控反相器 315 被關閉且第一鎖存器 312 用做為反相器電路。

敘述第二鎖存器314之操作。如果在第二配線105之電位從“高”改變至“低”的時刻，“低”被寫入至第一鎖存器312，則“高”被寫入至第二鎖存器314。同樣地，如果“高”被寫入至第一鎖存器312，則“低”被寫入至第二鎖存器314。所寫入之資料被保持，直到停止電力經由第二電源供應線路111來予以供應為止。

因為用於第二鎖存器314之電力係經由第二電源供應線路111來予以供應，所以資料被保持，即使停止電力經由電源供應線路103來予以供應，祇要第二電源供應線路111之電位仍然維持“高”。藉由使用此資料保持功能，有關是否使用備援的記憶體單元格之資訊被保持。舉例來說，在定義第二鎖存器314保持“高”於當將要使用備援的記憶體單元格時，且保持“低”於當將不使用備援的記憶體單元格時之後，解碼器120可以被設計來遵守此邏輯。

藉由使用多個資料保持電路300或資料保持電路310，能夠形成資料保持電路112。在實施例模式1中所述之圖1的結構中，資料保持電路係總共使用於兩個位元，1個位元係用於是否使用備援的記憶體單元格，且1個位元係用於是否備援的記憶體單元格被使用於當位址訊號為“高”或當位址訊號為“低”時。

如上所述，在此實施例模式中所述之圖3A或3B的結構能夠被應用於圖1所示之電池後備電路部101的資料保持電路112。除此之外，藉由使用圖3A或3B所示之結構做為資料保持電路112，操作位於使接觸困難之場所中的電

路變成可能。

注意，在此實施例模式中所敘述之各資料保持電路的結構能夠被應用於任何在此說明書的其他實施例模式中所敘述之半導體裝置。

(實施例模式 4)

此實施例模式參照圖式來敘述在前述實施例模式中所敘述之半導體裝置之製造方法的例子，此實施例模式敘述在半導體裝置之電路(諸如，資料保持電路和記憶體電路)中所包含的元件係使用薄膜電晶體而被形成於一個基板之上的情況。除此之外，其敘述薄膜二次電池係使用做為設置於電池中之電源儲存電路的例子。自不待言，可以設置電雙層電容器，等等來代替二次電池。注意，此實施例模式敘述諸如曾經形成於支撐基板之上的薄膜電晶體之元件係轉移至可撓基板的情況。

首先，剝離層 1303 係形成於基板 1301 的其中一表面之上，具有絕緣膜 1302 係形成於其間，而後用作為基底膜之絕緣膜 1304 及半導體膜(例如，含有非晶矽之膜)1305 係堆疊於其上(見圖 6A)。也注意到，絕緣膜 1302、剝離層 1303、絕緣膜 1304 及半導體膜 1305 能夠被連續形成。

基板 1301 係選自玻璃基板、石英基板、金屬基板(諸如，不鏽鋼基板)、陶瓷基板、半導體基板(諸如，Si 基板)、矽上有絕緣體(SOI)基板等等。替換地，可以使用由聚對苯二甲酸乙二酯(PET)、聚萘二甲酸乙二酯(PEN)、聚

醚風(PES)、丙烯酸(壓克力)等等所做的塑膠基板。在此程序中，雖然剝離層 1303 係設置於基板 1301 的整個表面之上，具有絕緣膜 1302 係形成於其間，但是剝離層 1303 也能夠藉由微影法來予以選擇性地形成於在其被設置於基板 1301 的整個表面之上後。

絕緣膜 1302 和 1304 係使用諸如氧化矽 (SiO_x)、氮化矽 (SiN_x)、氧氮化矽 (SiO_xN_y) (其中， $x>y>0$) 或氮氧化矽 (SiN_xO_y) (其中， $x>y>0$) 之絕緣材料，藉由 CVD 法、濺鍍法、等等來予以形成。舉例來說，當絕緣膜 1302 和 1304 係形成而具有雙層結構時，可形成氮氧化矽膜作為第一絕緣膜，並可形成氧氮化矽膜作為第二絕緣膜。除此之外，可形成氮化矽膜作為第一絕緣膜，並可形成氧化矽膜作為第二絕緣膜。絕緣膜 1302 用作為防止基板 1301 中所含有的雜質元素被混合入剝離層 1303 或形成於其上之元素內的阻隔層，絕緣膜 1304 用作為防止基板 1301 中所含有的雜質元素或剝離層 1303 被混合入形成於絕緣膜 1304 之上的元素內之阻隔層。照這樣，設置用作為阻隔層之絕緣膜 1302 和 1304 能夠防止對形成於剝離層 1303 或絕緣膜 1304 之上的元素之不利的影響，其否則將會由基板 1301 中所含有之鹼金屬族金屬 (諸如，Na) 或鹼土族金屬，或者由剝離層 1303 中所含有之雜質元素所造成。注意，舉例來說，當石英被使用做為基板 1301 時，可以省略絕緣膜 1302。

剝離層 1303 可以使用金屬膜、金屬膜和金屬氧化物膜的堆疊結構、等等來予以形成。做為金屬膜，使用選自鎢

(W)、鉬 (Mo)、鈦 (Ti)、鉭 (Ta)、鈮 (Nb)、鎳 (Ni)、鈷 (Co)、鋯 (Zr)、鋅 (Zn)、鈦 (Ru)、銠 (Rh)、鈀 (Pd)、銱 (Os)、和銱 (Ir)之元素或者含有這樣的元素做為其主成分的合金材料或化合物材料來形成單一層或堆疊層。除此之外，這樣的材料能夠藉由濺鍍法、各種的 CVD 法(諸如，電漿 CVD 法)、等等來予以形成。金屬膜和金屬氧化物膜的堆疊結構能夠藉由形成上述金屬膜、在氧氣氛圍或 N_2O 氛圍下對上述金屬膜施加電漿處理或在氧氣氛圍或 N_2O 氛圍下對上述金屬膜施加熱處理、以及因而形成該金屬膜的氧化物或氧氮化物於該金屬膜的表面上之諸步驟來予以獲得到。舉例來說，當鎢膜係藉由濺鍍法、CVD 法等等而被提供做為金屬膜時，氧化鎢的金屬氧化物膜能夠藉由對鎢膜施加電漿處理而被形成在鎢膜的表面上。除此之外，在形成金屬膜(例如，鎢)之後，由氧化矽等等所形成之絕緣膜可以藉由濺鍍法而被形成於金屬膜之上，並且金屬氧化物(例如，鎢上之氧化鎢)可以被形成於金屬膜上。

非晶半導體膜 1305 係藉由濺鍍法、LPCVD 法、電漿 CVD 法等等而被形成有 25 到 200 nm(最好為 30 到 150 nm)的厚度。

接著，藉由雷射照射而使非晶系半導體膜 1305 結晶化。替換地，半導體膜 1305 的結晶化可以藉由結合雷射結晶化與使用 RTA 或退火爐之熱結晶化法，或者結合雷射結晶化與使用促進結晶化之金屬元素的熱結晶化法之方法來予以實施。在那之後，經結晶化的半導體膜被蝕刻成所

想要的形狀，藉此，結晶系半導體膜1305a 到1305f 被形成。然後，閘極絕緣膜1306被形狀，以便覆蓋半導體膜1305a 到1305f(見圖6B)。

藉由 CVD 法、濺鍍法等等，使用諸如氧化矽、氮化矽、氧氮化矽或氮氧化矽之絕緣材料來形成閘極絕緣膜1306。舉例來說，當閘極絕緣膜1306係形成而具有兩層結構時，較佳形成氧氮化矽膜做為第一絕緣膜，及形成氮化矽膜做為第二絕緣膜。替換地，亦較佳形成氧化矽膜做為第一絕緣膜，及形成氮化矽膜做為第二絕緣膜。

下面簡略地解釋結晶系半導體膜1305a 到1305f 之形成程序的例子。首先，藉由電漿 CVD 法而形成具有50到60 nm 之厚度的非晶系半導體膜。然後，含鎳(為促進結晶化之金屬元素)溶液係保留在非晶系半導體膜上，接著實施去氫處理(於500°C 持續1小時)和熱結晶化處理(於550°C 持續1小時)。因此，結晶系半導體膜被形成。然後，結晶系半導體膜受到雷射照射，而後受到微影程序，以形成結晶系半導體膜1305a 到1305f。注意，非晶系半導體膜之結晶化可以僅藉由雷射照射來予以實施，而不藉由使用促進結晶化之金屬元素的熱結晶化處理。

做為結晶化所使用之雷射振盪器，能夠使用連續波雷射振盪器(CW 雷射振盪器)或脈衝雷射振盪器。做為在此所能夠使用的雷射，有氣體雷射(諸如，Ar 雷射，Kr 雷射或準分子雷射)；其介質為單結晶系 YAG，YVO₄，鎂橄欖石(Mg₂SiO₄)，YAlO₃，或 GdVO₄，或者摻雜有 Nd，Yb，

Cr, Ti, Er, Tm 及 Ta 之一或多個做為摻雜劑之多結晶系 (陶瓷)YAG, YVO_4 , YAlO_3 , 或 GdVO_4 的雷射; 玻璃雷射; 紅寶石雷射; 紫翠玉雷射; Ti: 藍寶石雷射; 銅蒸汽雷射; 以及金蒸汽雷射。當以如此之雷射光束的基本波或如此之雷射光束的二次到四次諧波來實施照射時, 能夠獲得具有大的晶粒尺寸之結晶。舉例來說, 能夠使用 Nd: YVO_4 雷射 (其基本波為 1064 nm) 的二次諧波 (532 nm) 或三次諧波 (355 nm)。在此情況中, 需要約 0.01 到 100 MW/cm^2 (最好是 0.1 到 10 MW/cm^2) 的雷射功率密度, 並且以約 10 到 2000 cm/sec 之掃描速率來實施照射。注意, 能夠使用其介質為單結晶系 YAG, YVO_4 , 鎂橄欖石 (Mg_2SiO_4), YAlO_3 , 或 GdVO_4 , 或者摻雜有 Nd, Yb, Cr, Ti, Er, Tm 及 Ta 之一或多個做為摻雜劑之多結晶系 (陶瓷)YAG, YVO_4 , YAlO_3 , 或 GdVO_4 的雷射; Ar 離子雷射; 或 Ti: 藍寶石雷射做為 CW 雷射, 而其也能夠被使用做為藉由 Q-開關操作、模式鎖定等等之具有 10 MHz 或 10 MHz 以上之重複速率的脈衝雷射。當使用具有 10 MHz 或 10 MHz 以上之重複速率的雷射光束時, 在半導體膜已經藉由雷射光束來予以熔化並且被固化的期間, 以下一個脈波來照射該半導體膜。因此, 不像使用具有低的重複速率之脈衝雷射的情況, 半導體膜中的固體-液體介面能夠被連續地移動。因而, 能夠獲得到已經連續地生長於掃描方向上之結晶晶粒。

可以藉由經由上述之高密度電漿處理來使半導體膜

1305a 到 1305f 之表面氧化或氮化而形成閘極絕緣膜 1306。舉例來說，實施以稀有氣體(諸如，He，Ar，Kr 或 Xe)和氧、氮氧化物(NO_2)、氨、氮、或氫之混合氣體的電漿處理。當藉由導入微波來激發電漿時，可以用低電子溫度和高密度來產生電漿。有了能夠藉由高密度電漿所產生之氧自由基(其包含 OH 自由基)或氮自由基(其包含 NH 自由基)，半導體膜的表面能夠被氧化或氮化。

藉由如此之高密度電漿處理，具有 1 到 20 nm(典型上為 5 到 10 nm)之厚度的絕緣膜被形成於半導體膜上。在此情況中，因為反應為固相反應，所以絕緣膜與半導體膜之間的介面狀態密度能夠相當低。因為如此之高密度電漿處理直接氧化(或氮化)半導體膜(結晶矽或多晶矽)，所以令人滿意地，絕緣膜能夠形成有極小的均勻度。除此之外，因為結晶矽的晶粒邊界並未被強烈地氧化，所以獲得到優異的狀態。也就是說，藉由經由在此實施例模式中所敘述之高密度電漿處理來使半導體膜的表面固相氧化，能夠形成具有均勻厚度和低介面狀態密度的絕緣膜，但在晶粒邊界處並沒有過度的氧化反應。

做為閘極絕緣膜，可以利用僅藉由高密度電漿處理所形成之絕緣膜，或者可以使用經堆疊的層，其係藉由使用電漿或熱反應之 CVD 法，經由沉積絕緣膜(諸如，氧化矽、氧氮化矽、或氮化矽)於該絕緣膜上而被獲得到。在任一情況中，在其閘極絕緣膜的部分或全部包含藉由高密度電漿處理所形成之這樣的絕緣膜之電晶體能夠具有減少

的特性改變。

除此之外，半導體膜 1305a 到 1305f(其係藉由以連續波雷射光束或用 10 MHz 或 10 MHz 以上之重複速率所振盪出之雷射光束來照射半導體膜並且以該雷射光束掃描該半導體膜於其中一方向上而使該半導體膜結晶化來予以獲得)具有它們的結晶生長於光束掃描方向上之特性，電晶體係各自被排列而使得其通道長度方向(當形成通道形成區域時，載子移動的方向)係與掃描方向對齊，並且上述閘極絕緣膜係與該半導體膜相結合，藉此，能夠獲得到具有高的電子場效應移動率及減少特性上變動的薄膜電晶體(TFTs)。

接著，第一導電膜和第二導電膜係堆疊於閘極絕緣膜 1306 之上。在此，第一導電膜係藉由 CVD 法、濺鍍法等等而被形成至 20 到 100 nm 之厚度，第二導電膜被形成至 100 到 400 nm 之厚度，第一導電膜和第二導電膜係由一選自鉭(Ta)，鎢(W)，鈦(Ti)，鉬(Mo)，鋁(Al)，銅(Cu)，鉻(Cr)，鈮(Nb)等等或含有如此之元素做為其主成分的合金材料或化合物材料所形成的。替換地，也能夠使用以摻雜有諸如磷之雜質元素的多晶矽為代表之半導體材料。做為第一導電膜和第二導電膜之組合例子，能夠給出氮化鉭和鎢膜；氮化鎢和鎢膜；氮化鉬和鉬膜；等等，鎢和氮化鉬具有高的耐熱性。因此，在形成第一導電膜和第二導電膜之後，能夠對其實施為了熱活化之熱處理。除此之外，在不使用兩層結構而使用三層結構的情況中，較佳使用鉬

膜、鋁膜、和鉬膜的堆疊結構。

接著，藉由微影法而形成抗蝕劑遮罩，並且實施蝕刻處理以形成閘極電極和閘極線路。因此，閘極電極 1307 係形成於半導體膜 1305a 到 1305f 之上。在此，第一導電膜 1307a 和第二導電膜 1307b 的堆疊結構係顯示做為閘極電極 1307 的例子。

接著，以低濃度，使用閘極電極 1307 做為遮罩，藉由離子摻雜法或離子佈植法而使半導體膜 1305a 到 1305f 摻雜有 n-型雜質元素。然後，藉由微影法而形成抗蝕劑遮罩，並且半導體膜 1305c 及 1305e 係以高濃度而摻雜以 p-型雜質元素。做為 n-型雜質元素，能夠使用磷(P)、砷(As)等等，做為 p-型雜質元素，能夠使用硼(B)、鋁(Al)、鎵(Ga)等等。在此，磷(P)被使用做為 n-型雜質元素，並且被選擇性地摻雜入半導體膜 1305a 到 1305f 中，以便以 1×10^{15} 到 $1 \times 10^{19}/\text{cm}^3$ 之濃度來予以含有。因此，n-型雜質區域 1308 被形成。除此之外，硼(B)被使用做為 p-型雜質元素，並且被選擇性地摻雜入半導體膜 1305c 及 1305e 中，以便以 1×10^{19} 到 $1 \times 10^{20}/\text{cm}^3$ 之濃度來予以含有。因此，p-型雜質區域 1309 被形成(見圖 6C)。

而後，形成絕緣膜以便覆蓋閘極絕緣膜 1306 及閘極電極 1307。該絕緣膜係使用含有無機材料(諸如，矽、氧化矽、或氮化矽)之膜或含有有機材料(諸如，有機樹脂)之膜的單一層或堆疊層，藉由電漿 CVD 法、濺鍍法等等來予以形成。接著，主要在垂直方向上，藉由各向異性蝕刻來

選擇性地蝕刻該絕緣膜，使得與閘極電極 1307 之側表面相接觸的絕緣膜 1310 (也被稱為側壁) 被形成。絕緣膜 1310 被形成做為用以形成 LDD (輕度摻雜之汲極) 區域之摻雜的遮罩。

接著，半導體膜 1305a，1305b，1305d，及 1305f 係以高濃度而摻雜以 n-型雜質元素，使用藉由微影法所形成之抗蝕劑遮罩、閘極電極 1307 及絕緣膜 1310 做為遮罩。因此，n-型雜質區域 1311 被形成。在此，磷 (P) 被使用做為 n-型雜質元素，並且被選擇性地摻雜入半導體膜 1305a，1305b，1305d，及 1305f 中，以便以 1×10^{19} 到 $1 \times 10^{20}/\text{cm}^3$ 之濃度來予以含有。因此，具有比雜質區域 1308 之濃度更高之濃度的 n-型雜質區域 1311 被形成。

經由上述步驟，n-通道薄膜電晶體 1300a，1300b，1300d，及 1300f 和 p-通道薄膜電晶體 1300c 及 1300e 被形成 (見圖 6D)。

在 n-通道薄膜電晶體 1300a 中，通道形成區域係形成於半導體膜 1305a 之與閘極電極 1307 重疊的區域中；用作為源極和汲極區域之雜質區域 1311 係形成於半導體膜 1305a 之並未與閘極電極 1307 和絕緣膜 1310 重疊的區域中；以及低濃度雜質區域 (LDD 區域) 係形成於半導體膜 1305a 之與絕緣膜 1310 重疊，在通道形成區域與雜質區域 1311 之間的區域中。同樣地，通道形成區域、低濃度雜質區域、及雜質區域 1311 係形成於 n-通道薄膜電晶體 1300b，1300d，及 1300f 中。

在 p-通道薄膜電晶體 1300c 中，通道形成區域係形成於半導體膜 1305c 之與閘極電極 1307 重疊的區域中；用作為源極和汲極區域之雜質區域 1309 係形成於半導體膜 1305c 之並未與閘極電極 1307 重疊的區域中。同樣地，通道形成區域和雜質區域 1309 係形成於 p-通道薄膜電晶體 1300e 中。在此，雖然 LDD 區域並未形成於 p-通道薄膜電晶體 1300c 及 1300e 中，但是，LDD 區域可以被設置於 p-通道薄膜電晶體中，或者沒有 LDD 區域之結構可以被應用於 n-通道薄膜電晶體中。

接著，具有單一層結構或堆疊層結構之絕緣膜被形成，以便覆蓋半導體膜 1305a 到 1305f、閘極電極 1307 等等。然後，電連接至用作為薄膜電晶體 1300a 到 1300f 之源極和汲極區域的雜質區域 1309 到 1311 之導電膜 1313 係形成於絕緣膜之上(見圖 7A)。該絕緣膜係使用無機材料(諸如，氧化矽或氮化矽)或有機材料(諸如，聚醯亞胺、聚醯胺、苯環丁烯、丙烯酸或環氧類)、矽氧烷材料等等，藉由 CVD 法、濺鍍法、SOG 法、液滴排放(droplet discharging)法、網版印刷(screen printing)法等等而形成有單一層或堆疊層。在此實施例模式中，絕緣膜係形成而具有雙層結構，並且氮氧化矽膜係形成做為第一絕緣膜 1312a，及氧氮化矽膜係形成做為第二絕緣膜 1312b。除此之外，導電膜 1313 能夠構成薄膜電晶體 1300a 到 1300f 之源極和汲極電極。

在形成絕緣膜 1312a 及 1312b 之前或在絕緣膜 1312a 和

1312b 的其中之一或二者被形成之後，最好實施熱處理，以供半導體膜之結晶性的恢復、已經被添加入半導體膜中之雜質元素的活化、或半導體膜之氫化。做為熱處理，可以施加熱退火、雷射退火、RTA 等等。

導電膜 1313 係藉由 CVD 法、濺鍍法等等而形成有一選自鋁 (Al)、鎢 (W)、鈦 (Ti)、鉭 (Ta)、鉬 (Mo)、鎳 (Ni)、鉑 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、錳 (Mn)、釹 (Nd)、碳 (C)、和矽 (Si) 之元素或者含有該元素做為其主成分之合金材料或化合物材料的單一層或堆疊層。含有鋁做為其主成分之合金材料相當於，舉例來說，含有鋁做為其主成分並且也含有鎳，或者含有鋁做為其主成分並且也含有鎳和碳與矽的其中之一或二者的材料。導電膜 1313 最好被形成而具有阻隔膜、鋁矽膜、和阻隔膜之堆疊結構，或者阻隔膜、鋁矽膜、氮化鈦膜和阻隔膜之堆疊結構。注意，“阻隔膜”相當於由鈦、氮化鈦、鉬或氮化鉬所構成的薄膜。

● 鋁和鋁矽為用以形成導電膜 1313 之適合材料，因為它們具有低電阻值且不昂貴。當阻隔膜被提供做為頂層及底層時，能夠防止鋁或鋁矽之小丘的產生。除此之外，當阻隔膜係由為具有高還原特性之元素的鈦所構成時，即使薄的天然氧化物膜係形成於結晶系半導體膜上，天然氧化物膜也能夠被還原，並且能夠獲得到導電膜 1313 與結晶系半導體膜之間有利的接觸。

接著，形成絕緣膜 1314，以便覆蓋導電膜 1313，並且電連接至構成薄膜電晶體 1300a 到 1300f 之源極電極或汲

極電極之導電膜 1313 的導電膜 1315a 及 1315b 係形成於絕緣膜 1314 之上。除此之外，電連接至構成薄膜電晶體 1300b 之源極電極或汲極電極之導電膜 1313 的導電膜 1316 被形成。注意，可以同時使用相同的材料來形成導電膜 1315a 及 1315b 和導電膜 1316，能夠使用導電膜 1313 用之上述材料的任何一個來形成導電膜 1315a 及 1315b 和導電膜 1316。

接著，形成用作為天線之導電膜 1317，以便被電連接至導電膜 1316 (見圖 7B)。

絕緣膜 1314 能夠藉由 CVD 法、濺鍍法等等而形成有一含有氧及/或氮之絕緣膜 (諸如，氧化矽、氮化矽、氧氮化矽或氮氧化矽)；含有碳之膜 (諸如，DLC (類鑽石碳))；有機材料 (諸如，環氧類、聚醯亞胺、聚醯胺、聚乙烯基酚 (polyvinyl phenol)、苯環丁烯、或丙烯酸)、或矽氧烷材料 (諸如，矽氧烷樹脂) 的單一層或堆疊層。注意，矽氧烷材料相當於具有 Si-O-Si 鍵之材料，矽氧烷材料具有與矽 (Si) 和氧 (O) 的骨幹結構。做為矽氧烷材料的取代基，使用含有至少氫之有機基團 (例如，烷基或芳香族烴)。除此之外，可以使用氟基做為取代基。此外，可以使用氟基和含有至少氫之有機基團做為取代基。

導電膜 1317 係藉由 CVD 法、濺鍍法、印刷法 (諸如，網版印刷或凹版印刷)、液滴排放法、分配法、電鍍法等等而由導電材料所構成。導電膜 1317 係形成有一選自鋁 (Al)、鈦 (Ti)、銀 (Ag)、銅 (Cu)、金 (Au)、鉑 (Pt)、鎳

(Ni)、鈀(Pd)、鉭(Ta)、和鉬(Mo)之元素或者含有如此之元素做爲其主成分之合金材料或化合物材料的單一層或堆疊層。

舉例來說，當藉由網版印刷法來形成用作爲天線之導電膜 1317 時，能夠藉由導電膠的選擇性印刷來提供導電膜 1317，而在導電膠中，具有幾奈米到幾十微米之粒徑的導電粒子被溶解或分散於有機樹脂中。導電粒子能夠是選自銀(Ag)、金(Au)、銅(Cu)、鎳(Ni)、鉑(Pt)、鈀(Pd)、鉭(Ta)、鉬(Mo)、鈦(Ti)等等之金屬粒子；鹵化銀之細微粒子；及其分散的奈米粒子的至少其中之一或多者。除此之外，導電膠中所包含之有機樹脂能夠是用作爲金屬粒子之接合劑、溶劑、分散劑、和塗佈劑之有機樹脂的其中之一或多者。典型上，有機樹脂(諸如，環氧樹脂和矽氧樹脂)能夠被提出做爲例子。最好，導電膠被擠出而後被烘烤而形成導電膜。舉例來說，在使用含有銀做爲其主成分之細微粒子(例如，1到100 nm 之粒徑)做爲導電膠之材料的情況中，導電膠被烘烤及硬化於150到300°C的溫度，使得導電膜能夠被獲得到。替換地，也有可能使用含有焊劑或無鉛焊劑做爲其主成分之細微粒子，在該情況中，最好使用具有20 μ m 之粒徑細微粒子，焊劑或無鉛焊劑具有低成本之優點。

導電膜 1315a 及 1315b 能夠用作爲配線，其在稍後的步驟中，係電連接至本發明之半導體裝置中所包含的二次電池。除此之外，在形成用作爲天線之導電膜 1317 中，其

他的導電膜可以被分開形成，以便被電連接至導電膜 1315a 及 1315b，使得導電膜能夠被利用做為用來將導電膜 1315a 及 1315b 連接至二次電池的配線。

接著，在形成絕緣膜 1318 以便覆蓋導電膜 1317 之後，自基板 1301 剝離一包含薄膜電晶體 1300a 到 1300f、導電膜 1317 等等之層(在下中被稱為“元件形成層 1319”)。在此，在藉由雷射照射(例如，UV 光照射)而於排除薄膜電晶體 1300a 到 1300f 之區域以外的元件形成層 1319 中形成開口之後(見圖 7C)，能夠以物理的力而自基板 1301 剝離元件形成層 1319。注意，藉由剝離元件形成層 1319 的同時，以諸如水之液體來弄溼元件形成層 1319，能夠防止設置於元件形成層 1319 中之薄膜電晶體被靜電所損壞。除此之外，藉由再度使用已經自其上剝離元件形成層 1319 的基板 1301，能夠達成成本降低。

絕緣膜 1318 能夠藉由 CVD 法、濺鍍法等等而形成有一含有氧及/或氮之絕緣膜(諸如，氧化矽、氮化矽、氧氮化矽或氮氧化矽)；含有碳之膜(諸如，DLC(類鑽石碳))；有機材料(諸如，環氧類、聚醯亞胺、聚醯胺、聚乙烯基酚、苯環丁烯、或丙烯酸)、或矽氧烷材料(諸如，矽氧烷樹脂)的單一層或堆疊層。

在此實施例模式中，在藉由雷射照射而形成開口於元件形成層 1319 中之後，第一薄片材料 1320 係黏合於元件形成層 1319 的其中一表面(暴露出絕緣膜 1318 之表面)，而後自基板 1301 剝離元件形成層 1319(見圖 8A)。

接著，第二薄片材料 1321 係黏合於元件形成層 1319 的另一表面(藉由剝離而暴露出之表面)，之後接著熱處理和加壓處理的其中之一或二者，以供第二薄片材料 1321 之黏合(見圖 8B)。能夠使用熱熔膜等等做為第一薄片材料 1320 和第二薄片材料 1321。

做為第一薄片材料 1320 和第二薄片材料 1321，也能夠使用已經施加防靜電處理以防止靜電等等於其之膜(在下中被稱為“防靜電膜”)。做為防靜電膜的例子，能夠使用其中防靜電材料係分散於樹脂中之膜、防靜電材料係與其黏合之膜等等。設置有防靜電材料之膜能夠是設置有防靜電材料於其表面的其中一表面上之膜，或是設置有防靜電材料於其表面的任何一表面上之膜。設置有防靜電材料於其表面的其中一表面上之膜可以黏合於該層，使得防靜電材料係放置於該膜的內側或該膜的外側上。防靜電材料可以被設置於該膜的整個表面之上或在該膜的部分表面之上。做為防靜電材料，能夠使用金屬、氧化銦錫(ITO)、或界面活性劑(諸如，兩性介面活性劑、陽離子介面活性劑、或非離子介面活性劑)。此外，做為防靜電材料，能夠使用含有具有羧基、四級銨鹼於其側鏈上之交連共聚物的樹脂材料等等。如此之材料係黏合、混合或塗施於膜上，使得防靜電膜能夠被形成。使用防靜電膜來密封元件形成層，使得當應付做為商用產品時，能夠保護半導體元件免於不利的影響(諸如，外部靜電)。

注意，薄膜二次電池係連接至導電膜 1315a 及

1315b，使得設置於半導體裝置之電池後備電路部中的電池被形成。和二次電池之連接可以被實施於自基板1301剝離元件形成層1319之前(在圖7B或圖7C中所顯示的階段)、於自基板1301剝離元件形成層1319之後(在圖8A中所顯示的階段)、或者在以第一薄片材料1320和第二薄片材料1321來密封元件形成層1319之後(在圖8B中所顯示的階段)。在下面參照圖9A及圖9B和圖10A及圖10B來解釋形成即將被連接之元件形成層1319和二次電池的例子。

在圖7B所顯示的階段中，分別電連接至導電膜1315a及1315b的導電膜1331a及1331b係同時形成做為用作為天線的導電膜1317。然後，形成絕緣膜1318以便覆蓋導電膜1317，1331a及1331b，接著形成開口部分，使得導電膜1331a及1331b的表面暴露出。之後，開口部分係藉由雷射照射而被形成於元件形成層1319中，而後，第一薄片材料1320係黏合於元件形成層1319的其中一表面(暴露出絕緣膜1318之表面)，而後自基板1301剝離元件形成層1319(見圖9A)。

接著，第二薄片材料1321係黏合於元件形成層1319的另一表面(藉由剝離而暴露出之表面)，並且自第一薄片材料1320剝離元件形成層1319。因此，具有低黏度之材料係使用做為第一薄片材料1320。然後，分別經由開口部分而被電連接至導電膜1331a及1331b的導電膜1334a及1334b被選擇性地形成。

導電膜1334a及1334b係藉由CVD法、濺鍍法、印刷

法(諸如，網版印刷或凹版印刷)、液滴排放法、分配法、電鍍法等等而由導電材料所構成。導電膜 1334a 及 1334b 係形成有一選自鋁 (Al)、鈦 (Ti)、銀 (Ag)、銅 (Cu)、金 (Au)、鉑 (Pt)、鎳 (Ni)、鈀 (Pd)、鉭 (Ta)、和鉬 (Mo) 之元素或者含有如此之元素做爲其主成分之合金材料或化合物材料的單一層或堆疊層。

雖然在此實施例模式中所顯示的例子爲在自基板 1301 剝離元件形成層 1319 之後形成導電膜 1334a 及 1334b 的情況，但是，元件形成層 1319 可以在形成導電膜 1334a 及 1334b 之後自基板 1301 被剝離。

接著，在多個元件係形成於基板之上的情況中，元件形成層 1319 被切割成元件(見圖 10A)。雷射照射裝置、切割裝置、劃線裝置等等能夠被使用於切割，此時，形成於一個基板之上的多個元件係藉由雷射照射而彼此分開。

接著，分開的元件係電連接至二次電池(見圖 10B)。在此實施例模式中，薄膜二次電池係使用做爲半導體裝置之電池後備電路部中的電池，其中，依序堆疊電流收集薄膜、負電極活性材料層、固體電解質層、正電極活性材料層、及電流收集薄膜。

導電膜 1336a 及 1336b 係藉由 CVD 法、濺鍍法、印刷法(諸如，網版印刷或凹版印刷)、液滴排放法、分配法、電鍍法等等而由導電材料所構成。導電膜 1334a 及 1334b 係形成有一選自鋁 (Al)、鈦 (Ti)、銀 (Ag)、銅 (Cu)、金 (Au)、鉑 (Pt)、鎳 (Ni)、鈀 (Pd)、鉭 (Ta)、和鉬 (Mo) 之元素

或者含有如此之元素做為其主成分之合金材料或化合物材料的單一層或堆疊層。該導電材料應該對負電極活性材料層具有高的黏著性，並且也具有低電阻。特別是，最好使用鋁、銅、鎳、鈳等等。

接下來敘述薄膜二次電池之結構。負電極活性材料層 1381 係形成於導電膜 1336a 之上。通常，使用氧化鈳 (V_2O_5) 等等。接著，固體電解質層 1382 係形成於負電極活性材料層 1381 之上。通常，使用磷酸鋰 (Li_3PO_4) 等等。接著，正電極活性材料層 1383 係形成於固體電解質層 1382 之上。通常，使用錳酸鋰 ($LiMn_2PO_4$) 等等，也可以使用鈷酸鋰 ($LiCoO_2$) 或氧化鋰鎳 ($LiNiO_2$)。接著，電流收集薄膜 1384 係形成於正電極活性材料層 1383 之上，電流收集薄膜 1384 應該對正電極活性材料層 1383 具有高的黏著性，並且也具有低電阻。舉例來說，能夠使用鋁、銅、鎳、鈳等等。

負電極活性材料層 1381、固體電解質層 1382、正電極活性材料層 1383、及電流收集薄膜 1384 之上面薄膜之各者可以藉由濺鍍技術或蒸鍍技術來予以形成。除此之外，各層的厚度最好為 0.1 到 3 μm 。

接著，藉由樹脂的塗施而形成層間膜 1385。層間膜 1385 並未受限於樹脂，並且也可以使用其他諸如藉由 CVD 法等等所形成之氧化物膜的膜；但是，從平坦性的觀點來看，最好使用樹脂。替換地，可以不使用蝕刻，而是使用感光樹脂來形成接觸孔。接著，配線層係形成於層

間膜 1385 之上，並且連接至導電膜 1336b。因此，確保薄膜二次電池之電連接。

在此，設置於元件形成層 1319 中之導電膜 1334a 及 1334b 係事先分別連接至導電膜 1336a 及 1336b，其用作為薄膜二次電池 1389 之連接端子。在此，顯示其中導電膜 1334a 與導電膜 1336a 之間的電連接或導電膜 1334b 與導電膜 1336b 之間的電連接係藉由壓力接合來予以實施，且黏著材料(諸如，各向異性導電膜(ACF)或各向異性導電膠(ACP))係插設於其間的例子。在此實施例模式中，顯示其中使用在導電樹脂中所包含之導電粒子來實施連接的例子。替換地，也能夠使用導電性黏著劑(諸如，銀膠、銅膠、或碳膠)；焊接接頭等等。

如此之電晶體的結構可以是不同的，而不受在此實施例模式中所顯示之特定結構的限制。舉例來說，可以使用具有二或多個閘極電極之多閘極結構。當使用多閘極結構時，提供其中通道區域係串聯連接的結構；因此，提供其中多個電晶體係串聯連接的結構。當使用多閘極結構時，因為能夠減少關閉電流(off-current)；能夠增加電晶體的耐受電壓，使得可靠度增加；並且即使汲極-源極電壓改變於當電晶體操作於飽和區域中之時，汲極-源極電流改變並不多，且因而能夠獲得到平坦的特性，所以能夠獲得到各種的優點。除此之外，也可以使用其中閘極電極係形成於通道的上方或下方之結構。當使用其中閘極電極係形成於通道的上方或下方之結構時，通道區域被放大，且能

夠使流經其間之電流的量增加。因此，能夠很容易地形成空乏層，並且能夠減小次臨界擺動(S 值)。當閘極電極係形成於通道的上方或下方時，提供其中多個電晶體係並聯連接的結構。

除此之外，電晶體可以具有下面之結構的任何一個：其中閘極電極係形成於通道的上方之結構；其中閘極電極係形成於通道的下方之結構；交錯的結構；相反之交錯的結構。除此之外，電晶體可以具有其中通道區域被分割成多個區域，並且所分割的區域被並聯連接或串聯連接的結構。除此之外，通道(或其部分)可以和源極電極或汲極電極相重疊。當使用其中通道(或其部分)可以和源極電極或汲極電極相重疊之結構時，能夠防止電荷被累積於該通道的部分中，且因而能夠防止補穩定的操作。除此之外，可以設置 LDD(輕度摻雜之汲極)區域。當設置 LDD 區域時，能夠減少關閉電流；能夠增加電晶體的耐受電壓，使得可靠度增加；並且即使汲極-源極電壓改變於當電晶體操作於飽和區域中之時，汲極-源極電流改變並不多，且因而能夠獲得到平坦的特性。

在此實施例模式中之半導體裝置的製造方法能夠被應用於在其他實施例模式中之半導體裝置的任何一個。

(實施例模式5)

實施例模式5參照圖式來敘述半導體裝置之製造方法的例子，其係與實施例模式4之製造方法不同。此實施例

模式敘述在半導體裝置之電路(諸如，資料保持電路或記憶體電路部)中所包含之元件等等係形成於一個半導體基板之上的情況。除此之外，其敘述其中在實施例模式4中所敘述之二次電池被使用做為電池中所設置之電源(power)儲存電路的例子。自不待言，能夠設置電雙層電容器等等來代替二次電池。

首先，絕緣膜(也被稱為場氧化物膜)2302係形成於半導體基板2300上，以形成區域(也被稱為元件形成區域或元件分開區域)2304和2306(見圖11A)。在半導體基板2300中所設置之區域2304和2306係藉由絕緣膜2302而互相絕緣。在此所示之例為具有n-型導電性之單結晶Si基板被使用做為半導體基板2300，且p井2307係形成於半導體基板2300之區域2306中的情況。

任何基板能夠被使用做為半導體基板2300，祇要其為半導體基板。舉例來說，能夠使用具有n-型或p-型導電性之單結晶Si基板、化合物半導體基板(例如，GaAs基板，InP基板，GaN基板，SiC基板，藍寶石基板，或ZnSe基板)、藉由接合法或SIMOX(佈植氧加以分離)法所形成之SOI(絕緣層上覆矽)基板等等。

區域2304和2306能夠藉由LOCOS(矽局部氧化)法、溝槽隔離法等等來予以形成。

除此之外，在半導體基板2300之區域2306中所形成的p井2307能夠藉由選擇性地以p-型雜質元素來摻雜半導體基板2300來予以形成。做為p-型雜質元素，能夠使用硼

(B)，鋁(Al)，鎘(Ga)等等。

在此實施例模式中，雖然區域2304係不以雜質元素來予以摻雜，因為具有 n-型導電性之半導體基板被使用做為半導體基板2300，但是 n 井可以藉由導入 n-型雜質元素而被形成於區域2304中。做為 n-型雜質元素，能夠使用磷(P)，砷(As)等等。另一方面，當使用具有 p-型導電性之半導體基板時，可以用 n-型雜質元素來摻雜區域2304而形成 n 井，而區域2306可以不摻雜任何雜質元素。

接著，形成絕緣膜2332和2334以分別覆蓋區域2304和2306(見圖11B)。

舉例來說，在半導體基板2300中所設置之區域2304和2306的表面係藉由熱處理而被氧化，使得絕緣膜2332和2334能夠由氧化矽膜來予以形成。替換地，絕緣膜2332和2334可以藉由經由熱氧化法而形成氧化矽膜，而後藉由氮化作用處理以使該氧化矽膜的表面氮化之步驟，而被形成具有氧化矽膜和含有氧及氮之膜(氧氮化矽膜)之堆疊結構。

此外，替換地，能夠藉由如上所述之電漿處理來形成絕緣膜2332和2334。舉例來說，能夠使用氧化矽膜或氮化矽膜來形成絕緣膜2332和2334，而氧化矽膜或氮化矽膜係藉由對在半導體基板2300中所設置之區域2304和2306的表面施加高密度電漿氧化或高密度電漿氮化作用處理來予以獲得到。此外，在對區域2304和2306的表面施加高密度電漿氧化處理之後，可以實施高密度電漿氮化作用處理。在

該情況中，氧化矽膜係形成於區域2304和2306的表面上，而後氮化矽膜係形成於氧化矽膜上。因此，絕緣膜2332和2334各自被形成而具有氧化矽膜和氮化矽膜之堆疊結構。除此之外，在藉由熱氧化法而在區域2304和2306的表面上形成氧化矽膜之後，可以對氧化矽膜施加高密度電漿氧化或高密度電漿氮化作用處理。

形成於半導體基板2300的區域2304和2306之上的絕緣膜2332和2334分別用作為稍後完成之電晶體的閘極絕緣膜。

接著，形成導電膜以便覆蓋分別形成於區域2304和2306之上的絕緣膜2332和2334(見圖11C)。在此，顯示其中藉由依序堆疊導電膜2336和2338而形成導電膜的例子。自不待言，可以使用單一層或三或多層之堆疊結構來形成該導電膜。

做為導電膜2336和2338的材料，能夠使用一選自鉭(Ta)、鎢(W)、鈦(Ti)、鉬(Mo)、鋁(Al)、銅(Cu)、鉻(Cr)、鈮(Nb)等等之元素或者含有如此之元素做為其主成分之合金材料或化合物材料。替換地，能夠使用藉由上面元素之氮化作用所獲得到之金屬氮化物膜。除此之外，能夠使用以摻雜有諸如磷之雜質元素的多晶矽做為代表之半導體材料。

在此情況中，使用一堆疊結構，其中，使用氮化鉭來形成導電膜2336，並且使用鎢而形成導電膜2338於導電膜2336上。替換地，也有可能使用氮化鎢、氮化鉬、及/或

氮化鈦之單層膜或堆疊膜來形成導電膜 2336，並且使用鉬、鉬、及/或鈦之單層膜或堆疊膜來形成導電膜 2338。

接著，藉由蝕刻而選擇性地去除堆疊之導電膜 2336 和 2338，使得導電膜 2336 和 2338 仍分別維持在區域 2304 和 2306 的部分之上。因此，閘極電極 2340 和 2342 被形成(見圖 12A)。

接著，選擇性地形成抗蝕劑遮罩 2348 以便覆蓋區域 2304，並且使用抗蝕劑遮罩 2348 和閘極電極 2342 做為遮罩，以雜質元素來摻雜區域 2306，使得雜質區域被形成(見圖 12B)。做為雜質元素，使用 n-型雜質元素或 p-型雜質元素。做為 n-型雜質元素，能夠使用磷(P)，砷(As)等等。做為 p-型雜質元素，能夠使用硼(B)，鋁(Al)，鎵(Ga)等等。在此，磷(P)被使用做為雜質元素。

在圖 12B 中，藉由導入雜質元素，構成源極和汲極區域與通道形成區 2350 之雜質區域 2352 被形成於區域 2306 中。

接著，選擇性地形成抗蝕劑遮罩 2366 以便覆蓋區域 2306，並且使用抗蝕劑遮罩 2366 和閘極電極 2340 做為遮罩，以雜質元素來摻雜區域 2304，使得雜質區域被形成(見圖 12C)。做為雜質元素，使用 n-型雜質元素或 p-型雜質元素。做為 n-型雜質元素，能夠使用磷(P)，砷(As)等等。做為 p-型雜質元素，能夠使用硼(B)，鋁(Al)，鎵(Ga)等等。此時，使用和圖 12B 中被導入於區域 2306 中之雜質元素的導電性不同之導電性的雜質元素(例如，硼(B))。

因此，構成源極和汲極區域與通道形成區 2368 之雜質區域 2370 被形成於區域 2304 中。

接著，形成第二絕緣膜 2372 以便覆蓋絕緣膜 2332 和 2334 及閘極電極 2340 和 2342。然後，分別電連接至形成於區域 2306 和 2304 中之雜質區域 2352 和 2370 的配線 2374 被形成於第二絕緣膜 2372 之上。

第二絕緣膜 2372 能夠藉由 CVD 法、濺鍍法等等而形成有一含有氧及 / 或氮之絕緣膜 (諸如，氧化矽、氮化矽、氧氮化矽或氮氧化矽)；含有碳之膜 (諸如，DLC (類鑽石碳))；有機材料 (諸如，環氧類、聚醯亞胺、聚醯胺、聚乙烯基酚、苯環丁烯、或丙烯酸)、或矽氧烷材料 (諸如，矽氧烷樹脂) 的單一層或堆疊層。矽氧烷材料相當於具有 Si-O-Si 鍵之材料，矽氧烷材料具有與矽 (Si) 和氧 (O) 的骨幹結構。做為矽氧烷材料的取代基，使用含有至少氫之有機基團 (例如，烷基或芳香族烴)。又，可以使用氟基做為取代基，或者可以使用氟基和含有至少氫之有機基團做為取代基。

配線 2374 係藉由 CVD 法、濺鍍法等等而形成有一選自鋁 (Al)，鎢 (W)，鈦 (Ti)，鉭 (Ta)，鉬 (Mo)，鎳 (Ni)，鉑 (Pt)，銅 (Cu)，金 (Au)，銀 (Ag)，錳 (Mn)，釹 (Nd)，碳 (C)，及矽 (Si) 等等或含有如此之元素做為其主成分的合金材料或化合物材料的單一層或堆疊層。含有鋁做為其主成分的合金材料相當於，舉例來說，含有鋁做為其主成分並且也含有鎳，或者含有鋁做為其主成分並且也含有鎳和碳

與矽的其中之一或二者的材料。配線 2374 最好被形成而具有阻隔膜、鋁矽 (Al-Si) 膜、和阻隔膜之堆疊結構，或者阻隔膜、鋁矽 (Al-Si) 膜、氮化鈦膜和阻隔膜之堆疊結構。注意，“阻隔膜”相當於由鈦、氮化鈦、鉬或氮化鉬所構成的薄膜。鋁和鋁矽為用以形成配線 2374 之適合材料，因為它們具有高電阻值且不昂貴。當阻隔膜被提供做為頂層及底層時，能夠防止鋁或鋁矽之小丘的產生。除此之外，當阻隔膜係由為具有高還原特性之元素的鈦所構成時，即使薄的天然氧化物膜係形成於結晶系半導體膜上，天然氧化物膜也能夠被還原，並且能夠獲得到配線 2374 與結晶系半導體膜之間有利的接觸。

注意，本發明之電晶體的結構並不限於圖式中所顯示之電晶體的結構。舉例來說，能夠使用具有相反之交錯結構 (FinFET 結構等等) 的電晶體。FinFET 結構係較佳的，這是因為它能夠抑制隨著電晶體尺寸之縮減而發生的短通道效應。

在此實施例模式中，二次電池係堆疊於連接至該電晶體的配線 2374 之上。二次電池具有一結構，其中，依序堆疊電流收集薄膜、負電極活性材料層、固體電解質層、正電極活性材料層、及電流收集薄膜 (見圖 13B)。因此，也具有二次電池之電流收集薄膜之功能的配線 2374 之材料應該具有對負電極活性材料層之高的黏著性，也具有低電阻。特別是，最好使用鋁、銅、鎳、鈇等等。

隨後，敘述薄膜二次電池的結構。負電極活性材料層

2391係形成於配線2374之上。通常，使用氧化釩(V_2O_5)等等。接著，固體電解質層2392係形成於負電極活性材料層2391之上。通常，使用磷酸鋰(Li_3PO_4)等等。接著，正電極活性材料層2393係形成於固體電解質層2392之上。通常，使用錳酸鋰($LiMn_2PO_4$)等等，也可以使用鈷酸鋰($LiCoO_2$)或氧化鋰鎳($LiNiO_2$)。接著，用作為電極之電流收集薄膜2394係形成於正電極活性材料層2393之上，電流收集薄膜2394應該對正電極活性材料層2393具有高的黏著性，並且也具有低電阻。舉例來說，能夠使用鋁、銅、鎳、釩等等。

負電極活性材料層2391、固體電解質層2392、正電極活性材料層2393、及電流收集薄膜2394之上面薄層之各者可以藉由濺鍍技術或蒸鍍技術來予以形成。除此之外，各層的厚度最好為0.1到3 μm 。

接著，藉由樹脂的塗施而形成層間膜2396，層間膜2396被蝕刻而形成接觸孔。層間膜並未受限於樹脂，並且也可以使用其他諸如藉由CVD法等等所形成之氧化物膜的膜；但是，從平坦性的觀點來看，最好使用樹脂。除此之外，可以不使用蝕刻，而是使用感光樹脂來形成接觸孔。接著，配線層2395係形成於層間膜2396之上，並且連接至配線2397。因此，確保薄膜二次電池之電連接。

有了上述結構，本發明之半導體裝置能夠具有一結構，其中，電晶體係形成於單結晶基板上，且薄膜二次電池係形成於其上。因此，本發明之半導體裝置能夠達成可

撓性以及厚度及尺寸上之縮減。

在此實施例模式中之半導體裝置的製造方法能夠被應用於在其他實施例模式中之半導體裝置的任何一個。

本申請案係根據在日本專利局於2006年12月26日所提出申請之日本專利申請序號第2006-349191號，其整特內容在此被併入當做參考資料。

【符號說明】

- 101：電池後備電路部
- 102：記憶體電路部
- 103：第一電源供應線路
- 104：第一配線
- 105：第二配線
- 110：電池
- 111：第二電源供應線路
- 112：資料保持電路
- 113：第三配線
- 120：解碼器
- 121：記憶體單元格陣列
- 122：讀取/寫入電路
- 130：備援的記憶體字元線
- 131：第一字元線
- 132：第二字元線
- 133：第一備援的記憶體單元格

134：第二備援的記憶體單元格

135：第一記憶體單元格

136：第二記憶體單元格

137：第三記憶體單元格

138：第四記憶體單元格

139：第一位元線

140：第二位元線

● 400：記憶體單元格

401：字元線

402：n-通道電晶體

403：鎖存器

404：位元線

410：記憶體單元格

411：字元線

412：反相的字元線

● 413：第一類比開關

414：第二類比開關

415：鎖存器

416：位元線

417：反相的位元線

106：位址訊號線

107：輸入/輸出訊號線

108：記憶體寫入致能訊號線

109：讀取致能訊號線

- 200 : 電池
- 201 : 整流元件
- 202 : 電源儲存電路
- 210 : RF 電池
- 211 : 天線電路
- 212 : 整流電路
- 213 : 電源儲存電路
- 500 : RF 電池
- 501 : 天線電路
- 502 : 整流電路
- 503 : 電源儲存電路
- 300 : 資料保持電路
- 301 : 類比開關
- 302 : 鎖存器
- 303 : 類比開關切換訊號線
- 304 : 反相類比開關切換訊號線
- 310 : 資料保持電路
- 311 : 第一時控反相器
- 312 : 第一鎖存器
- 313 : 第二時控反相器
- 314 : 第二鎖存器
- 315 : 第三時控反相器
- 1301 : 基板
- 1302 : 絕緣膜

- 1303 : 剝離層
- 1304 : 絕緣膜
- 1305 : 半導體膜
- 1305a 至 1305f : 結晶系半導體膜
- 1306 : 閘極絕緣膜
- 1307 : 閘極電極
- 1307a : 第一導電膜
- 1307b : 第二導電膜
- 1308 : n-型雜質區域
- 1310 : 絕緣膜
- 1311 : n-型雜質區域
- 1300a , 1300b , 1300d , 1300f : n-通道薄膜電晶體
- 1300c , 1300e : p-通道薄膜電晶體
- 1309 : 雜質區域
- 1312a : 第一絕緣膜
- 1312b : 第二絕緣膜
- 1313 : 導電膜
- 1314 : 絕緣膜
- 1315a , 1315b : 導電膜
- 1316 : 導電膜
- 1317 : 導電膜
- 1318 : 絕緣膜
- 1319 : 元件形成層
- 1320 : 第一薄片材料

- 1321 : 第二薄片材料
- 1331a : 導電膜
- 1334a : 導電膜
- 1336a : 導電膜
- 1381 : 負電極活性材料層
- 1382 : 固體電解質層
- 1383 : 正電極活性材料層
- 1384 : 電流收集薄膜
- 1385 : 層間膜
- 1386 : 配線層
- 1389 : 薄膜二次電池
- 2300 : 半導體基板
- 2302 : 絕緣膜
- 2304 : 元件形成層
- 2306 : 元件形成層
- 2307 : p 井
- 2332 : 絕緣膜
- 2334 : 絕緣膜
- 2336 : 導電膜
- 2338 : 導電膜
- 2340 : 閘極電極
- 2342 : 閘極電極
- 2348 : 抗蝕劑遮罩
- 2350 : 通道形成區域

- 2352 : 雜質區域
- 2366 : 抗蝕劑遮罩
- 2368 : 通道形成區域
- 2370 : 雜質區域
- 2372 : 第二絕緣膜
- 2374 : 配線
- 2391 : 負電極活性材料層
- 2392 : 固體電解質層
- 2393 : 正電極活性材料層
- 2394 : 電流收集薄膜
- 2395 : 配線層
- 2396 : 層間膜
- 2397 : 配線

申請專利範圍

1. 一種半導體裝置，包括：

記憶體單元格陣列，包括記憶體單元格和備援記憶體單元格，該記憶體單元格包括第一電晶體；

解碼器，係電連接至該記憶體單元格和該備援記憶體單元格；以及

資料保持電路，係電連接至該解碼器，該資料保持電路包括第二電晶體，

其中，該備援記憶體單元格係組構成依據來自該資料保持電路的輸出而操作，

其中，該資料保持電路包括開關和鎖存器，

其中，該開關係電連接至第一電源供應線路，而且經由該第一電源供應線路而供應有電力，並且

其中，該鎖存器係電連接至第二電源供應線路，而且經由該第二電源供應線路而供應有電力。

2. 一種半導體裝置，包括：

記憶體單元格陣列，包括記憶體單元格和備援記憶體單元格，該記憶體單元格包括第一電晶體；

解碼器，經由字元線而被電連接至該記憶體單元格，並且經由備援記憶體字元線而被電連接至該備援記憶體單元格；

讀取/寫入電路，係經由位元線而被電連接至該記憶體單元格和該備援記憶體單元格；以及

資料保持電路，係電連接至該解碼器，該資料保持電

路包括第二電晶體，

其中，該備援記憶體單元格係組構成依據來自該資料保持電路的輸出而操作，

其中，該資料保持電路包括類比開關和鎖存器，

其中，該類比開關係電連接至第一電源供應線路，而且經由該第一電源供應線路而供應有電力，並且

其中，該鎖存器係電連接至第二電源供應線路，而且經由該第二電源供應線路而供應有電力。

3.一種半導體裝置，包括：

記憶體單元格陣列，包括記憶體單元格和備援記憶體單元格，該記憶體單元格包括第一電晶體；

解碼器，係電連接至該記憶體單元格和該備援記憶體單元格；以及

資料保持電路，係電連接至該解碼器，該資料保持電路包括第二電晶體，

其中，該備援記憶體單元格係組構成依據來自該資料保持電路的輸出而操作，

其中，該資料保持電路包括時控反相器和鎖存器，

其中，該時控反相器係電連接至第一電源供應線路，而且經由該第一電源供應線路而供應有電力，並且

其中，該鎖存器係電連接至第二電源供應線路，而且經由該第二電源供應線路而供應有電力。

4.如申請專利範圍第3項之半導體裝置，其中，該資料保持電路另包括第二鎖存器，

其中，該第二鎖存器係電連接至該第一電源供應線路，並且經由該第一電源供應線路而供應有電力。

5.如申請專利範圍第1、2及3項中任一項之半導體裝置，另包括電池，該電池係組構成經由該第二電源供應線路而供應電力至該資料保持電路，

其中，該電池包括天線電路、整流電路和電源儲存電路，並且

其中，該電池係組構成以經由該天線電路而自外部所無線式地接收到之電力來使該電源儲存電路充電。

6.如申請專利範圍第5項之半導體裝置，其中，該電源儲存電路為二次電池或電容器。

7.如申請專利範圍第6項之半導體裝置，其中，該二次電池包括電流收集薄膜、負電極活性材料層、固體電解質層、及正電極活性材料層。

8.如申請專利範圍第1、2及3項中任一項之半導體裝置，其中，該記憶體單元和該備援記憶體單元各自為SRAM。

9.如申請專利範圍第1、2及3項中任一項之半導體裝置，其中，該第一電晶體和該第二電晶體係形成於同一基板上。

圖式

圖 1

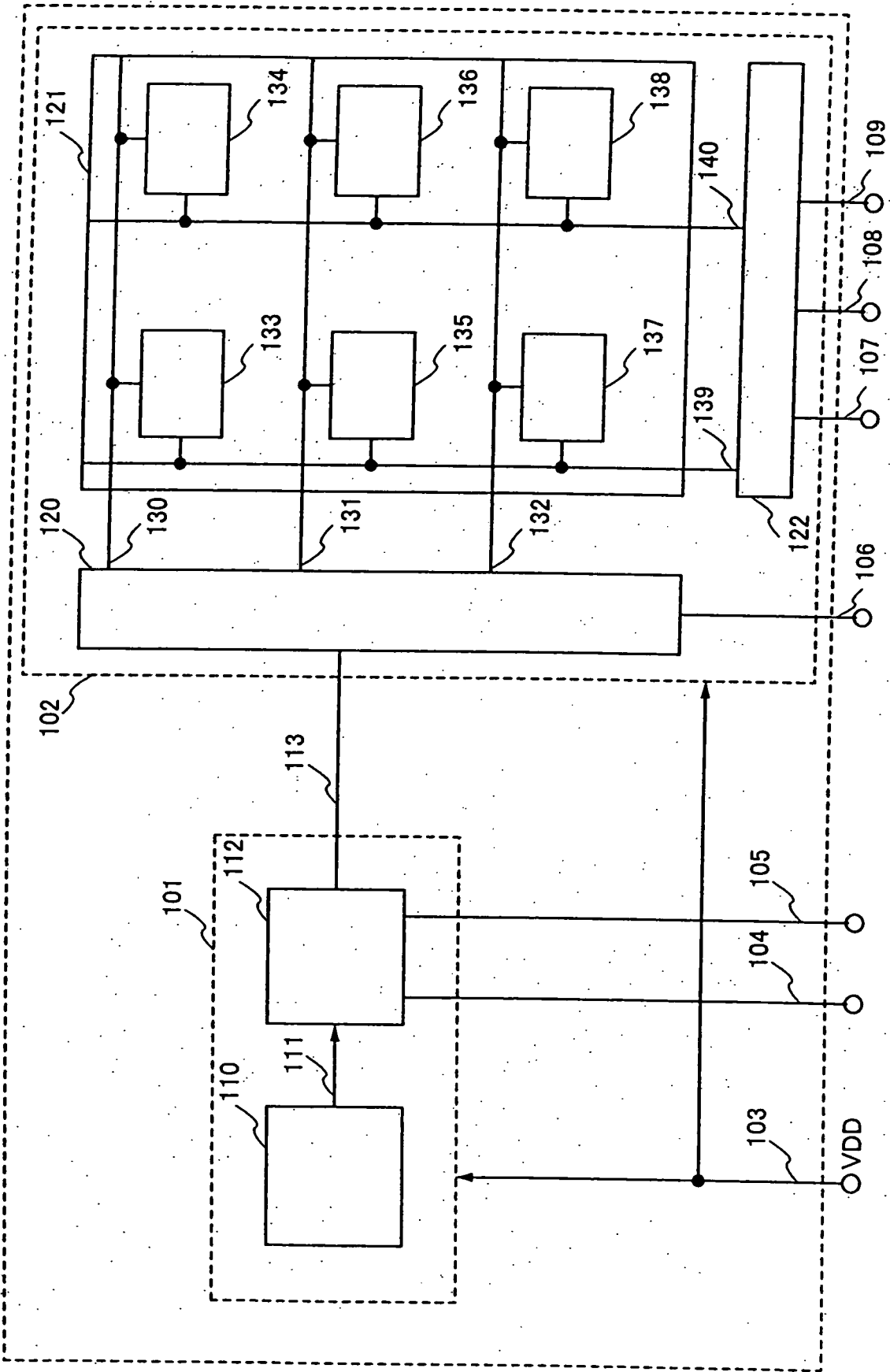


圖 2A

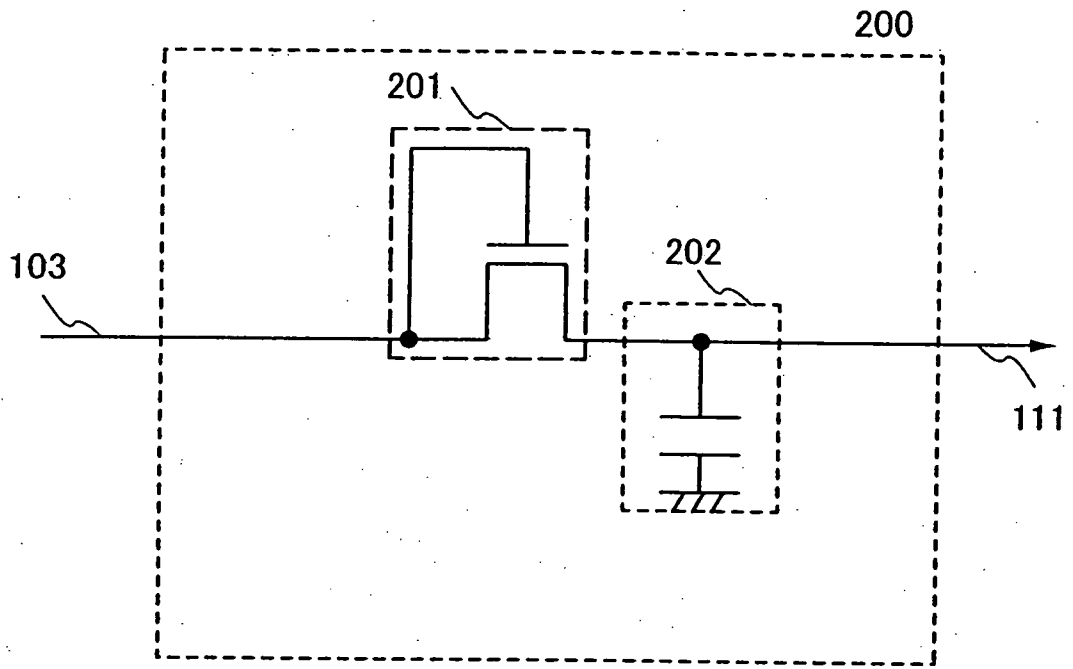


圖 2B

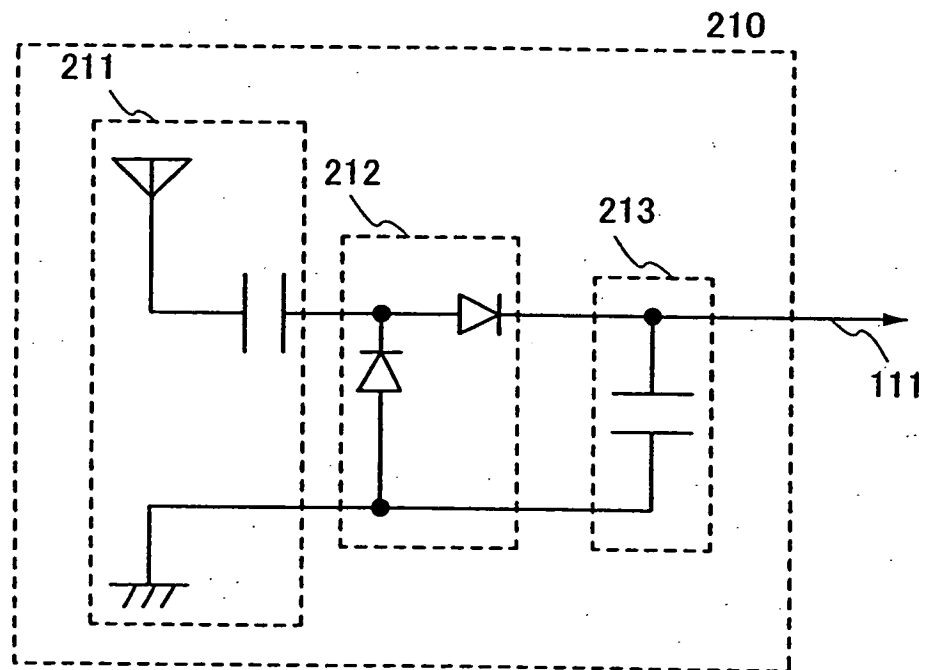


圖 3A

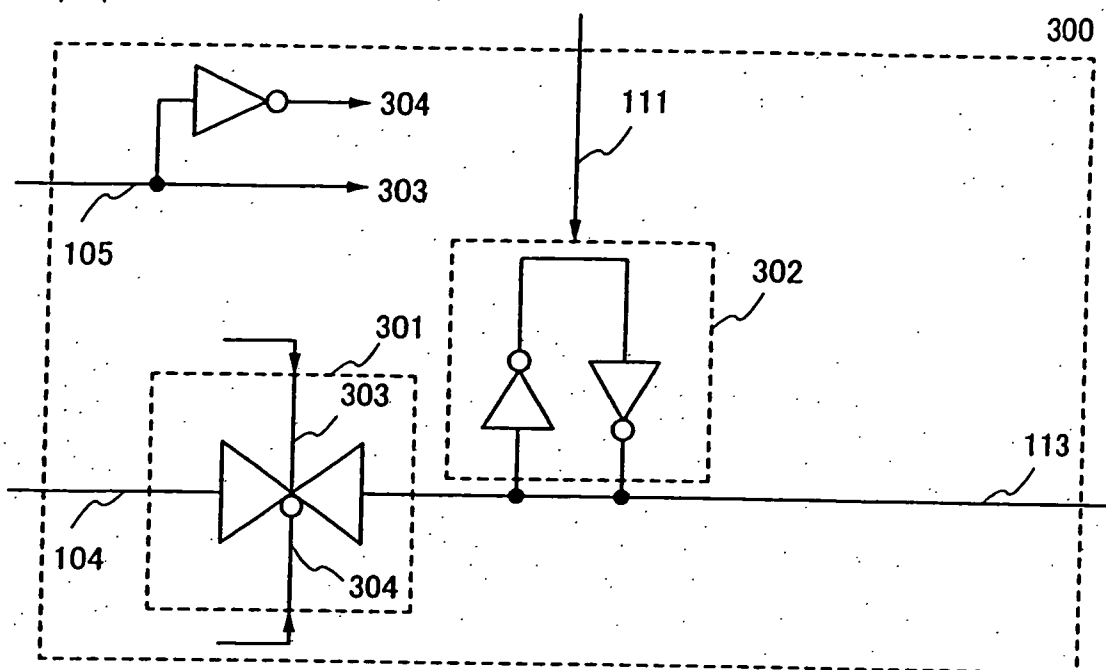


圖 3B

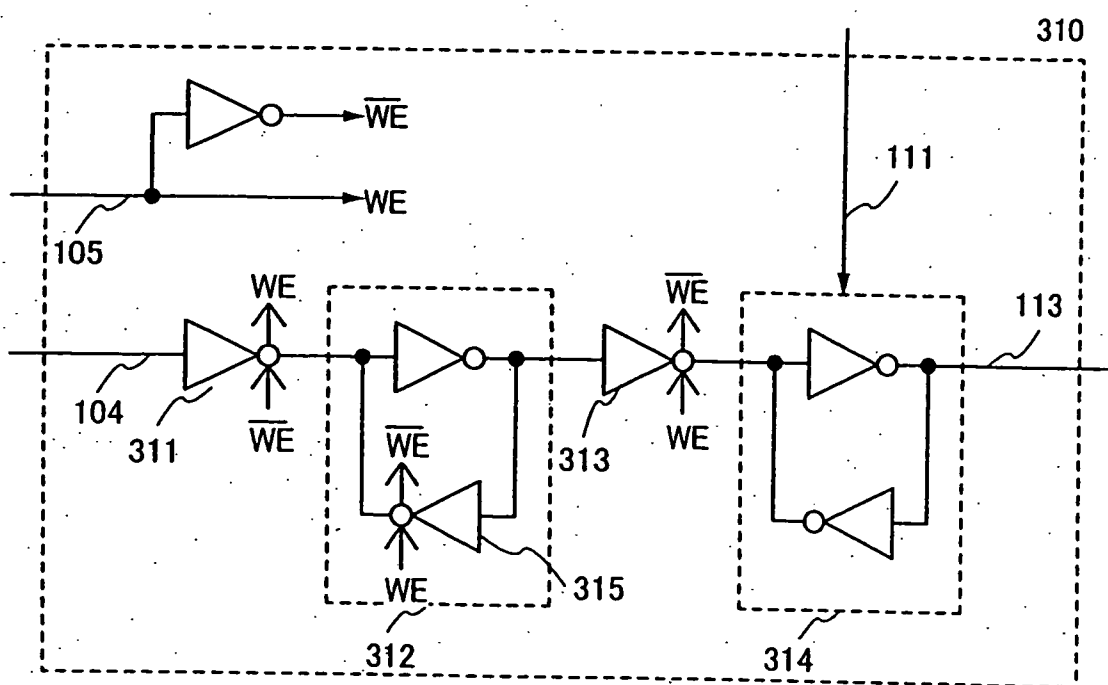


圖 4A

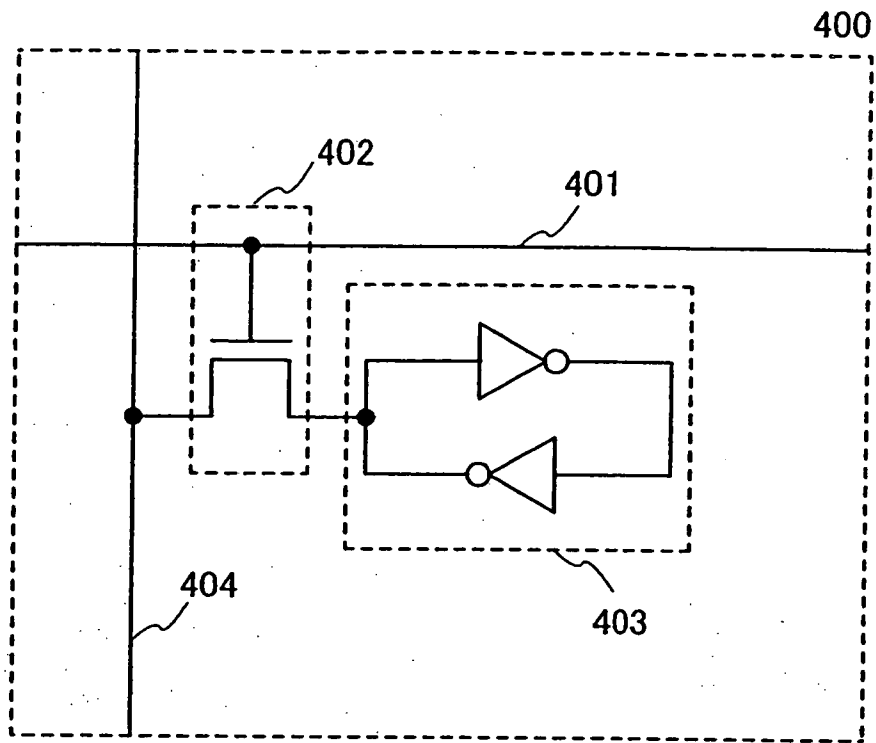


圖 4B

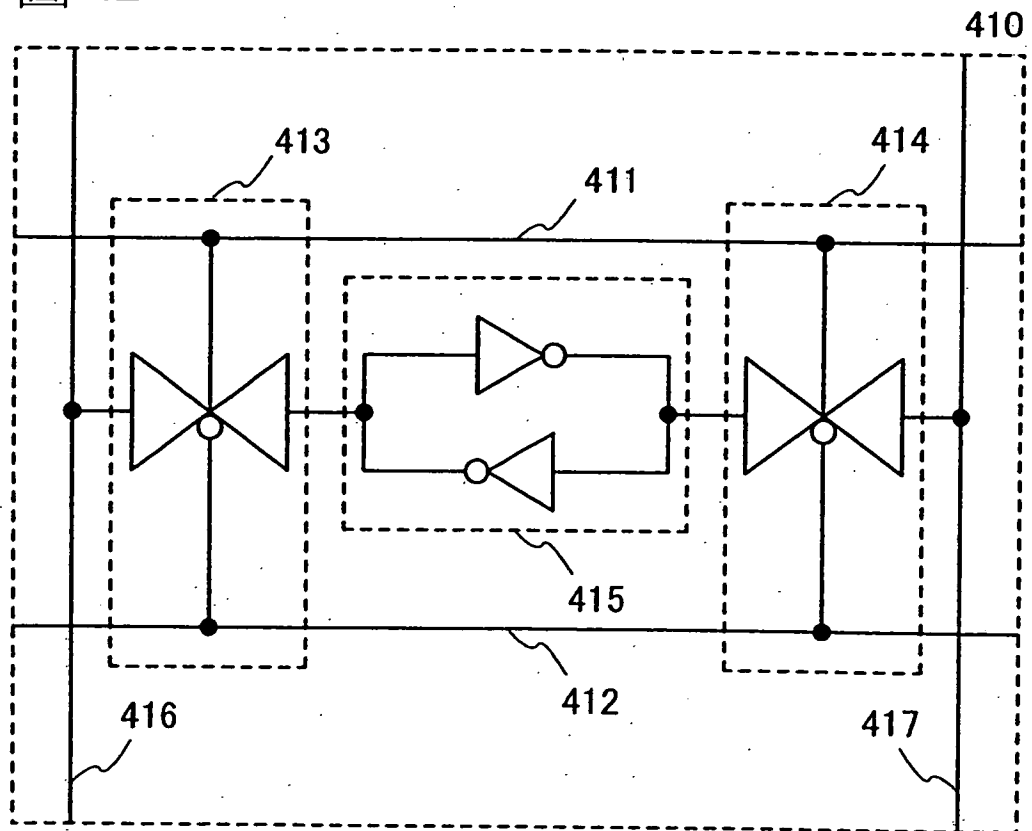


圖 5

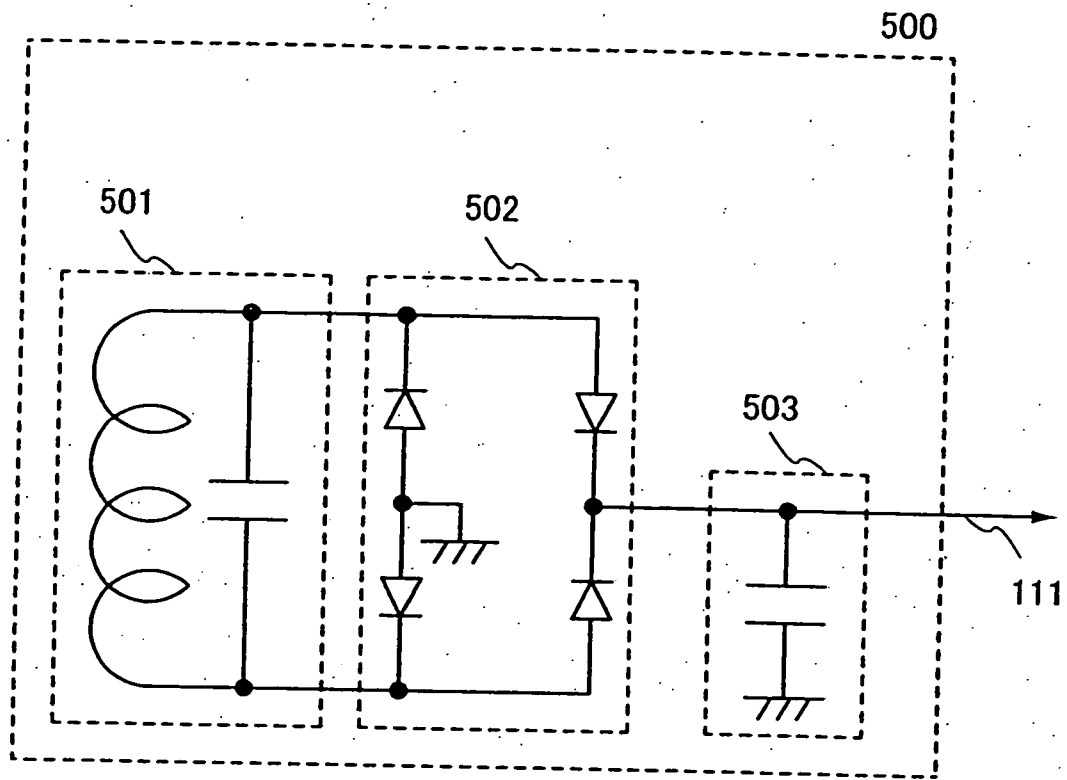


圖 6A

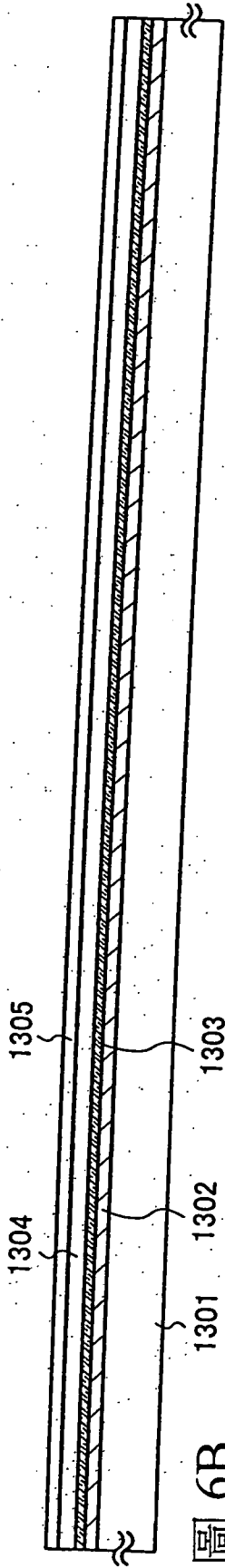


圖 6B

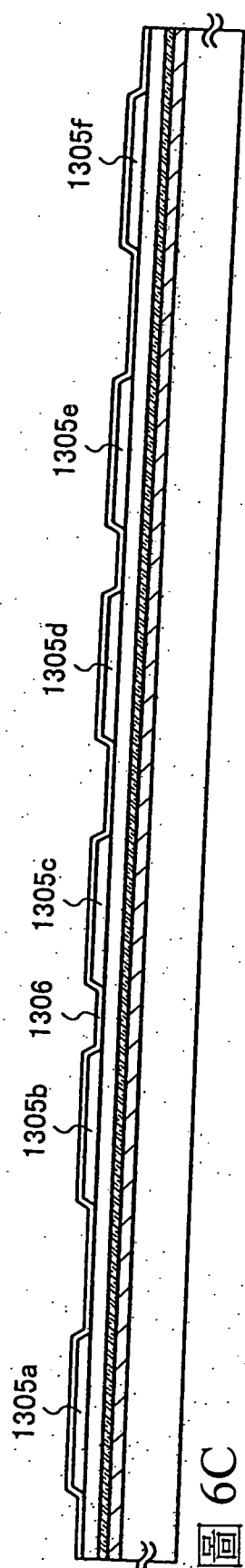


圖 6C

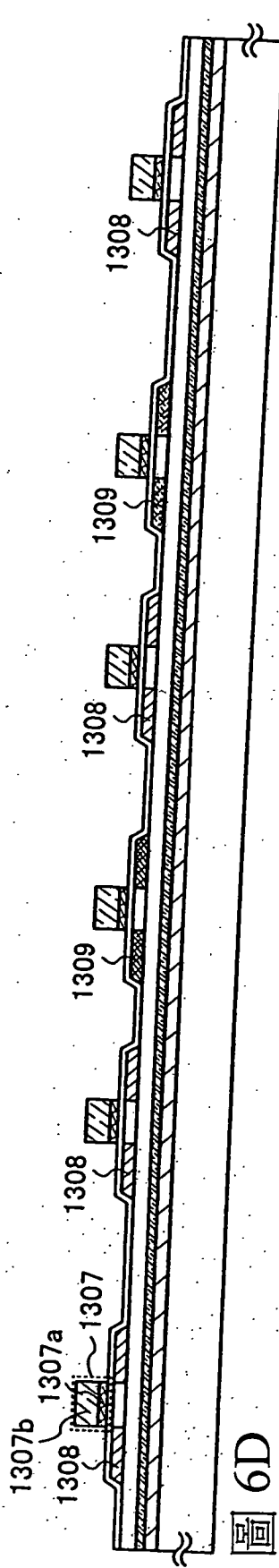
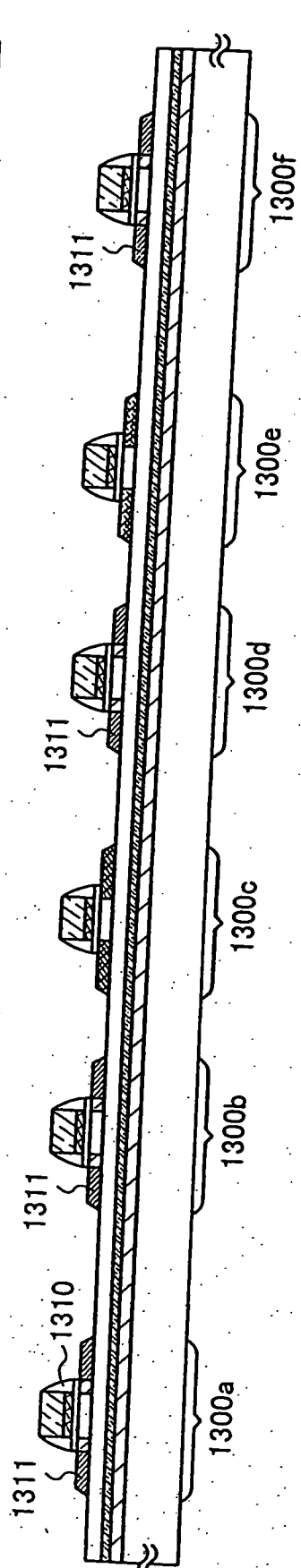


圖 6D



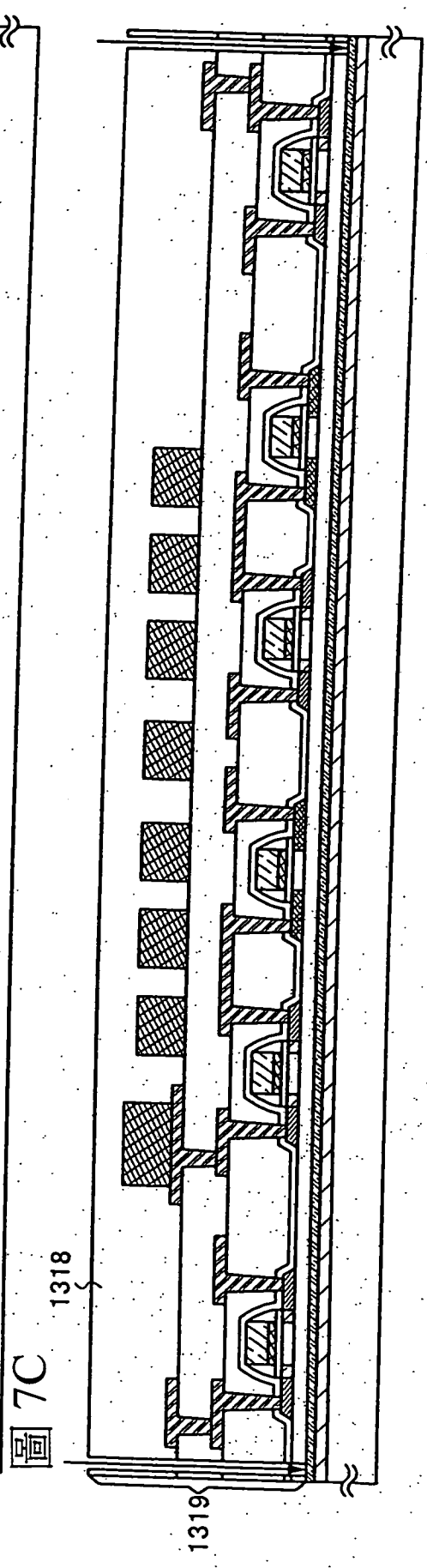
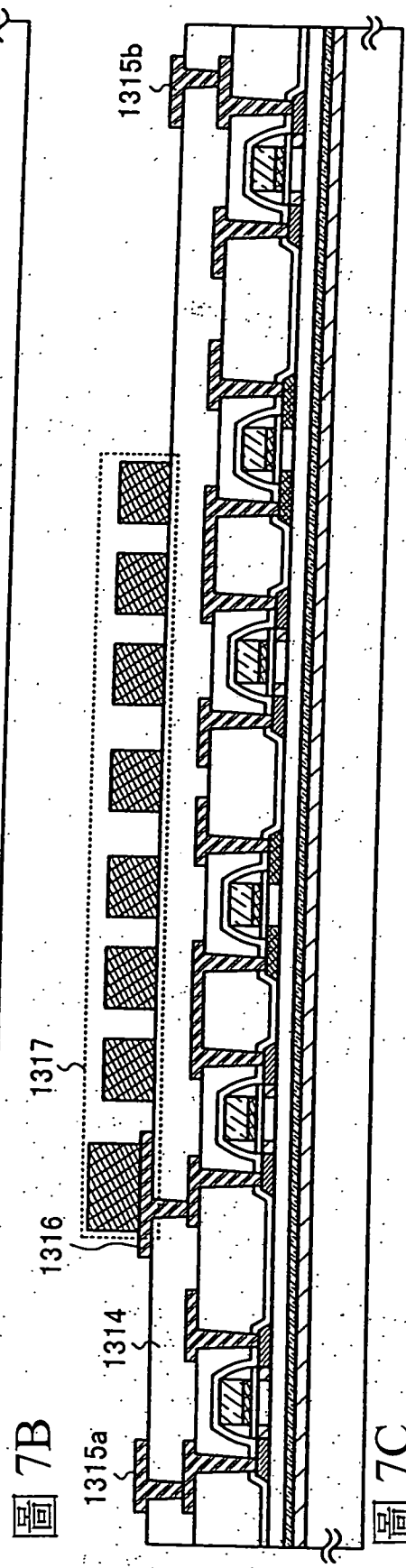
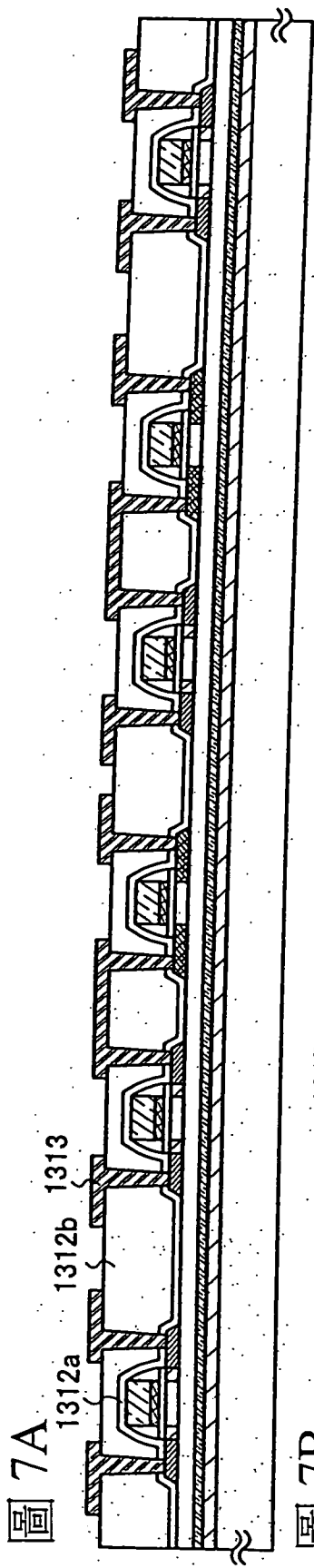


圖 8A

1320

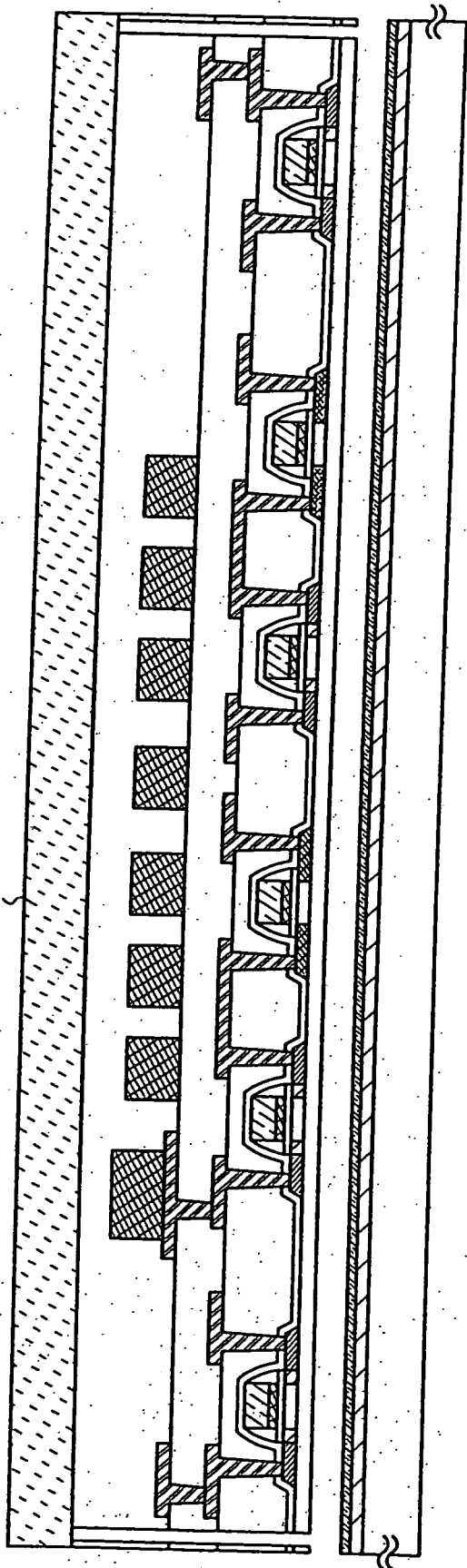


圖 8B

1321

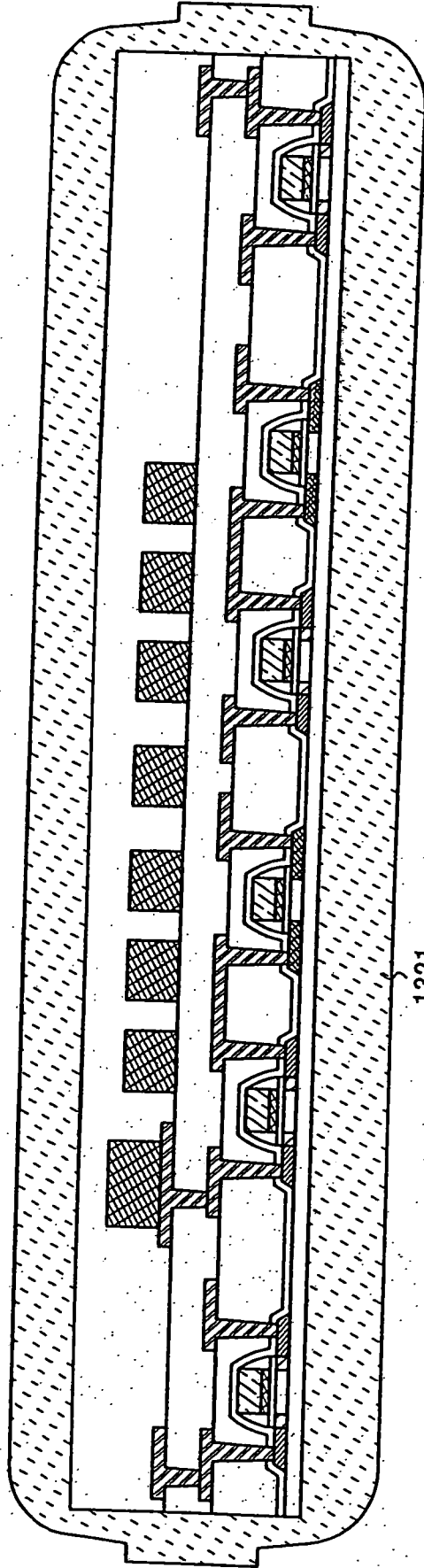


圖 9A

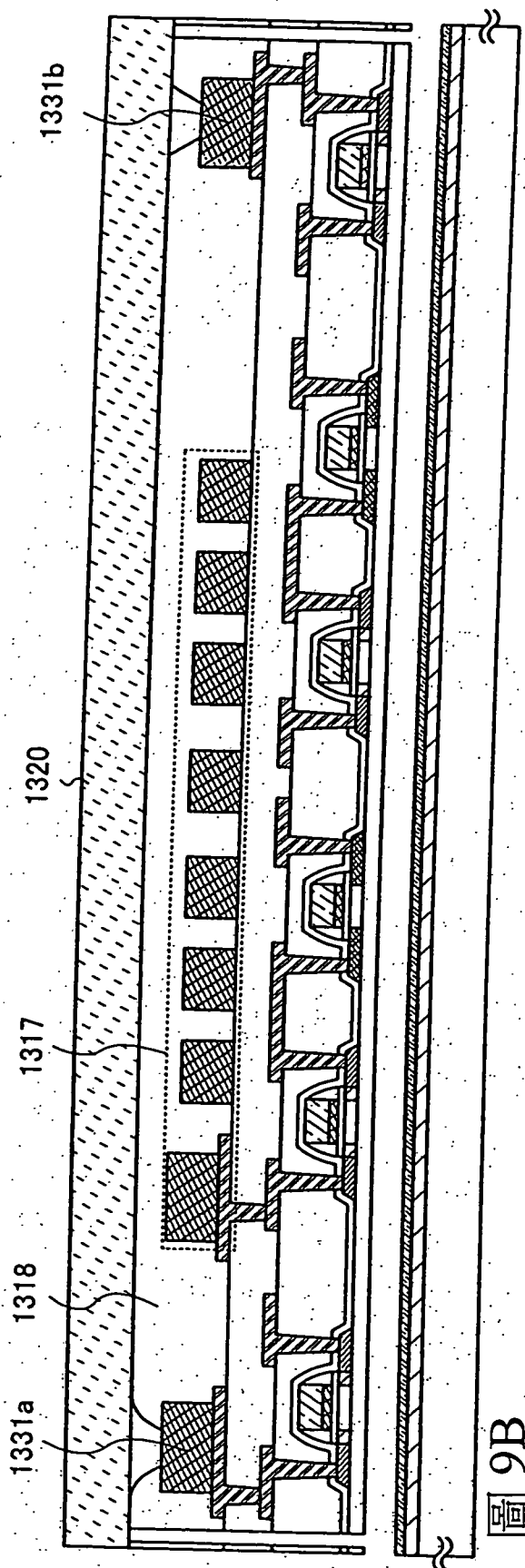


圖 9B

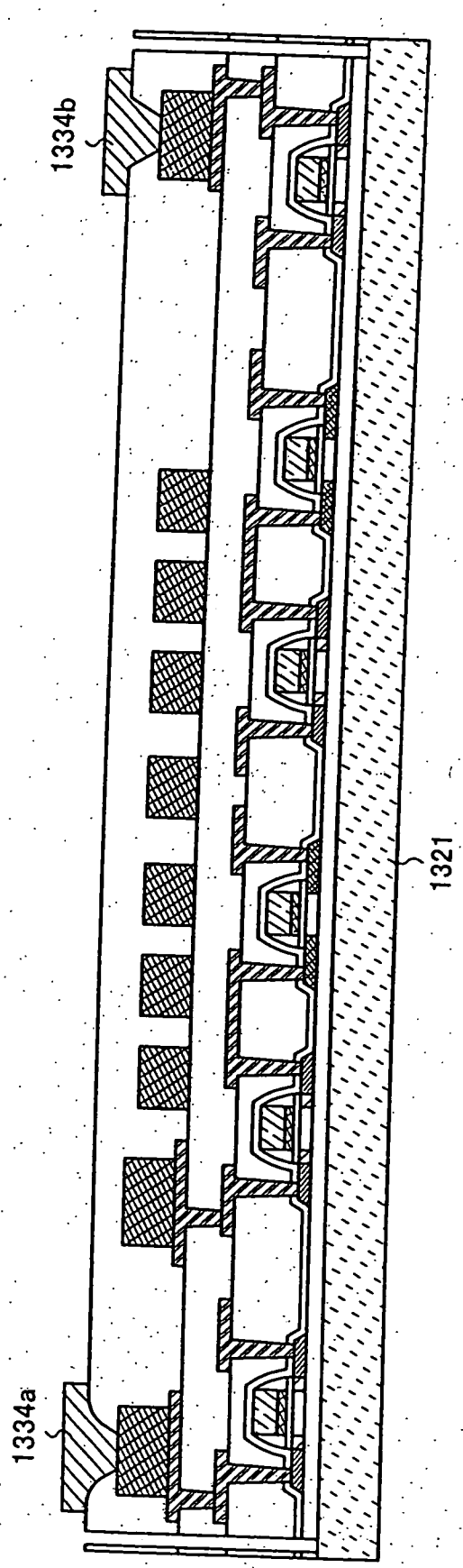


圖 10A

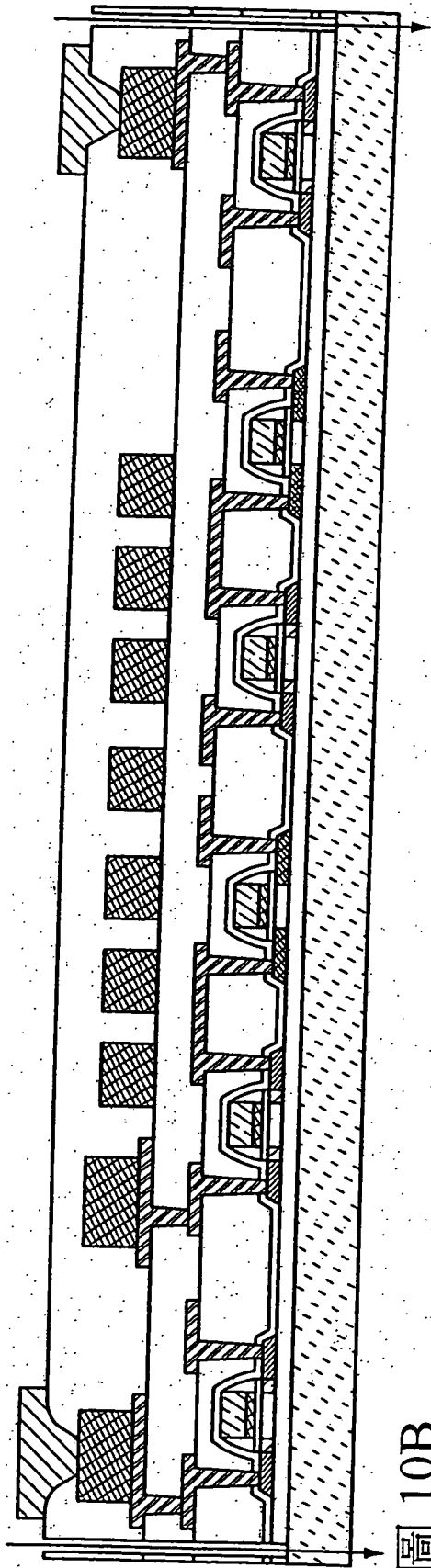


圖 10B

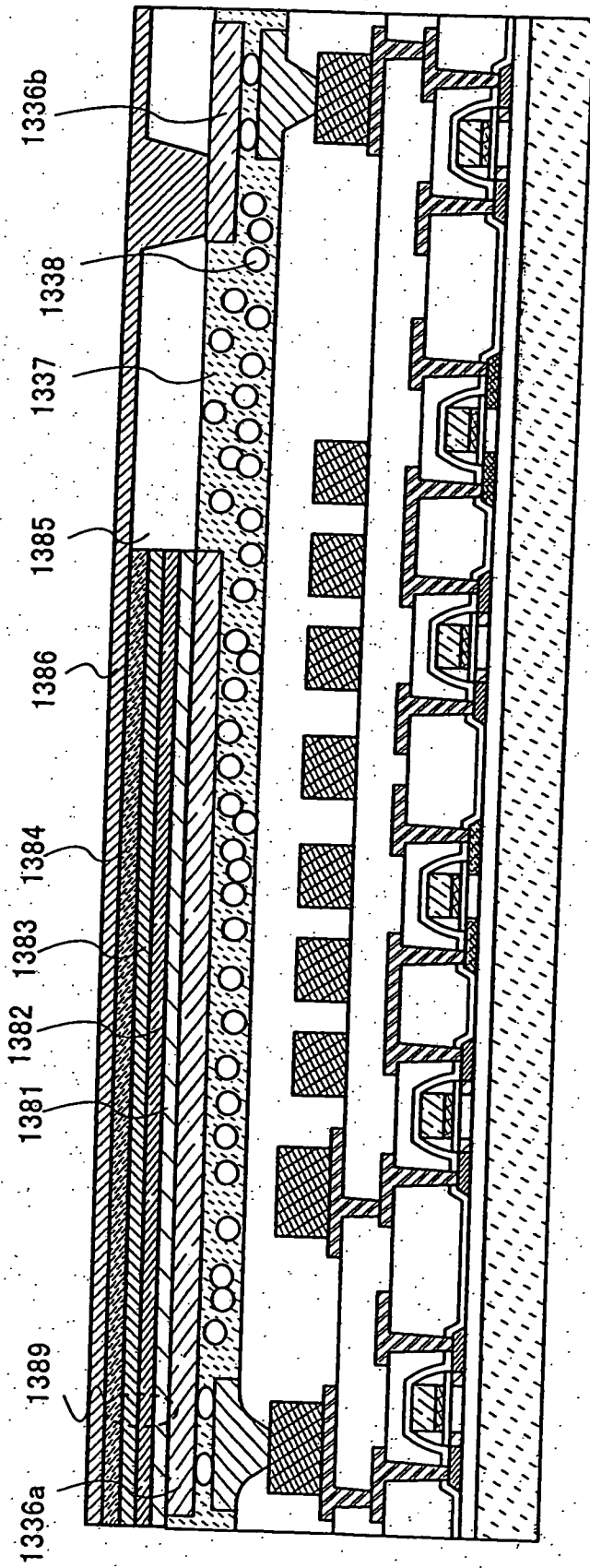


圖 11A

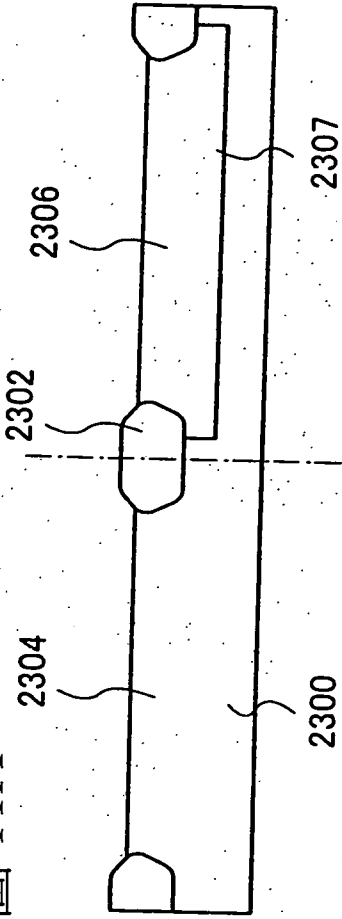


圖 11B

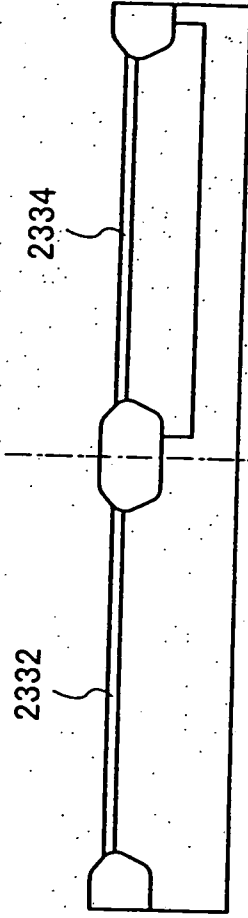


圖 11C

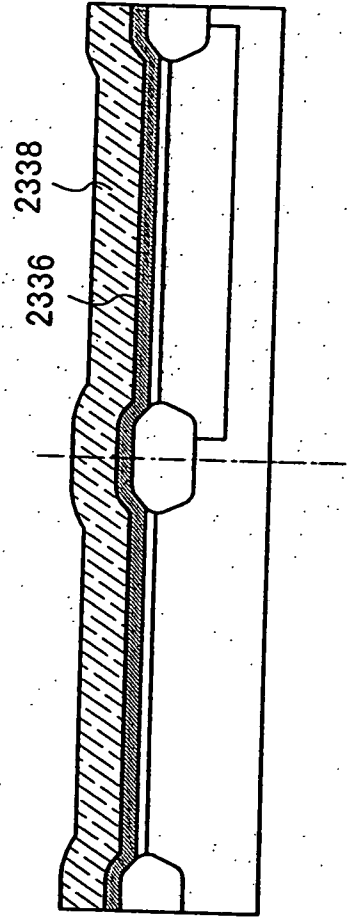


圖 12A 2340

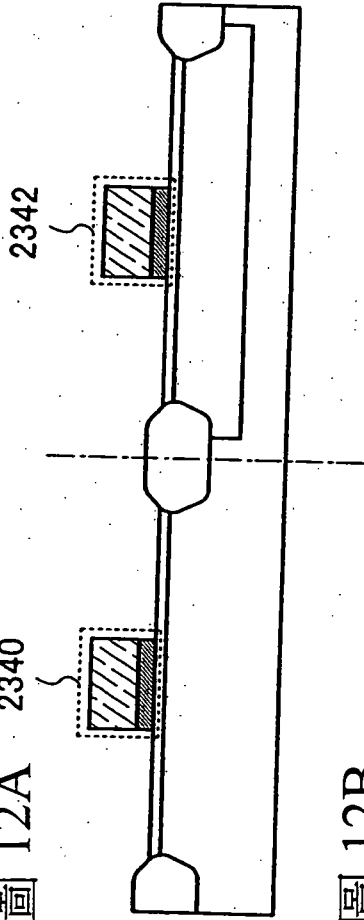


圖 12B

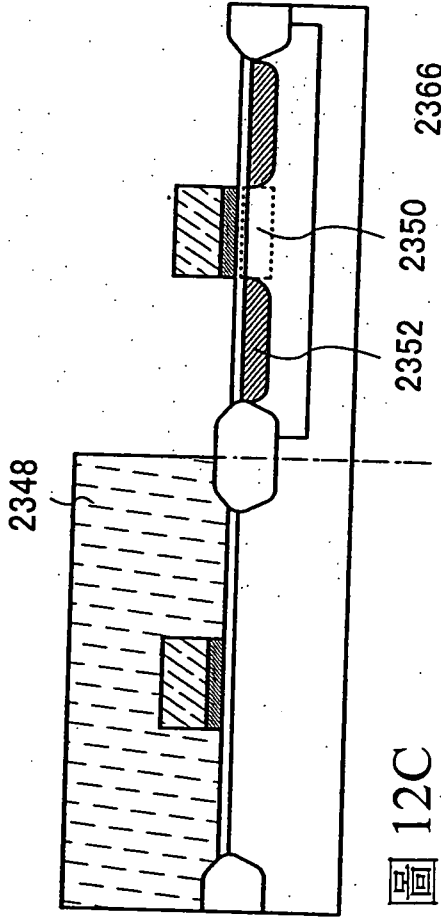


圖 12C

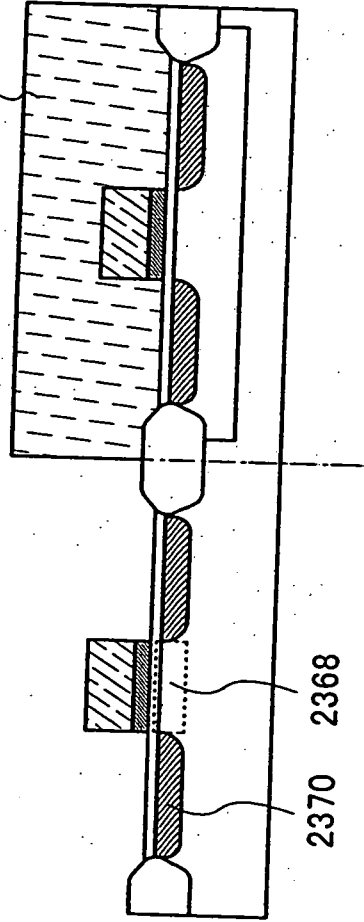


圖 13A

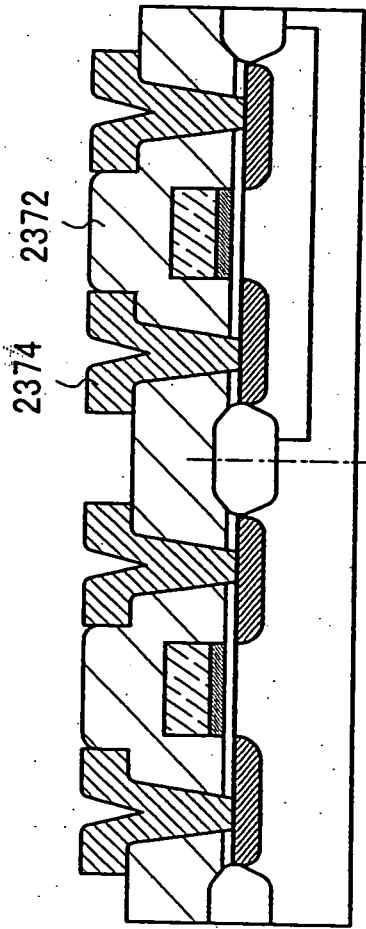


圖 13B

