

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 11/34

(11) 공개번호 특1997-0012706
(43) 공개일자 1997년03월29일

(21) 출원번호	특1996-0032321
(22) 출원일자	1996년08월02일
(30) 우선권주장	95-222698 1995년08월08일 일본(JP)
(71) 출원인	히다치세사쿠쇼 가부시카가이샤 가나이 츠토무
(72) 발명자	일본국 도쿄도 지요다구 간다 스루가다이 4-6 사카이 유지 일본국 도쿄도 호야시 야나기사와 3-4-10-306 오이시 간지 일본국 도쿄도 고가네이시 미도리초 5-16-38
(74) 대리인	백남기

심사청구 : 없음

(54) 반도체기억장치 및 동기 DRAM

요약

동기 DRAM에 관한 것으로써, 화상처리를 위한 데이터입출력을 고속으로 또 간단히 실행할 수 있게 하기 위해, 클럭신호에 동기해서 신호의 입력 또는 출력이 실행되며, 또한 적어도 2개의 메모리뱅크의 한쪽을 액세스하고 있는 사이에 다른쪽의 프리차지를 실행하는 것이 가능하게 된 동기 DRAM에 있어서, 버스트길이에 대응된 여러개의 메모리셀을 액세스할때 이러한 여러개로 이루어지는 메모리셀이 한쪽의 메모리뱅크와 다른쪽의 메모리뱅크에 걸쳐서 배치되어 있는 것을 검출했으면 한쪽의 메모리뱅크의 메모리셀에 대한 액세스에 이어서 다른쪽의 메모리뱅크의 메모리셀에 대한 커맨드와 어드레스신호를 내부에서 자동발생시켜서 연속적으로 데이터의 입력 또는 출력을 실행하게 한다. 상기에 의해, 화상처리를 위한 데이터입출력을 고속으로 또 간단히 실행할 수 있게 된다.

대표도

도1

명세서

[발명의 명칭]

반도체기억장치 및 동기 DRAM

[도면의 간단한 설명]

제1도는 본 발명에 관한 SDRAM의 1실시예를 도시한 블록도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

(57) 청구의 범위

청구항 1

클럭신호에 동기해서 신호의 입력 또는 출력이 실행되고, 또한 적어도 2개의 메모리뱅크를 갖고, 한쪽을 액세스하고 있는 동안에 다른쪽의 프리차지를 실행하는 것이 가능하게 된 동기 DRAM에 있어서, 버스트길이에 대응된 여러개의 메모리셀을 액세스할 때 이러한 여러개의 이루어지는 메모리셀이 상기 한쪽의 메모리뱅크와 다른쪽의 메모리뱅크에 걸쳐서 배치되어 있는지 배치되어 있지 않은지를 검출하고, 이러한 검출에 의해 상기 다른쪽의 메모리뱅크에 걸쳐서 메모리셀을 액세스할때 상기 한쪽의 메모리뱅크의 메모리셀에 대한 액세스에 이어서 상기 다른쪽의 메모리뱅크의 메모리셀에 대한 필요한 커맨드와 어드레스신호를 내부에서 자동발생시켜서 그 액세스를 실행하는 동기 DRAM.

청구항 2

제1항에 있어서, 상기 적어도 2개의 메모리뱅크와 외부단자 사이에서 데이터의 입출력을 실행하는 데이터 입출력회로 사이에는 시프트레지스터로 구성된 버퍼메모리가 마련되는 동기 DRAM.

청구항 3

제1항에 있어서, 상기 버스트길이에 대응된 여러개의 메모리셀은 1개의 화상처리에 의해 실행되는 데이터에 대응된 것으로써, 표시화면의 Y어드레스방향으로 컬럼어드레스가 할당되고, 한쪽의 메모리뱅크의 최종컬럼어드레스를 넘은 부분은 다른쪽의 메모리뱅크에 있어서의 소정의 로우어드레스에 대응한 컬럼어드레스가 할당되는 것으로고, 표시화면의 X어드레스방향으로 제1주사선에 있어서 화면의 좌측 절반이 한쪽의 메모리뱅크로 되고, 우측 절반이 다른쪽의 메모리뱅크로 될때 그것과 연속한 제2주사선에서는 화면의 좌측 절반이 상기 다른쪽의 메모리뱅크로 되고, 우측 절반이 상기 한쪽의 메모리뱅크로 되는 동기 DRAM.

청구항 4

1개의 반도체기판에 형성된 반도체기억장치로써, 상기 반도체기억장치는 소정의 메모리셀을 지시하는 로우어드레스신호 및 컬럼어드레스신호를 받고, 상기 로우어드레스신호 및 컬럼어드레스신호에 따라서 여러개의 데이터를 리드하고, 상기 여러개의 데이터는 상기 소정의 메모리셀에서 리드된 데이터를 포함하고, 상기 여러개의 데이터는 다른 어드레스번지가 할당된 여러개의 워드선에 결합된 여러개의 메모리셀에서 리드된 데이터인 반도체 기억장치.

청구항 5

제4항에 있어서, 상기 여러개의 데이터는 화면의 화소에 대응하는 데이터인 반도체기억장치.

청구항 6

제4항에 있어서, 상기 여러개의 데이터는 화면의 화소에 대응하는 블록 데이터인 반도체기억장치.

청구항 7

제4항에 있어서, 상기 여러개의 데이터는 화면의 화소에 대응하는 8화소×8화소분의 블록데이터인 반도체 기억장치.

청구항 8

제4항에 있어서, 상기 여러개의 데이터는 여러개의 메모리뱅크에 유지되어 있는 반도체기억장치.

청구항 9

제4항에 있어서, 상기 반도체기억장치는 클럭신호에 동기해서 동작하는 동기 DRAM인 반도체 기억장치.

청구항 10

1개의 반도체기판에 형성된 반도체기억장치로써, 상기 반도체 기억장치는 소정의 메모리셀을 지시하는 로우어드레스신호 및 컬럼어드레스신호를 받고, 상기 로우어드레스신호 및 컬럼어드레스신호에 따라서 다른 어드레스가 할당된 여러개의 워드선에 결합된 여러개의 메모리셀을 순차 액세스하기 위한 내부어드레스신호를 형성하는 어드레스연산회로를 포함하는 반도체기억장치.

청구항 11

제10항에 있어서, 상기 여러개의 메모리셀은 화면의 화소에 대응하는 데이터를 유지하는 반도체기억장치.

청구항 12

제10항에 있어서, 상기 여러개의 메모리셀은 화면의 화소에 대응하는 블록데이터를 유지하는 반도체기억장치.

청구항 13

제10항에 있어서, 상기 여러개의 메모리셀은 화면의 화소에 대응하는 8화소×8화소분의 블록데이터를 유지하는 반도체기억장치.

청구항 14

제10항에 있어서, 상기 여러개의 메모리셀은 여러개의 메모리뱅크에 유지되어 있는 반도체기억장치.

청구항 15

제10항에 있어서, 상기 반도체기억장치는 클럭신호에 동기해서 동작하는 동기 DRAM.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

