

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5618821号
(P5618821)

(45) 発行日 平成26年11月5日 (2014. 11. 5)

(24) 登録日 平成26年9月26日 (2014. 9. 26)

(51) Int. Cl.

F I

G 1 1 C 19/00 (2006. 01)
 G 1 1 C 19/28 (2006. 01)
 G 0 9 G 3/36 (2006. 01)
 G 0 9 G 3/20 (2006. 01)

G 1 1 C 19/00 C
 G 1 1 C 19/28 D
 G 1 1 C 19/00 J
 G 0 9 G 3/36
 G 0 9 G 3/20 6 2 2 E

請求項の数 9 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2010-293639 (P2010-293639)
 (22) 出願日 平成22年12月28日 (2010. 12. 28)
 (65) 公開番号 特開2012-142048 (P2012-142048A)
 (43) 公開日 平成24年7月26日 (2012. 7. 26)
 審査請求日 平成25年11月27日 (2013. 11. 27)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 落合 孝洋
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 後藤 充
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 東島 啓之
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 双方向シフトレジスタ及びこれを用いた画像表示装置

(57) 【特許請求の範囲】

【請求項 1】

N 段 (N は 6 以上の整数) に従属接続された単位レジスタ回路を含み、第 k 段 (k は 1
 k N なる整数) の出力パルス G (k) を順方向及び逆方向のいずれかのシフト順序で
 出力するシフトレジスタ部と、

M 相 (M は 3 以上の整数) のクロックパルスを、前記シフトレジスタ部の順シフト動作
 時には前記順方向で順番に、一方、逆シフト動作時には前記逆方向で順番に、それぞれ前
 記シフトレジスタ部の各段に供給するクロック信号生成部と、

前記順シフトの開始時及び前記逆シフトの垂直帰線期間に順方向トリガ信号を生成し、
 前記逆シフトの開始時及び前記順シフトの垂直帰線期間に逆方向トリガ信号を生成するト
 リガ信号生成部と、

を有し、

第 k 段の前記単位レジスタ回路は、順方向セット端子及び逆方向セット端子と、順方向
 リセット端子及び逆方向リセット端子と、前記セット端子のいずれかにセット信号を入力
 されると基準点の電位を第 1 電位に設定するセット回路と、前記リセット端子のいずれか
 にリセット信号を入力されると前記基準点の電位を第 2 電位に設定するリセット回路と、
 前記基準点が前記第 1 電位である状態では、入力される前記クロックパルスに同期して前
 記出力パルス G (k) を出力する出力回路と、を備え、

f , b , f 及び b を $f < b < M$ かつ $b < f < M$ なる自然数として、

第 k 段の前記セット回路は、前記順方向セット端子に出力パルス G (k - f) (但し

10

20

$k > f$)又は前記順方向トリガ信号(但し $k = f$)を、一方、前記逆方向セット端子に出力パルス $G(k + b)$ (但し $k = N - b$)又は前記逆方向トリガ信号(但し $k > N - b$)を、それぞれ前記セット信号として入力され、

第 k 段の前記リセット回路は、前記順方向リセット端子に出力パルス $G(k + f)$ (但し $k = N - f$)又は前記順方向トリガ信号(但し $k > N - f$)を、一方、前記逆方向リセット端子に出力パルス $G(k - b)$ (但し $k > b$)又は前記逆方向トリガ信号(但し $k = b$)をそれぞれ前記リセット信号として入力されること、

を特徴とする双方向シフトレジスタ。

【請求項 2】

請求項 1 に記載の双方向シフトレジスタにおいて、

前記トリガ信号生成部は、前記順シフト動作時には前記出力パルス $G(N)$ が出力された直後のクロック f 相分の期間に前記逆方向トリガ信号を生成し、前記逆シフト動作時には前記出力パルス $G(1)$ が出力された直後のクロック b 相分の期間に前記順方向トリガ信号を生成すること、

を特徴とする双方向シフトレジスタ。

【請求項 3】

請求項 1 に記載の双方向シフトレジスタにおいて、

前記トリガ信号生成部は、前記順シフト動作時には前記出力パルス $G(N)$ が出力される直前のクロック f 相分の期間に前記逆方向トリガ信号を生成し、前記逆シフト動作時には前記出力パルス $G(1)$ が出力される直前のクロック b 相分の期間に前記順方向トリガ信号を生成すること、

を特徴とする双方向シフトレジスタ。

【請求項 4】

請求項 1 に記載の双方向シフトレジスタにおいて、

前記順方向トリガ信号の電位及び前記逆方向トリガ信号の電位は、前記クロックパルスの電位よりも高いこと、

を特徴とする双方向シフトレジスタ。

【請求項 5】

請求項 1 に記載の双方向シフトレジスタにおいて、

第 k 段の前記セット回路は、前記順方向セット端子に前記セット信号を入力されるとオンして前記基準点の電位を前記第 1 電位に設定する第 1 の順方向スイッチと、前記逆方向セット端子に前記セット信号を入力されるとオンして前記基準点の電位を前記第 1 電位に設定する第 1 の逆方向スイッチと、を含み、

第 k 段の前記リセット回路は、前記順方向リセット端子に前記リセット信号を入力されるとオンして前記基準点の電位を前記第 2 電位に設定する第 2 の順方向スイッチと、前記逆方向リセット端子に前記リセット信号を入力されるとオンして前記基準点の電位を前記第 2 電位に設定する第 2 の逆方向スイッチと、を含むこと、

を特徴とする双方向シフトレジスタ。

【請求項 6】

請求項 5 に記載の双方向シフトレジスタにおいて、

第 1 段乃至第 f 段の前記セット回路に含まれる前記第 1 の順方向スイッチは、前記順方向セット端子にゲート端子を接続されたダブルゲート構造のトランジスタであり、

第 1 段乃至第 b 段の前記リセット回路に含まれる前記第 2 の逆方向スイッチは、前記逆方向リセット端子にゲート端子を接続されたダブルゲート構造のトランジスタであり、

第 $(N - b + 1)$ 段乃至第 N 段の前記セット回路に含まれる前記第 1 の逆方向スイッチは、前記逆方向セット端子にゲート端子を接続されたダブルゲート構造のトランジスタであり、

第 $(N - f + 1)$ 乃至第 N 段の前記リセット回路に含まれる前記第 2 の順方向スイッチは、前記順方向リセット端子にゲート端子を接続されたダブルゲート構造のトランジスタであること、

10

20

30

40

50

を特徴とする双方向シフトレジスタ。

【請求項 7】

請求項 5 に記載の双方向シフトレジスタにおいて、

前記トリガ信号生成部は、さらに、前記順シフトの開始時及び前記逆シフト動作時の所定タイミングで順方向補助トリガ信号を生成し、前記逆シフトの開始時及び前記順シフト動作時の所定タイミングで逆方向補助トリガ信号を生成し、

第 1 段乃至第 f 段の前記セット回路に含まれる前記第 1 の順方向スイッチは、前記順方向セット端子にゲート端子及びドレイン端子を接続された第 1 の順方向セットトランジスタと、前記順方向補助トリガ信号がゲート端子に入力され前記第 1 の順方向セットトランジスタのソース端子にドレイン端子を接続され前記基準点にソース端子を接続された第 2 の順方向セットトランジスタと、を備え、

10

第 1 段乃至第 b 段の前記リセット回路に含まれる前記第 2 の逆方向スイッチは、前記逆方向補助トリガ信号がゲート端子に入力され前記基準点にドレイン端子を接続された第 1 の逆方向リセットトランジスタと、前記逆方向リセット端子にゲート端子を接続され前記第 1 の逆方向リセットトランジスタのソース端子にドレイン端子を接続され前記第 2 電位の電源にソース端子を接続された第 2 の逆方向リセットトランジスタと、を備え、

第 $(N - b + 1)$ 段乃至第 N 段の前記セット回路に含まれる前記第 1 の逆方向スイッチは、前記逆方向セット端子にゲート端子及びドレイン端子を接続された第 1 の逆方向セットトランジスタと、前記逆方向補助トリガ信号がゲート端子に入力され前記第 1 の逆方向セットトランジスタのソース端子にドレイン端子を接続され前記基準点にソース端子を接続された第 2 の逆方向セットトランジスタと、を備え、

20

第 $(N - f + 1)$ 乃至第 N 段の前記リセット回路に含まれる前記第 2 の順方向スイッチは、前記順方向補助トリガ信号がゲート端子に入力され前記基準点にドレイン端子を接続された第 1 の順方向リセットトランジスタと、前記順方向リセット端子にゲート端子を接続され前記第 1 の順方向リセットトランジスタのソース端子にドレイン端子を接続され前記第 2 電位の電源にソース端子を接続された第 2 の順方向リセットトランジスタと、を備えること、

を特徴とする双方向シフトレジスタ。

【請求項 8】

請求項 7 に記載の双方向シフトレジスタにおいて、

30

第 1 段乃至第 f 段の前記セット回路に含まれる前記第 1 の順方向スイッチは、前記第 1 の順方向セットトランジスタのソース端子と前記第 2 の順方向セットトランジスタのドレイン端子とが接続されるノードの電位を他段の出力パルスに応じて前記第 2 電位に設定するスイッチ、をさらに備え、

第 1 段乃至第 b 段の前記リセット回路に含まれる前記第 2 の逆方向スイッチは、前記第 1 の逆方向リセットトランジスタのソース端子と前記第 2 の逆方向リセットトランジスタのドレイン端子とが接続されるノードの電位を他段の出力パルスに応じて前記第 2 電位に設定するスイッチ、をさらに備え、

第 $(N - b + 1)$ 段乃至第 N 段の前記セット回路に含まれる前記第 1 の逆方向スイッチは、前記第 1 の逆方向セットトランジスタのソース端子と前記第 2 の逆方向セットトランジスタのドレイン端子とが接続されるノードの電位を他段の出力パルスに応じて前記第 2 電位に設定するスイッチ、をさらに備え、

40

第 $(N - f + 1)$ 乃至第 N 段の前記リセット回路に含まれる前記第 2 の順方向スイッチは、前記第 1 の順方向リセットトランジスタのソース端子と前記第 2 の順方向リセットトランジスタのドレイン端子とが接続されるノードの電位を他段の出力パルスに応じて前記第 2 電位に設定するスイッチ、をさらに備えること、

を特徴とする双方向シフトレジスタ。

【請求項 9】

複数の走査線に対応してマトリクス状に配置された複数の画素回路と、

前記走査線ごとに設けられ、前記画素回路への映像データの書き込みを制御するゲート

50

信号を供給する複数のゲート信号線と、

請求項 1 から請求項 8 のいずれか 1 つに記載の双方向シフトレジスタを用い、前記複数のゲート信号線それぞれへの前記ゲート信号を、前記シフトレジスタ部の複数段のうち当該ゲート信号線に対応付けられた段から出力される前記出力パルスに基づいて生成するゲート信号線駆動回路と、

を有することを特徴とする画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パルスの出力順序を切り替えることができる双方向シフトレジスタ、及びこれを
10 用いて走査線ごとの駆動を行う画像表示装置に関する。

【背景技術】

【0002】

画像表示装置の高解像度化は、その表示部の画素の配列密度の向上により実現される。それと共に画素回路に信号を供給する各種信号線の配列の配列ピッチは狭くなる。画素の走査線に対応して設けられるゲート線は、表示領域の側部にてゲート線駆動回路に接続される。ゲート線駆動回路は、画素回路へのデータの書き込みを可能とする電圧を走査線ごとに順番に出力するシフトレジスタを備える。高解像度化に伴い、当該シフトレジスタの各段を構成する単位レジスタ回路の縮小も求められる。

【0003】

通常、ゲート線への電圧は、垂直走査方向における画像データの入力順序に対応させて、画像の上から下へ向けた順番で片方向（順方向）に印加される。シフトレジスタを双方向に（順方向だけでなく逆方向にも）駆動可能とすれば、下から上へ向けた走査線の順番で入力画像データを画素回路に書き込むことができる。これにより画像データをバッファするフレームメモリ等を設けてそこで画像データの順序を変えろといった構成に比べて簡易な仕組みで、表示する画像の向きを変えることができる。

【0004】

ゲート線駆動回路等に用いられるシフトレジスタは、従属接続された複数段の単位レジスタ回路からなり、基本的にその単位レジスタ回路列の一方端から他方端へ各段の単位レジスタ回路が順番にパルスを 1 回出力する動作を垂直走査等に連動して行う。

【0005】

図 17 は、単位レジスタ回路の基本構成を示す回路図である（特許文献 1 参照）。第 n 段の単位レジスタ回路の出力端子（ $GOUT[n]$ ）とクロック信号源 CK との間には、出力トランジスタ $M1$ が、また端子（ $GOUT[n]$ ）と電源 V_{OFF} との間にはトランジスタ $M2$ が接続される。図 18 は、単位レジスタ回路の動作を説明する信号波形図である（特許文献 1 参照）。単位レジスタ回路に前段の出力パルス $GOUT[n-1]$ が入力されると、 $M1$ のゲートにつながるノード $N3$ （キャパシタ C の一方端）の電位は電源 V_{ON} に接続され、トランジスタをオンする電位である $High(H)$ レベルに引き上げられる。また、 $N3$ が H レベルのとき、ノード $N4$ は電源 V_{OFF} に接続されてトランジスタをオフする電位である $Low(L)$ レベルに設定され、 $M2$ はオフ状態となる。このようにして、単位レジスタ回路はセット状態とされ、この状態でクロック信号 $CKV(CK)$ が L レベルから H レベルに遷移すると、 $M1$ のソース - ゲート間に接続されたキャパシタ C を介して $N3$ の電位がさらに上昇し、クロック信号 CKV の H レベルが出力 $GOUT[n]$ に現れる。

【0006】

一方、クロック信号 CKV の H レベルから L レベルへの遷移では、 $N3$ の電位は低下し、また出力 $GOUT[n]$ の電圧も低下する。このとき、第 $(n+1)$ 段へのクロック信号 $CKVB$ の立ち上がり連動して、後段の出力信号 $GOUT[n+1]$ にパルスが生成され第 n 段の単位レジスタ回路に入力される。 $GOUT[n+1]$ のパルスは $N3$ の電位を引き下げると共に、 $N4$ の電位を引き上げて $M2$ をオン状態とし、出力端子を V_{OFF}

10

20

30

40

50

に接続する。これらの動作により、出力信号 $GOUT[n]$ のパルスの出力が終了する。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2004-157508号公報

【特許文献2】特開2009-272037号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

双方向の駆動を実現するために、順方向駆動時に用いる構成及び逆方向駆動時に用いる構成の両方を単位レジスタ回路に設け、さらにそれらを切り替えるスイッチ素子を当該単位レジスタ回路に内蔵することが行われる。

【0009】

しかしながら、そのような単位レジスタ回路を採用する双方向シフトレジスタを連続して片方向駆動させると、上記スイッチ素子のしきい値電圧が負方向にシフトして、動作が不安定になることがある。

【0010】

本発明は上記課題を解決するためになされたものであり、安定したシフト動作を双方向に行うことができる双方向シフトレジスタ及びそれを用いた画像表示装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記課題を解決するために、本発明に係る双方向シフトレジスタは、 N 段（ N は6以上の整数）に従属接続された単位レジスタ回路を含み、第 k 段（ k は1 k N なる整数）の出力パルス $G(k)$ を順方向及び逆方向のいずれかのシフト順序で出力するシフトレジスタ部と、 M 相（ M は3以上の整数）のクロックパルスを、前記シフトレジスタ部の順シフト動作時には前記順方向で順番に、一方、逆シフト動作時には前記逆方向で順番に、それぞれ前記シフトレジスタ部の各段に供給するクロック信号生成部と、前記順シフトの開始時及び前記逆シフトの垂直帰線期間に順方向トリガ信号を生成し、前記逆シフトの開始時及び前記順シフトの垂直帰線期間に逆方向トリガ信号を生成するトリガ信号生成部と、を有し、第 k 段の前記単位レジスタ回路は、順方向セット端子及び逆方向セット端子と、順方向リセット端子及び逆方向リセット端子と、前記セット端子のいずれかにセット信号を入力されると基準点の電位を第1電位に設定するセット回路と、前記リセット端子のいずれかにリセット信号を入力されると前記基準点の電位を第2電位に設定するリセット回路と、前記基準点が前記第1電位である状態では、入力される前記クロックパルスに同期して前記出力パルス $G(k)$ を出力する出力回路と、を備え、 f 、 b 、 f 及び b を $f < b < M$ かつ $b < f < M$ なる自然数として、第 k 段の前記セット回路は、前記順方向セット端子に出力パルス $G(k - f)$ （但し $k > f$ ）又は前記順方向トリガ信号（但し $k \leq f$ ）を、一方、前記逆方向セット端子に出力パルス $G(k + b)$ （但し $k \leq N - b$ ）又は前記逆方向トリガ信号（但し $k > N - b$ ）を、それぞれ前記セット信号として入力され、第 k 段の前記リセット回路は、前記順方向リセット端子に出力パルス $G(k + f)$ （但し $k \leq N - f$ ）又は前記順方向トリガ信号（但し $k > N - f$ ）を、一方、前記逆方向リセット端子に出力パルス $G(k - b)$ （但し $k > b$ ）又は前記逆方向トリガ信号（但し $k \leq b$ ）をそれぞれ前記リセット信号として入力される。

【0012】

本発明の一態様では、前記トリガ信号生成部は、前記順シフト動作時には前記出力パルス $G(N)$ が出力された直後のクロック f 相分の期間に前記逆方向トリガ信号を生成し、前記逆シフト動作時には前記出力パルス $G(1)$ が出力された直後のクロック b 相分の期間に前記順方向トリガ信号を生成する。

【0013】

10

20

30

40

50

本発明の他の一態様では、前記トリガ信号生成部は、前記順シフト動作時には前記出力パルス $G(N)$ が出力される直前のクロック f 相分の期間に前記逆方向トリガ信号を生成し、前記逆シフト動作時には前記出力パルス $G(1)$ が出力される直前のクロック b 相分の期間に前記順方向トリガ信号を生成する。

【0014】

本発明の他の一態様では、前記順方向トリガ信号の電位及び前記逆方向トリガ信号の電位は、前記クロックパルスの電位よりも高い。

【0015】

本発明の他の一態様では、第 k 段の前記セット回路は、前記順方向セット端子に前記セット信号を入力されるとオンして前記基準点の電位を前記第 1 電位に設定する第 1 の順方向スイッチと、前記逆方向セット端子に前記セット信号を入力されるとオンして前記基準点の電位を前記第 1 電位に設定する第 1 の逆方向スイッチと、を含み、第 k 段の前記リセット回路は、前記順方向リセット端子に前記リセット信号を入力されるとオンして前記基準点の電位を前記第 2 電位に設定する第 2 の順方向スイッチと、前記逆方向リセット端子に前記リセット信号を入力されるとオンして前記基準点の電位を前記第 2 電位に設定する第 2 の逆方向スイッチと、を含む。

【0016】

本発明の他の一態様では、第 1 段乃至第 f 段の前記セット回路に含まれる前記第 1 の順方向スイッチは、前記順方向セット端子にゲート端子を接続されたダブルゲート構造のトランジスタであり、第 1 段乃至第 b 段の前記リセット回路に含まれる前記第 2 の逆方向スイッチは、前記逆方向リセット端子にゲート端子を接続されたダブルゲート構造のトランジスタであり、第 $(N - b + 1)$ 段乃至第 N 段の前記セット回路に含まれる前記第 1 の逆方向スイッチは、前記逆方向セット端子にゲート端子を接続されたダブルゲート構造のトランジスタであり、第 $(N - f + 1)$ 乃至第 N 段の前記リセット回路に含まれる前記第 2 の順方向スイッチは、前記順方向リセット端子にゲート端子を接続されたダブルゲート構造のトランジスタである。

【0017】

本発明の他の一態様では、前記トリガ信号生成部は、さらに、前記順シフトの開始時及び前記逆シフト動作時の所定タイミングで順方向補助トリガ信号を生成し、前記逆シフトの開始時及び前記順シフト動作時の所定タイミングで逆方向補助トリガ信号を生成し、第 1 段乃至第 f 段の前記セット回路に含まれる前記第 1 の順方向スイッチは、前記順方向セット端子にゲート端子及びドレイン端子を接続された第 1 の順方向セットトランジスタと、前記順方向補助トリガ信号がゲート端子に入力され前記第 1 の順方向セットトランジスタのソース端子にドレイン端子を接続され前記基準点にソース端子を接続された第 2 の順方向セットトランジスタと、を備え、第 1 段乃至第 b 段の前記リセット回路に含まれる前記第 2 の逆方向スイッチは、前記逆方向補助トリガ信号がゲート端子に入力され前記基準点にドレイン端子を接続された第 1 の逆方向リセットトランジスタと、前記逆方向リセット端子にゲート端子を接続され前記第 1 の逆方向リセットトランジスタのソース端子にドレイン端子を接続され前記第 2 電位の電源にソース端子を接続された第 2 の逆方向リセットトランジスタと、を備え、第 $(N - b + 1)$ 段乃至第 N 段の前記セット回路に含まれる前記第 1 の逆方向スイッチは、前記逆方向セット端子にゲート端子及びドレイン端子を接続された第 1 の逆方向セットトランジスタと、前記逆方向補助トリガ信号がゲート端子に入力され前記第 1 の逆方向セットトランジスタのソース端子にドレイン端子を接続され前記基準点にソース端子を接続された第 2 の逆方向セットトランジスタと、を備え、第 $(N - f + 1)$ 乃至第 N 段の前記リセット回路に含まれる前記第 2 の順方向スイッチは、前記順方向補助トリガ信号がゲート端子に入力され前記基準点にドレイン端子を接続された第 1 の順方向リセットトランジスタと、前記順方向リセット端子にゲート端子を接続され前記第 1 の順方向リセットトランジスタのソース端子にドレイン端子を接続され前記第 2 電位の電源にソース端子を接続された第 2 の順方向リセットトランジスタと、を備える。

10

20

30

40

50

【 0 0 1 8 】

この態様では、第 1 段乃至第 f 段の前記セット回路に含まれる前記第 1 の順方向スイッチは、前記第 1 の順方向セットトランジスタのソース端子と前記第 2 の順方向セットトランジスタのドレイン端子とが接続されるノードの電位を他段の出力パルスに応じて前記第 2 電位に設定するスイッチ、をさらに備え、第 1 段乃至第 b 段の前記リセット回路に含まれる前記第 2 の逆方向スイッチは、前記第 1 の逆方向リセットトランジスタのソース端子と前記第 2 の逆方向リセットトランジスタのドレイン端子とが接続されるノードの電位を他段の出力パルスに応じて前記第 2 電位に設定するスイッチ、をさらに備え、第 $(N - b + 1)$ 段乃至第 N 段の前記セット回路に含まれる前記第 1 の逆方向スイッチは、前記第 1 の逆方向セットトランジスタのソース端子と前記第 2 の逆方向セットトランジスタのドレイン端子とが接続されるノードの電位を他段の出力パルスに応じて前記第 2 電位に設定するスイッチ、をさらに備え、第 $(N - f + 1)$ 乃至第 N 段の前記リセット回路に含まれる前記第 2 の順方向スイッチは、前記第 1 の順方向リセットトランジスタのソース端子と前記第 2 の順方向リセットトランジスタのドレイン端子とが接続されるノードの電位を他段の出力パルスに応じて前記第 2 電位に設定するスイッチ、をさらに備えてもよい。

10

【 0 0 1 9 】

本発明に係る画像表示装置は、複数の走査線に対応してマトリクス状に配置された複数の画素回路と、前記走査線ごとに設けられ、前記画素回路への映像データの書き込みを制御するゲート信号を供給する複数のゲート信号線と、上記双方向シフトレジスタを用い、前記複数のゲート信号線それぞれへの前記ゲート信号を、前記シフトレジスタ部の複数段のうち当該ゲート信号線に対応付けられた段から出力される前記出力パルスに基づいて生成するゲート信号線駆動回路と、を有する。

20

【発明の効果】

【 0 0 2 0 】

本発明によれば、安定したシフト動作を双方向に行うことができる双方向シフトレジスタ及びそれを用いた画像表示装置が得られる。

【図面の簡単な説明】

【 0 0 2 1 】

【図 1】実施形態 1, 2 に係る画像表示装置の構成を示す模式図である。

30

【図 2】実施形態 1, 2 に係る双方向シフトレジスタの構成を示す模式図である。

【図 3】実施形態 1 に係る双方向シフトレジスタの第 n 段の単位レジスタ回路の回路図である。

【図 4】実施形態 1 に係る双方向シフトレジスタの順シフト動作における各種信号波形の一例を示すタイミング図である。

【図 5】実施形態 1 に係る双方向シフトレジスタの逆シフト動作における各種信号波形の一例を示すタイミング図である。

【図 6】実施形態 1 に係る双方向シフトレジスタの順シフト動作における各種信号波形の一例を示すタイミング図である。

【図 7】実施形態 1 に係る双方向シフトレジスタの逆シフト動作における各種信号波形の一例を示すタイミング図である。

40

【図 8】実施形態 1 に係る双方向シフトレジスタの順シフト動作における各種信号波形の他の一例を示すタイミング図である。

【図 9】実施形態 1 に係る双方向シフトレジスタの逆シフト動作における各種信号波形の他の一例を示すタイミング図である。

【図 10】実施形態 1 に係る双方向シフトレジスタの順シフト動作における各種信号波形の他の一例を示すタイミング図である。

【図 11】実施形態 1 に係る双方向シフトレジスタの逆シフト動作における各種信号波形の他の一例を示すタイミング図である。

【図 12 A】実施形態 2 に係る双方向シフトレジスタの第 1 段の単位レジスタ回路の回路

50

図である。

【図 1 2 B】実施形態 2 に係る双方向シフトレジスタの第 3 段の単位レジスタ回路の回路図である。

【図 1 2 C】実施形態 2 に係る双方向シフトレジスタの第 n 段の単位レジスタ回路の回路図である。

【図 1 2 D】実施形態 2 に係る双方向シフトレジスタの第 $(n + 2)$ 段の単位レジスタ回路の回路図である。

【図 1 2 E】実施形態 2 に係る双方向シフトレジスタの第 $(n + 4)$ 段の単位レジスタ回路の回路図である。

【図 1 3】実施形態 2 に係る双方向シフトレジスタの順シフト動作における各種信号波形の一例を示すタイミング図である。 10

【図 1 4】実施形態 2 に係る双方向シフトレジスタの逆シフト動作における各種信号波形の一例を示すタイミング図である。

【図 1 5 A】図 1 2 A に示す構造 A 1 の変形例を示す図である。

【図 1 5 B】図 1 2 A 及び図 1 2 B に示す構造 A 9 の変形例を示す図である。

【図 1 5 C】図 1 2 E に示す構造 B 1 の変形例を示す図である。

【図 1 5 D】図 1 2 D 及び図 1 2 E に示す構造 B 9 の変形例を示す図である。

【図 1 6 A】図 1 5 A に示す構造の変形例を示す図である。

【図 1 6 B】図 1 5 B に示す構造の変形例を示す図である。

【図 1 6 C】図 1 5 C に示す構造の変形例を示す図である。 20

【図 1 6 D】図 1 5 D に示す構造の変形例を示す図である。

【図 1 7】従来の単位レジスタ回路の構成を示す回路図である。

【図 1 8】従来の単位レジスタ回路の動作を説明する信号波形図である。

【発明を実施するための形態】

【0022】

以下、本発明の実施形態 1, 2 を図面に基づいて説明する。

【0023】

図 1 は、実施形態 1, 2 に係る画像表示装置 10 の構成を示す模式図である。画像表示装置 10 は、例えば液晶ディスプレイなどである。画像表示装置 10 は、複数の画素回路 12、ゲート線駆動回路 14、データ線駆動回路 16 及び制御回路 18 を有する。 30

【0024】

画素回路 12 は、画素に対応して表示部にマトリクス状に配列される。

【0025】

ゲート線駆動回路 14 には、複数のゲート信号線 20 が接続される。各ゲート信号線 20 には、水平方向（行方向）に並ぶ複数の画素回路 12 が接続される。ゲート線駆動回路 14 は、ゲート信号線 20 に順番にゲート信号を出力し、当該ゲート信号線 20 に接続される画素回路 12 をデータ書き込み可能にする。

【0026】

データ線駆動回路 16 には、複数のデータ線 22 が接続される。各データ線 22 には、垂直方向（列方向）に並ぶ複数の画素回路 12 が接続される。データ線駆動回路 16 は、1 走査線分の画像データをデータ線 22 に出力する。各データ線 22 に出力されたデータは、ゲート信号により書き込み可能とされている画素回路 12 に書き込まれ、各画素回路 12 は書き込まれたデータに応じて画素から出射される光の量を制御する。 40

【0027】

制御回路 18 は、ゲート線駆動回路 14 及びデータ線駆動回路 16 の動作を制御する。

【0028】

画像表示装置 10 は、ゲート線駆動回路 14 として表示部の左側部に配置されるゲート線駆動回路 14 L と、右側部に配置されるゲート線駆動回路 14 R と、を備える。ゲート線駆動回路 14 R は、奇数行のゲート信号線 20 にゲート信号を供給し、ゲート線駆動回路 14 L は、偶数行のゲート信号線 20 にゲート信号を供給する。ゲート線駆動回路 14 50

及び制御回路 18 は、双方向シフトレジスタを構成し、ゲート信号線 20 にゲート信号を供給する順序を、表示部の上側から下側へ向かう順方向（図 1 の上から下へ向かう方向）と、下側から上側へ向かう逆方向（図 1 の下から上へ向かう方向）と、に切り替えることができる。

【0029】

図 2 は、画像表示装置 10 のゲート信号線 20 の走査に用いる双方向シフトレジスタ 30 の構成を示す模式図である。双方向シフトレジスタ 30 は、シフトレジスタ部 32、クロック信号生成部 34 及びトリガ信号生成部 36 を含んで構成される。シフトレジスタ部 32 は、ゲート線駆動回路 14 に設けられ、クロック信号生成部 34 及びトリガ信号生成部 36 は、例えば制御回路 18 に設けられる。シフトレジスタ部 32 は、従属接続された複数段の単位レジスタ回路 38 からなる。

10

【0030】

図 2 は、一例として右側のゲート線駆動回路 14 R に設けられるシフトレジスタ部 32 に関する部分を示している。ゲート線駆動回路 14 R は、奇数行つまり 2 行ごとのゲート信号線 20 を 2 H（H は 1 行の水平走査期間である）ずれたタイミングで順次駆動する。一方、ゲート線駆動回路 14 L は、偶数行のゲート信号線 20 を奇数行とは 1 H ずれたタイミングでゲート信号線 20 を順次駆動する。片側のゲート線駆動回路 14 のシフトレジスタ部 32 は 4 相のクロックで駆動する構成とするが、上述のように両側で互いに 1 H 位相がずれた駆動とするため、クロック信号生成部 34 は 8 相のクロック信号 V1 ~ V8 を生成する。各クロック信号には 8 H 周期で 2 H 幅のパルスが発生され、位相が隣接するクロック信号同士、つまり V(j) と V(j+1)（j は 1 ~ 7 なる自然数）とは 1 H 期間の位相差に設定される。すなわち、位相が隣接するクロックパルスは、H レベルに維持される 2 H 期間のうち 1 H 期間が互いにオーバーラップする。クロック信号生成部 34 は、それぞれ 2 H ずつ位相がずれた信号の組である V1, V3, V5, V7 からなる第 1 のセットをゲート線駆動回路 14 R へ供給し、V2, V4, V6, V8 からなる第 2 のセットをゲート線駆動回路 14 L へ供給する。各段の単位レジスタ回路 38 には、複数相のクロック信号のうち当該段の出力パルスのタイミングを定める位相のクロック信号（出力制御クロック信号）が 1 つ対応付けられる。

20

【0031】

クロック信号生成部 34 は、シフトレジスタ部 32 の順シフト動作時には順方向で順番に、つまり V1, V2, ..., V8, V1, ... の順序でクロックパルスを生成する。一方、クロック信号生成部 34 は、逆シフト動作時には逆方向で順番に、つまり V8, V7, ..., V1, V8, ... の順序でクロックパルスを生成する。そして、クロック信号生成部 34 は、生成したクロックパルスをそれぞれシフトレジスタ部 32 の各段に供給する。例えば順シフト動作時に、クロック信号生成部 34 は、ゲート線駆動回路 14 R の先頭段（上側）から後尾段（下側）へ向けて、V1, V3, V5, V7, V1, ... の順序で 1 段ずつ位相を変えたクロック信号を出力制御クロック信号として供給する。ゲート線駆動回路 14 L では、当該順序は V2, V4, V6, V8, V2, ... となる。

30

【0032】

トリガ信号生成部 36 は、順シフトの開始時に順方向トリガ信号 VSTF を生成し、逆シフトの開始時に逆方向トリガ信号 VSTB を生成する。具体的には、順シフトの開始時に、信号 VSTF に H レベルに立ち上がるパルスを発生させ、逆シフトの開始時に、信号 VSTB に H レベルに立ち上がるパルスを発生させる。さらに、トリガ信号生成部 36 は、順シフト反復動作の合間の期間（順シフトの垂直帰線期間）に逆方向トリガ信号 VSTB を生成し、逆シフト反復動作の合間の期間（逆シフトの垂直帰線期間）に順方向トリガ信号 VSTF を生成する（後述）。

40

【0033】

シフトレジスタ部 32 は、既に述べたように複数段の単位レジスタ回路 38 を従属接続した構成を有する。各単位レジスタ回路 38 は、その出力端子からパルスを出力する。シ

50

フトレジスタ部 32 は、順シフト動作では先頭段の単位レジスタ回路 38 から順番にパルスを出し、逆シフト動作では後尾段の単位レジスタ回路 38 から順番にパルスを出し、

【0034】

図 2 に示すように、複数段の単位レジスタ回路 38 には、出力端子にゲート信号線 20 が接続される主要段と、主要段からなる列の先頭及び後尾に付加され、ゲート信号線 20 が接続されないダミー段と、が含まれる。シフトレジスタ部 32 の総段数は、画像表示装置 10 の走査線数、つまりゲート信号線 20 の本数と、先頭ダミー段及び後尾ダミー段の段数と、に応じて定まる。本実施形態では、ダミー段を先頭及び後尾にそれぞれ 2 段設ける。双方向シフトレジスタ 30 の第 n 段の単位レジスタ回路 38 の出力を $G(n)$ と表すと（本実施形態では、奇数行のゲート信号線 20 を駆動するゲート線駆動回路 14 R 側の主要段の後端を第 n 段としている）、ゲート線駆動回路 14 R 側では、ダミー段の出力 $G1, G3, G(n+2), G(n+4)$ はゲート信号線 20 へ出力されず、主要段の出力 $G(5), \dots, G(n)$ がゲート信号線 20 へ出力される。

10

【0035】

なお、ゲート線駆動回路 14 L 側では、ダミー段の出力 $G2, G4, G(n+3), G(n+5)$ はゲート信号線 20 へ出力されず、主要段の出力 $G(6), \dots, G(n+1)$ がゲート信号線 20 へ出力される。

【0036】

図 2 には、各単位レジスタ回路 38 の各入出力端子の接続関係が示されている。なお、表記を簡素にするためにクロック信号について例えば $V(\quad)$ といった記号を用いる。この表記において、8 を超える数 で相が表されるクロック信号 $V(\quad)$ は、を 8 で除したときの剰余 で表されるクロック信号 $V(\quad)$ を意味するものとする。

20

【0037】

[実施形態 1]

図 3 は、実施形態 1 に係る双方向シフトレジスタ 30 の第 n 段の単位レジスタ回路 38（ゲート線駆動回路 14 R 側）の回路図である。まず、図 3 に基づいて主要段である第 n 段の単位レジスタ回路 38 の基本構成を説明し、その後、ダミー段である第 1 段、第 3 段、第 $(n+2)$ 段、第 $(n+4)$ 段の単位レジスタ回路 38 の構成について基本構成との相違点を中心に説明する。

30

【0038】

第 n 段の単位レジスタ回路 38 は、 n チャンネルのトランジスタ $T1F, T1B, T2 \sim T6, T7F, T7B, T9F, T9B$ 及びキャパシタ $C1, C3$ を含んで構成される。

【0039】

第 n 段の単位レジスタ回路 38 は、自段のパルス $G(n)$ を出力する出力端子 $NOUT(n)$ を有し、また、他の段のパルス又はトリガ信号を入力される端子として順方向セット端子 $NSF(n)$ 、逆方向セット端子 $NSB(n)$ 、順方向リセット端子 $NR F(n)$ 及び逆方向リセット端子 $NR B(n)$ を有する。主要段の端子 $NSF(n)$ は第 $(n-2)$ 段から出力信号 $G(n-2)$ を入力され、端子 $NSB(n)$ は第 $(n+2)$ 段から出力信号 $G(n+2)$ を入力され、端子 $NR F(n)$ は第 $(n+4)$ 段から出力信号 $G(n+4)$ を入力され、端子 $NR B(n)$ は第 $(n-4)$ 段から出力信号 $G(n-4)$ を入力される。ダミー段に関しては、対応する他の段の出力信号が存在しない場合があり、その場合にはトリガ信号が入力される。ダミー段についてはさらに具体的に後述する。

40

【0040】

また、第 n 段の単位レジスタ回路 38 は、クロック信号生成部 34 からは $V(n), V(n+4)$ を入力される。

【0041】

さらに各単位レジスタ回路 38 は、電源 V_{GPL} から L レベルの電圧を供給される。

【0042】

出力トランジスタ $T5$ は、ドレインを出力制御クロック信号 $V(n)$ の信号線に、また

50

ソースを出力端子 $NOUT(n)$ に接続され、ゲートに接続される基準点 $N1$ の電位に応じてチャンネルの導通を制御される。 $T5$ のゲートとソースとの間にはキャパシタ $C1$ が接続される。トランジスタ $T5$ 及びキャパシタ $C1$ は、基準点であるノード $N1$ が H レベルである状態で、入力されるクロックパルス $V(n)$ に同期して自段の出力パルス $G(n)$ を出力する出力回路として機能する。

【0043】

また、出力端子 $NOUT(n)$ にドレインを接続されるトランジスタ $T6$ はソースを電源 $VGPL$ に接続され、ゲートに接続されるノード $N2$ の電位に応じてオン/オフを制御される。ノード $N2$ と電源 $VGPL$ との間にはキャパシタ $C3$ が接続される。

【0044】

基準点 $N1$ は、それぞれダイオード接続されたトランジスタ $T1F$, $T1B$ を介して端子 $NSF(n)$ 及び $NSB(n)$ に接続される。トランジスタ $T1F$, $T1B$ は、端子 $NSF(n)$ 又は $NSB(n)$ に他の段の出力パルスが入力されると基準点 $N1$ を H レベルに設定するセット回路として機能する。

【0045】

互いに並列に基準点 $N1$ と電源 $VGPL$ との間に接続されたトランジスタ $T2$, $T9F$, $T9B$ は、 $N1$ と $VGPL$ との間を断続するスイッチ素子として機能する。 $T2$ はゲートをノード $N2$ に接続され、 $T9F$ はゲートを端子 $NRF(n)$ に接続され、 $T9B$ はゲートを端子 $NRB(n)$ に接続され、 $N2$, 端子 $NRF(n)$, $NRB(n)$ のいずれかの電位が H レベルとなると基準点 $N1$ の電位を L レベルに設定する。特に、トランジスタ $T9F$, $T9B$ は、端子 $NRF(n)$ 又は $NRB(n)$ に他の段の出力パルスが入力されると基準点 $N1$ を L レベルに設定するリセット回路として機能する。

【0046】

ここで、基準点 $N1$ が H レベルにセットされる期間以外はノード $N2$ が H レベルに設定される。トランジスタ $T2$ は、ノード $N2$ が H レベルの期間オンするので、比較的長時間通電状態となる。その結果、トランジスタ $T2$ のしきい値電圧 $V_{th}(T2)$ は正方向にシフトし、 $T2$ が基準点 $N1$ を L レベルに固定する能力は低下する。一方、基準点 $N1$ のセット期間（第 n 段の出力期間）以外でも $T5$ のドレインにはクロック信号 $V(n)$ のパルスが印加され、当該パルスは $T5$ のゲート - ドレイン間容量 C_{gd} を介して $N1$ の電位を浮き上がらせる働きをする。特に、後述するように少なくとも主要段のトランジスタ $T5$ のサイズは大きくする必要があり、それと共に C_{gd} も大きくなり、基準点 $N1$ の電位浮き上がりも大きくなる。そこで、 $T9F$, $T9B$ を設けて $N1$ を好適に L レベルにリセットするようにしている。

【0047】

ノード $N2$ は、ダイオード接続された $T3$ 及び $C3$ を介してクロック信号 $V(n+4)$ の信号線に接続される。トランジスタ $T3$ は、クロック信号 $V(n+4)$ の電位が H レベルとなるとノード $N2$ の電位を H レベルに設定する。なお、全クロック信号の電位を H レベルにしてもノード $N2$ の電位を H レベルに設定することができる。

【0048】

互いに並列にノード $N2$ と電源 $VGPL$ との間に接続されたトランジスタ $T4$, $T7F$, $T7B$ は、 $N2$ と $VGPL$ との間を断続するスイッチ素子として機能する。 $T4$ はゲートを $N1$ に接続され、 $T7F$ はゲートを端子 $NSF(n)$ に接続され、 $T7B$ はゲートを端子 $NSB(n)$ に接続され、 $N1$, 端子 $NSF(n)$, $NSB(n)$ のいずれかの電位が H レベルとなるとノード $N2$ の電位を L レベルに設定する。

【0049】

次にダミー段の単位レジスタ回路 38 について説明する。上述したようにダミー段に関しては、端子 NSF , NSB , NRF , NRB へ出力パルスを供給する他の段の出力信号が存在しない場合がある。他の段からの出力信号が存在しない端子は、具体的には、第 1 段の NSF 、第 1 , 3 段の NRB 、第 $(n+4)$ 段の NSB 、第 $(n+2)$, $(n+4)$ 段の NRF である。

10

20

30

40

50

【 0 0 5 0 】

これらのうちセット端子 NSF , NSB は出力パルスの生成準備として基準点 $N1$ を H レベルにセットする信号を入力するために用いられる。そこで、第 1 段の NSF には、順シフトの開始時にトリガ信号生成部 36 から順方向トリガ信号 $VSTF$ のパルスを入力する。また、第 $(n+4)$ 段の NSB には、逆シフトの開始時に逆方向トリガ信号 $VSTB$ のパルスを入力する。

【 0 0 5 1 】

一方、リセット端子 NRF , NRB は出力パルスの生成後、基準点 $N1$ を L レベルにリセットする信号を入力するために用いられる。 $N1$ を L レベルにリセットすることで、その後に入力される出力制御クロック信号のパルスによって出力パルスが生成されることが回避される。ここで、ダミー段の出力はゲート信号線 20 の駆動に用いられないし、また、順シフトにて主要段の出力パルスの生成が終わった後のダミー段である第 $(n+2)$, $(n+4)$ 段の出力、及び逆シフトにて主要段の出力パルスの生成が終わった後のダミー段である第 1 , 3 段の出力は他の段の基準点 $N1$ をセットする信号として使われることもない。したがって、これら各シフト動作の末尾にて動作するダミー段は、クロックパルスの反復に応じて出力パルスを繰り返して発生させても特段の問題はない。そこで、順シフトにおける第 $(n+2)$, $(n+4)$ 段の端子 NRF 、逆シフトにおける第 1 , 3 段の端子 NRB には、次のフレームに対するシフト動作の開始までに H レベルの何らかの信号を入力して、当該段の基準点 $N1$ をリセット状態とすれば足りる。その一例として、本実施形態では、第 $(n+2)$, $(n+4)$ 段の NRF には順方向トリガ信号 $VSTF$ を入力し、第 1 , 3 段の NRB には逆方向トリガ信号 $VSTB$ を入力する構成としている。

【 0 0 5 2 】

主要段は、駆動対象負荷として出力端子 $NOUT$ にゲート信号線 20 及び複数の画素回路 12 を接続される。大画面化によるゲート信号線 20 の長さの増加、及び高解像度化によるゲート信号線 20 に接続される画素回路 12 の数の増加に応じて、当該駆動対象負荷は大きくなる。主要段の出力トランジスタ $T5$ は、当該負荷に応じた駆動能力を有することが求められ、例えば、ゲート幅 (チャネル幅) を大きく設計される。例えば、主要段の $T5$ は、 $5000\mu m$ 程度の大きなチャネル幅に設計される。これに対し、ダミー段はゲート信号線 20 に接続されないの、その出力トランジスタ $T5$ の駆動能力は主要段より低く設定される。例えば、ダミー段の $T5$ は、主要段の $T5$ のチャネル幅の $1/10$ である $500\mu m$ 程度に設定される。このように、ダミー段のトランジスタ $T5$ のサイズが小さくなり、ダミー段の単位レジスタ回路 38 を縮小できる。また、ダミー段の消費電力が低減される。

【 0 0 5 3 】

以上、ゲート線駆動回路 14 の構成を奇数行のゲート信号線 20 を駆動する右側のゲート線駆動回路 14R を例に説明した。偶数行のゲート信号線 20 を駆動する左側のゲート線駆動回路 14L の構成も右側と同様である。

【 0 0 5 4 】

次に、双方向シフトレジスタ 30 の動作について説明する。図 4 は、順シフト動作における各種信号波形の一例を示すタイミング図である。

【 0 0 5 5 】

順シフトは、1 フレームの画像信号の先頭にて、トリガ信号生成部 36 が順方向トリガ信号のパルスを生成することにより開始される (時刻 t_0 , t_1)。トリガ信号生成部 36 は、時刻 t_0 にて奇数行駆動用の順方向トリガ信号 $VSTF$ のパルスを生成した後、1 H 期間遅れた時刻 t_1 にて偶数行駆動用の順方向トリガ信号 $VSTF2$ のパルスを生成する (時刻 t_1)。一方、奇数行駆動用の逆方向トリガ信号 $VSTB$ 及び偶数行駆動用の逆方向トリガ信号 $VSTB2$ は、順シフトの垂直帰線期間まで L レベルに固定される。

【 0 0 5 6 】

クロック信号生成部 34 は、既に述べたように順シフト動作時には順方向で順番にパルスを生成する。すなわち、クロック信号 $V(j)$ のパルス立ち上がりから 1 H 遅れてクロ

10

20

30

40

50

ック信号 $V(j+1)$ のパルスを立て上げ、また、クロック信号 V_8 のパルス立ち上がりから $1H$ 遅れてクロック信号 V_1 のパルスを立て上げる。

【0057】

ここではまず、ゲート線駆動回路 14R の主要段（第 n 段）の単位レジスタ回路 38 の順シフト動作を説明する。

【0058】

第 n 段の動作の前には第 1, 3, ..., $(n-4)$, $(n-2)$ 段が順番に動作して $2H$ 幅のパルスを $2H$ の位相差で順次出力している。端子 $NSF(n)$ に第 $(n-2)$ 段の出力信号 $G(n-2)$ のパルスが入力されると（時刻 t_2 ）、基準点 N_1 が H レベルに応じた電位（ $V_{GH} - V_{th}(T_{1F})$ ）にセットされて T_5 がオンし、またキャパシタ C_1 の端子間電圧が当該電位にセットされる。このとき、 T_4 がオンしてノード N_2 を L レベルに設定する。また、このとき T_{7F} もオンすることにより、 T_4 だけの場合より速やかにノード N_2 が L レベルに設定される。当該ノード N_2 の電位はキャパシタ C_3 に保持される。ノード N_2 が L レベルであることにより、 T_2 及び T_6 はオフ状態である。

10

【0059】

第 $(n-2)$ 段の出力パルスはクロック $V(n-2)$ のパルス（クロック $V(n)$ より $2H$ 先行して立ち上がるパルス）に同期して発生し、時刻 t_2 から $2H$ 経った時刻 t_3 では第 n 段へクロック信号 $V(n)$ のパルスが入力される。クロック信号 $V(n)$ のパルスは、 T_5 のソース電位を上昇させる。すると、ブートストラップ効果により N_1 の電位がさらに上昇し、クロック信号 $V(n)$ のパルスは電位低下することなく信号 $G(n)$ のパルスとなって端子 $NOUT(n)$ から出力される。この信号 $G(n)$ のパルスは第 $(n+2)$ 段の端子 NSF に入力され、当該段の N_1 を H レベルにセットする。

20

【0060】

時刻 t_4 にてクロック信号 $V(n)$ のパルスが立ち下がると、信号 $G(n)$ のパルスも立ち下がる。一方、基準点 N_1 の電位は H レベルに維持される。

【0061】

時刻 t_4 では、第 $(n+2)$ 段がクロック信号 $V(n+2)$ のパルスに同期して信号 $G(n+2)$ のパルスを出力する。第 $(n+2)$ 段のパルス出力を受けた第 $(n+4)$ 段は、時刻 t_4 から $2H$ 経った時刻 t_5 にて信号 $G(n+4)$ のパルスを出力する。このように、各段は先行する段のパルス出力から $2H$ 遅れて当該段のパルスを出力する。

30

【0062】

時刻 t_5 にて第 n 段は端子 $NR F$ に信号 $G(n+4)$ のパルスを入力されると、 T_{9F} がオンして基準点 N_1 を L レベルにリセットする。それと同時にクロック信号 $V(n+4)$ により T_3 もオンしてノード N_2 を H レベルに引き上げる。その結果、 T_6 がオンして出力端子 $NOUT(n)$ を電源 V_{GL} に接続する。

【0063】

なお、 T_3 はクロック信号 $V(n+4)$ により時刻 t_5 以外のタイミングでも周期的にオンし、基準点 N_1 がセット状態とされる期間を除き、ノード N_2 を H レベルに良好に維持する。これにより、基準点 N_1 が H レベルにセット状態とされる期間を除き、 $NOUT(n)$ は L レベルに維持される。

40

【0064】

以上の動作にて時刻 t_2 に先行する $2H$ 期間には第 $(n-4)$ 段から端子 $NR B(n)$ にパルスが入力され T_{9B} がオンするが、当該期間は第 $(n-2)$ 段から端子 $NS F(n)$ へのパルス入力で基準点 N_1 が H レベルにセットされる前であるので、上述の動作に影響を与えない。また、時刻 $t_4 \sim t_5$ の $2H$ 期間には第 $(n+2)$ 段から端子 $NS B(n)$ にパルスが入力され、 T_{1B} を介して端子 $NS B(n)$ から基準点 N_1 に H レベルの電位が印加されるが、当該期間は第 $(n+4)$ 段から端子 $NR F(n)$ へのパルス入力で基準点 N_1 が L レベルにリセットされる前であるので、上述の動作に影響を与えない。

【0065】

また、基準点 N_1 を H レベルにセットするタイミングは、クロック信号 $V(n)$ の複数

50

のパルスのうち時刻 t_3 のパルスに 1 周期先行するパルスよりも後であり、基準点 N 1 を L レベルにリセットするタイミングは、1 周期後に生成されるパルスよりも前であるので、端子 N O U T (n) からのパルス出力は時刻 t_3 のクロックパルスに同期した 1 回だけである。

【 0 0 6 6 】

上述したように主要段は自段の 1 つ前の段の出力パルスを受けて基準点 N 1 をセット状態とし、自段の 2 つ後の段の出力パルスを受けて基準点 N 1 をリセット状態とする。この点、第 1 段のダミー段には 1 つ前の段が存在しない。そこで、既に述べたように第 1 段は端子 N S F に順方向トリガ信号 V S T F のパルスを入力する構成としている。第 1 段は時刻 t_0 に生成される信号 V S T F のパルスを受けて基準点 N 1 を H レベルにセットされる。これ以降の第 1 段の動作は上述した第 n 段と同様である。また、第 ($n + 2$) , ($n + 4$) 段のダミー段には 2 つ後の段が存在しない。そこで、既に述べたように第 ($n + 2$) , ($n + 4$) 段は端子 N R F に順方向トリガ信号 V S T F のパルスを入力する構成としている。第 ($n + 2$) , ($n + 4$) 段の基準点 N 1 は 1 フレームの順シフト動作の終わりにて H レベルにセットされた後、次のフレームの開始時に生成される信号 V S T F のパルスを受けて L レベルにリセットされる。

【 0 0 6 7 】

以上、ゲート線駆動回路 1 4 R の各段の順シフト動作を説明した。ゲート線駆動回路 1 4 L の各段の順シフト動作も、ゲート線駆動回路 1 4 R の対応する段と同様である。但し、ゲート線駆動回路 1 4 L の各段はゲート線駆動回路 1 4 R の対応する段より 1 H 遅れて各動作を行う。

【 0 0 6 8 】

図 5 は、逆シフト動作における各種信号波形の一例を示すタイミング図である。

【 0 0 6 9 】

逆シフトは、1 フレームの画像信号の先頭にて、トリガ信号生成部 3 6 が逆方向トリガ信号のパルスを生成することにより開始される (時刻 t_0 , t_1) 。トリガ信号生成部 3 6 は、時刻 t_0 にて偶数行駆動用の逆方向トリガ信号 V S T B 2 のパルスを生成した後、1 H 期間遅れた時刻 t_1 にて奇数行駆動用の逆方向トリガ信号 V S T B のパルスを生成する (時刻 t_1) 。一方、奇数行駆動用の順方向トリガ信号 V S T F 及び偶数行駆動用の順方向トリガ信号 V S T F 2 は、逆シフトの垂直帰線期間まで L レベルに固定される。

【 0 0 7 0 】

クロック信号生成部 3 4 は、既に述べたように逆シフト動作時には逆方向で順番にパルスを生成する。すなわち、クロック信号 V ($j + 1$) のパルス立ち上がりから 1 H 遅れてクロック信号 V (j) のパルスを立ち上げ、また、クロック信号 V 1 のパルス立ち上がりから 1 H 遅れてクロック信号 V 8 のパルスを立ち上げる。

【 0 0 7 1 】

シフトレジスタ部 3 2 の各段の単位レジスタ回路 3 8 は、端子 N S F に関する部分と端子 N S B に関する部分とが対称な回路構成とされ、端子 N R F に関する部分と端子 N R B に関する部分とが対称な回路構成とされている。具体的には、片側のゲート線駆動回路 1 4 を駆動に用いる 4 相のクロックの相数で考えて、順シフト動作及び逆シフト動作のいずれにおいても、各段の単位レジスタ回路 3 8 は端子 N S B に自段よりクロック 1 相分先行して、つまり 2 H 期間先行して生成された出力パルスを受けて基準点 N 1 をセット状態とし、端子 N R B に自段よりクロック 2 相分後、つまり 4 H 遅れて生成された出力パルスを受けて基準点 N 1 をリセット状態とするように構成されている。また、シフトレジスタ部 3 2 の両端、つまり先頭のダミー段と後尾のダミー段とは、シフト方向の反転に対して互いに対称な構成となる関係にある。具体的には、逆シフト動作における先頭ダミー段は順シフト動作における後尾ダミー段と同様に機能し、逆シフト動作における後尾ダミー段は順シフト動作における先頭ダミー段と同様に機能する。よって、制御回路 1 8 がトリガ信号の切り替えとクロックパルスの生成順序の切り替えとを行えば、シフトレジスタ部 3 2 は順シフトと同様の動作で逆シフト動作を行う。

【 0 0 7 2 】

例えば、ゲート線駆動回路 1 4 R の第 ($n + 4$) 段は時刻 t_1 に端子 N S B に逆方向トリガ信号 V S T B のパルスを入力されて、基準点 N 1 を H レベルにセットされ、その後最初に生成されるクロック信号 V ($n + 4$) のパルスに同期して、出力信号 G ($n + 4$) にパルスを発生させる。以降、順シフト動作とは逆向きに各段からパルスが順次出力される。

【 0 0 7 3 】

以上、ゲート線駆動回路 1 4 R を例に逆シフト動作を説明した。ゲート線駆動回路 1 4 L の各段の逆シフト動作も、ゲート線駆動回路 1 4 R の対応する段と同様である。但し、ゲート線駆動回路 1 4 L の各段はゲート線駆動回路 1 4 R の対応する段より 1 H 進んで各動作を行う。

【 0 0 7 4 】

ここで、自段を基点として、リセット端子 N R F にパルスを入力する他の段を、セット端子 N S B にパルスを入力する他の段より遠い段に設定し、かつリセット端子 N R B にパルスを入力する他の段を、セット端子 N S F にパルスを入力する他の段より遠い段に設定している。この構成によれば、順シフト動作時において、逆シフト動作にかかわる端子 N S B , N R B に入力されるパルスは当該順シフト動作には影響を与えず、同様に、逆シフト動作時において、順シフト動作にかかわる端子 N S F , N R F に入力されるパルスは当該逆シフト動作には影響を与えない。よって、例えば、順シフト動作時に端子 N S F , N R F の入力のみを選択的に受け付け、一方、逆シフト動作時には端子 N S B , N R B の入力を選択的に受け付けるようにするスイッチ等は不要である。すなわち、シフトレジスタ部 3 2 及びそれを構成する単位レジスタ回路 3 8 はその基本的な回路構成を順シフトと逆シフトとで切り替えない構成とすることができる。切り替えスイッチとして用いるトランジスタが不要である分、単位レジスタ回路 3 8 の回路構成が簡素となり縮小化が容易である。また、各段の当該トランジスタへ切り替え信号を供給する信号線をシフトレジスタ部 3 2 に沿って配する必要がないので、ゲート線駆動回路 1 4 の水平方向のサイズ増加を抑制できる。

【 0 0 7 5 】

なお、順シフト動作にて説明したように、基準点 N 1 をリセットする動作に同期して、クロック信号を用いて T 3 をオンしてノード N 2 を H レベルに引き上げる。本実施形態では、片側のゲート線駆動回路 1 4 を駆動するクロックを 4 相とし、例えば、ゲート線駆動回路 1 4 R 側の主要段である第 n 段の単位レジスタ回路 3 8 では自段の出力トランジスタ T 5 への出力制御クロック信号 V (n) にクロック 2 相分遅れたタイミングで基準点 N 1 をリセットする。この基準点 N 1 のリセットのタイミングで T 3 をオンするクロック信号は順シフトでは V ($n + 4$) であり、逆シフトでは V ($n - 4$) となり、これらは同相である。すなわち本実施形態では T 3 を制御するクロック信号も順シフトと逆シフトとで切り替える必要がない。

【 0 0 7 6 】

さて、上記実施形態では、ゲート線駆動回路 1 4 L , 1 4 R のそれぞれを 4 相駆動とし、ゲート線駆動回路 1 4 L , 1 4 R それぞれにおける第 k 段の単位レジスタ回路 3 8 に基本的に第 ($k - 2$) 段, 第 ($k - 1$) 段, 第 ($k + 1$) 段, 第 ($k + 2$) 段の出力を入力し、第 ($k - 1$) 段, 第 ($k + 1$) 段の出力パルスで基準点 N 1 が H レベルにセットされ、第 ($k - 2$) 段, 第 ($k + 2$) 段の出力パルスで基準点 N 1 が L レベルにリセットされる構成として、順シフトと逆シフトとで回路構成の切り替えが基本的に不要な双方向シフトレジスタを実現可能とした。また、このような構成は、各段の出力パルスが立ち下がった後に基準点 N 1 の H レベルを L レベルにリセットする。すなわち各段の出力パルスの終了後に当該段の基準点 N 1 がセット状態に維持される後続セット期間が設けられる。この後続セット期間があることによって本発明の双方向シフトレジスタの動作は、基準点 N 1 の電位が H レベルより高い電位から L レベルへ一気に引き下げられると共にトランジスタ T 6 がオンするという動作ではなくなり、貫通電流の発生等、各信号のタイミングずれや

波形のくずれによる不安定な動作が起こりにくくなる。

【0077】

なお、上記実施形態の構成に限らず、一般的には、シフトレジスタ部32を駆動するクロック信号をM相(Mは3以上の整数)とし、 f 、 b 、 f 及び b を $f < b < M$ かつ $b < f < M$ なる自然数として、第 k 段の単位レジスタ回路38に第 $(k - b)$ 段、第 $(k - f)$ 段、第 $(k + b)$ 段、第 $(k + f)$ 段の出力を入力し、第 $(k - f)$ 段、第 $(k + b)$ 段の出力パルスで基準点N1がHレベルにセットされ、第 $(k - b)$ 段、第 $(k + f)$ 段の出力パルスで基準点N1がLレベルにリセットされる構成としても、上述したような、回路構成の切り替えが基本的に不要で、かつ動作安定性が向上した双方向シフトレジスタが実現できる。

10

【0078】

ちなみに、 $f < b$ 及び $b < f$ という条件から f 、 b は2以上であり、この条件からはNは3以上であればよい。しかし、上記実施形態のように先頭に b 段、後尾に f 段のダミー段を設ける双方向シフトレジスタでは、順シフト及び逆シフトを行うために主要段を最低2段必要とすることからNは6以上となる。

【0079】

なお、この一般的な場合のシフトレジスタ部32の両端部の単位レジスタ回路38の端子NSF、NSB、NRF、NRBへも、上述のダミー段と同様、他の段の出力パルスに代わる信号が入力される場合がある。具体的には、段数N段の双方向シフトレジスタにおいて、第1～ f 段の端子NSFには順方向トリガ信号を入力し、順シフトの開始時に当該信号によって基準点N1をHレベルにセットする。また第 $(N - b + 1) \sim N$ 段の端子NSBには逆方向トリガ信号を入力し、逆シフトの開始時に当該信号によって基準点N1をセット状態とする。また、第 $(N - f + 1) \sim N$ 段の端子NRFに入力するリセット信号として、順方向トリガ信号を用いることができる。第1～ b 段の端子NRBに入力するリセット信号として、逆方向トリガ信号を用いることができる。

20

【0080】

f は順シフト動作にて基準点N1がセットされてから出力パルスが立ち上がるまでの「先行セット期間」に相当し、 b は逆シフト動作における「先行セット期間」に相当する(f は順シフト動作における「後続セット期間」に相当し、 b は逆シフト動作における「後続セット期間」に相当する)。この先行セット期間が長くなると、キャパシタC1によって保持されたN1の電位がT9FやT9Bのリーク電流等により低下して、T5のドレインへのクロックパルス入力時にT5のゲートが端子NOUTからのパルス出力に十分な電位に達しない不都合が生じ得る。そこで、例えば、キャパシタC1の容量があまり大きくない場合など、上述の不都合が懸念される場合には、上記実施形態のように f 及び b を1に設定して先行セット期間を短くする構成が好適である。

30

【0081】

また、順シフト動作と逆シフト動作とにおける画像表示装置10の動作を対称にする観点から $f = b$ 、 $f = b$ とすることが好適である。

【0082】

$M = 4$ 、 $f = b = 2$ とする上記実施形態では、上述したようにT3の制御信号に用いるクロック信号を順シフト動作と逆シフト動作とで共通とすることができた。このようにT3の制御を双方向で共通のクロック信号で行う構成は、 $f + b = M$ のときに実現される。

40

【0083】

なお、上記実施形態において、順シフト動作で逆方向トリガ信号VSTBをLレベルに固定すると、順シフト動作では、第1～ b 段の逆方向リセット端子NRBにゲートを接続されるT9Bはオフ状態に維持され、第 $(N - b + 1) \sim N$ 段の逆方向セット端子NSBにゲートを接続されるT1B、T7Bもオフ状態に維持される。また、逆シフト動作で順方向トリガ信号VSTFをLレベルに固定すると、逆シフト動作では第 $(N - f + 1) \sim N$ 段の順方向リセット端子NRFにゲートを接続されるT9Fはオフ状態に維持さ

50

れ、第 1 ~ f 段の順方向セット端子 N S F にゲートを接続される T 1 F , T 7 F もオフ状態に維持される。

【 0 0 8 4 】

このように、ドレイン - ソース間に電圧を印加してオフ状態に長時間維持したトランジスタは、V t h シフトと呼ばれるトランジスタ特性の変化を生じ得る。具体的には n チャネルのトランジスタではしきい値電圧 V t h が負方向にシフトして低下し、リーク電流を生じやすくなる。V t h シフトは特に a - S i 薄膜トランジスタ (T F T) トランジスタにて問題となる。例えば、V t h シフトを起こしたトランジスタは、一旦、オンして電流を流すことにより V t h シフトを解消できることが知られている。

【 0 0 8 5 】

そこで、上記実施形態におけるシフトレジスタ部 3 2 の駆動方法において、トリガ信号生成部 3 6 は、順シフトが複数フレームに亘り反復される場合には、当該反復動作の合間の期間 (順シフトの垂直帰線期間) に奇数行駆動用の逆方向トリガ信号 V S T B 及び偶数行駆動用の逆方向トリガ信号 V S T B 2 を H レベルに切り替えて T 1 B , T 7 B , T 9 B をオンする。一方、トリガ信号生成部 3 6 は、逆シフトが反復される場合には、当該反復動作の合間の期間 (逆シフトの垂直帰線期間) に奇数行駆動用の順方向トリガ信号 V S T F 及び偶数行駆動用の順方向トリガ信号 V S T F 2 を H レベルに切り替えて T 1 F , T 7 F , T 9 F をオンする。これにより、ダミー段において T 1 F , T 7 F , T 9 F 又は T 1 B , T 7 B , T 9 B からの電流のリークによる基準点 N 1 の電位低下を抑制することができ、シフトレジスタ部 3 2 のシフト動作を安定させることができる。

【 0 0 8 6 】

ここで、図 6 ~ 図 9 に基づいて、順シフト動作時に逆方向トリガ信号 V S T B , V S T B 2 を H レベルに切り替えるタイミングの例と、逆シフト動作時に順方向トリガ信号 V S T F , V S T F 2 を H レベルに切り替えるタイミングの例について説明する。

【 0 0 8 7 】

図 6 及び図 7 は、それぞれ順シフト動作及び逆シフト動作における各種信号波形の一例を示すタイミング図である。順シフト動作では、ゲート線駆動回路 1 4 R , 1 4 L それぞれの後尾段の単位レジスタ回路 3 8 が出力パルスを生じた直後のタイミングで、逆方向トリガ信号 V S T B , V S T B 2 を H レベルにすることが望ましい。例えば、ゲート線駆動回路 1 4 R において、図 6 に示す時刻 t 4 ~ t 5 の 2 H 期間 (後続セット期間) に逆方向トリガ信号 V S T B を H レベルにすれば、第 1 , 3 段の T 9 B 及び第 (n + 4) 段の T 1 B , T 7 B のソース・ドレイン電位よりもゲート電位の方が一時的に (少なくとも基準点 N 1 の電位が落ち込むタイミングで) 高くなるため、それらの V t h シフトを解消することができる。逆方向トリガ信号 V S T B を H レベルにする期間は、時刻 t 4 ~ t 5 の 2 H 期間全部である必要はなく、少なくとも基準点 N 1 の電位が落ち込むタイミングを含む期間であればよい。一方、逆シフト動作では、ゲート線駆動回路 1 4 R , 1 4 L それぞれの第 1 段が出力パルスを生じた直後のタイミングで、順方向トリガ信号 V S T F , V S T F 2 を H レベルにすることが望ましい。例えば、ゲート線駆動回路 1 4 R において、図 7 に示す時刻 t 4 ~ t 5 の 2 H 期間 (後続セット期間) に順方向トリガ信号 V S T F を H レベルにすれば、第 1 段の T 1 F , T 7 F 及び第 (n + 2) , (n + 4) 段の T 9 F のソース・ドレイン電位よりもゲート電位の方が一時的に (少なくとも基準点 N 1 の電位が落ち込むタイミングで) 高くなるため、それらの V t h シフトを解消することができる。順方向トリガ信号 V S T F を H レベルにする期間は、時刻 t 4 ~ t 5 の 2 H 期間全部である必要はなく、少なくとも基準点 N 1 の電位が落ち込むタイミングを含む期間であればよい。

【 0 0 8 8 】

図 8 及び図 9 は、それぞれ順シフト動作及び逆シフト動作における各種信号波形の他の一例を示すタイミング図である。順シフト動作では、ゲート線駆動回路 1 4 R , 1 4 L それぞれの後尾段の単位レジスタ回路 3 8 が出力パルスを生じる直前のタイミングで、逆方向トリガ信号 V S T B , V S T B 2 を H レベルにしてもよい。例えば、ゲート線駆動回路 1 4 R において、図 8 に示す時刻 t 2 ~ t 3 の 2 H 期間 (先行セット期間) に逆方向トリ

が信号 $VSTB$ を H レベルにすれば、第 1, 3 段の $T9B$ 及び第 $(n+4)$ 段の $T1B$, $T7B$ のソース・ドレイン電位よりもゲート電位の方が一時的に（少なくとも基準点 $N1$ の電位が落ち込むタイミングで）高くなるため、それらの Vth シフトを解消することができる。一方、逆シフト動作では、ゲート線駆動回路 $14R$, $14L$ それぞれの第 1 段が出力パルスを生じる直前のタイミングで、順方向トリガ信号 $VSTF$, $VSTF2$ を H レベルにしてもよい。例えば、ゲート線駆動回路 $14R$ において、図 9 に示す時刻 $t2 \sim t3$ の $2H$ 期間（先行セット期間）に順方向トリガ信号 $VSTF$ を H レベルにすれば、第 1 段の $T1F$, $T7F$ 及び第 $(n+2)$, $(n+4)$ 段の $T9F$ のソース・ドレイン電位よりもゲート電位の方が一時的に（少なくとも基準点 $N1$ の電位が落ち込むタイミングで）高くなるため、それらの Vth シフトを解消することができる。

10

【0089】

また、順シフト動作では、図 10 に示すように、逆方向トリガ信号 $VSTB$, $VSTB2$ の H レベル ($VVSTB$, $VVSTB2$) をクロック信号 $V1 \sim V8$ の H レベル (VVn) より高くしてもよい。一方、逆シフト動作では、図 11 に示すように、順方向トリガ信号 $VSTF$, $VSTF2$ の H レベル ($VVSTF$, $VVSTF2$) をクロック信号 $V1 \sim V8$ の H レベル (VVn) より高くしてもよい。基準点 $N1$ の電位はクロック信号 $V1 \sim V8$ の電位と同等以下であるため ($N1$ 電位 前段出力電位 クロック信号電位)、これにより、 $T1F$, $T7F$, $T9F$ 又は $T1B$, $T7B$, $T9B$ の Vth シフトをより確実に解消することができる。

20

【0090】

さらに、単位レジスタ回路は、図 3 に示すものに限られず、順方向セット端子 NSF 及び逆方向セット端子 NSB と、順方向リセット端子 $NR F$ 及び逆方向リセット端子 $NR B$ と、端子 NSF , NSB のいずれかにセット信号を入力されると基準点の電位を第 1 の電位に設定するセット回路と、端子 $NR F$, $NR B$ のいずれかにリセット信号を入力されると基準点の電位を第 2 の電位に設定するリセット回路と、基準点が第 1 の電位である状態では、当該単位レジスタ回路に入力されるクロックパルスに同期して出力信号にパルスを出力する出力回路とを備える他の回路構成とすることができる。例えば、上述した $T3$ を順シフトと逆シフトとで共通のクロック信号で制御できる条件 ($f + b = M$) を満たさない場合には、 $T3$ のゲートに印加する制御信号を順シフトと逆シフトとで切り替える回路構成を採用することができ、これも単位レジスタ回路の 1 つの変形例となる。

30

【0091】

なお、上記実施形態では、双方向シフトレジスタ 30 を構成するトランジスタとして n チャンネルのトランジスタを用いる例を説明したが、トランジスタは p チャンネルであってもよい。また、トランジスタは、 $TF T$ であっても $MOS FET$ であってもよく、トランジスタを構成する半導体層は基本的には単結晶シリコン、非晶質シリコン ($a-Si$)、多結晶シリコン ($poly-Si$) のいずれでもよく、また $IGZO$ (インジウムガリウム亜鉛オキサイド) 等の酸化物半導体であってもよい。

【0092】

[実施形態 2]

以下、上記実施形態 1 と同様の構成要素には同一の符号を付して当該構成要素についてすでになされた説明を援用することとし説明の簡略化を図る。

40

【0093】

図 12A ~ 図 12E は、実施形態 2 に係る双方向シフトレジスタ 30 の単位レジスタ回路 38 (ゲート線駆動回路 $14R$ 側) の回路図であり、図 12A は第 1 段、図 12B は第 3 段、図 12C は第 n 段 (図 3 と同じ)、図 12D は第 $(n+2)$ 段、図 12E は第 $(n+4)$ 段の単位レジスタ回路 38 を表している。図 2 に示すように、このうち第 1, 3 段は先頭ダミー段、第 n 段は主要段の後端、第 $(n+2)$, $(n+4)$ 段は後尾ダミー段である。

【0094】

実施形態 2 に係る単位レジスタ回路 38 は、実施形態 1 に係る単位レジスタ回路 38 と

50

比較して、先頭ダミー段である第1段の $T1F$ 、 $T7F$ と、第1、3段の $T9B$ と、後尾ダミー段である第 $(n+4)$ 段の $T1B$ 、 $T7B$ と、後尾ダミー段である第 $(n+2)$ 、 $(n+4)$ 段の $T9F$ と、がそれぞれダブルゲート構造になっている点が相違する。

【0095】

順シフト反復動作において逆方向トリガ信号 $VSTB$ を L レベルに固定する場合(図13参照)、第 $(n+4)$ 段の $T1B$ に代えて $T1B'$ と $T1B''$ とからなるダブルゲート構造を採用すると、 $T1B'$ のソースと $T1B''$ のドレインとを接続するノード $N3B$ の電位が常時 L レベルとなるため、 $T1B''$ のしきい値電圧が負方向にシフトしたとしても、 $T1B'$ のしきい値電圧についてはシフトしないとみなすことができる。これにより、 $T1B'$ 及び $T1B''$ を介した電流のリークを抑制することができる。一方、逆シフト反復動作において順方向トリガ信号 $VSTF$ を L レベルに固定する場合(図14参照)、第1段の $T1F$ に代えて $T1F'$ と $T1F''$ とからなるダブルゲート構造を採用すると、 $T1F'$ のソースと $T1F''$ のドレインとを接続するノード $N3F$ の電位が常時 L レベルとなるため、 $T1F''$ のしきい値電圧が負方向にシフトしたとしても、 $T1F'$ のしきい値電圧についてはシフトしないとみなすことができる。これにより、 $T1F'$ 及び $T1F''$ を介した電流のリークを抑制することができる。第1段の $T7F$ 、第1、3段の $T9B$ 、第 $(n+4)$ 段の $T7B$ 、及び第 $(n+2)$ 、 $(n+4)$ 段の $T9F$ をそれぞれダブルゲート構造にする理由も同様である。

【0096】

図15Aは、図12A(第1段)に示す構造A1の変形例を示す図である。図15Aには、 $T1F'$ と $T1F''$ とが直列接続された構造が示されている。具体的には、 $T1F'$ のソースと $T1F''$ のドレインとがノード $N3F$ で接続され、 $T1F''$ のソースに基準点 $N1$ が接続され、 $T1F'$ のゲート及びドレインに順方向トリガ信号 $VSTF$ が入力され、 $T1F''$ のゲートに補助トリガ信号 $VSTF'$ が入力されている。補助トリガ信号 $VSTF'$ は、順シフトの開始時に H レベルに立ち上がるだけでなく(順方向トリガ信号 $VSTF$ と同様)、逆シフト動作時にも所定のタイミング(例えば第1段が出力パルスを生じた直後のタイミング)で H レベルに立ち上がる。このため、図12Aに示すダブルゲート構造A1を図15Aに示す構造に置き換えると、逆シフト反復動作において順方向トリガ信号 $VSTF$ を L レベルに固定する場合でも、補助トリガ信号 $VSTF'$ が H レベルに立ち上がるタイミングで $T1F''$ のしきい値電圧が正方向にシフトするため、直接接続された $T1F'$ 及び $T1F''$ を介した電流のリークを抑制することができる。

【0097】

図15Bは、図12A(第1段)及び図12B(第3段)に示す構成A9の変形例を示す図である。図15Bには、 $T9B'$ と $T9B''$ とが直列接続された構造が示されている。具体的には、 $T9B'$ のソースと $T9B''$ のドレインとがノード $N4B$ で接続され、 $T9B'$ のドレインに基準点 $N1$ が接続され、 $T9B''$ のソースに電源 $VGPL$ が接続され、 $T9B'$ のゲートに補助トリガ信号 $VSTB'$ が入力され、 $T9B''$ のゲートに逆方向トリガ信号 $VSTB$ が入力されている。補助トリガ信号 $VSTB'$ は、逆シフトの開始時に H レベルに立ち上がるだけでなく(逆方向トリガ信号 $VSTB$ と同様)、順方向シフト時にも所定のタイミング(例えば第 $(n+4)$ 段が出力パルスを生じた直後のタイミング)で H レベルに立ち上がる。このため、図12A及び図12Bに示すダブルゲート構造A9を図15Bに示す構造に置き換えると、順シフト反復動作において逆方向トリガ信号 $VSTB$ を L レベルに固定する場合でも、補助トリガ信号 $VSTB'$ が H レベルに立ち上がるタイミングで $T9B'$ のしきい値電圧が正方向にシフトするため、直接接続された $T9B'$ 及び $T9B''$ を介した電流のリークを抑制することができる。

【0098】

図15Cは、図12E(第 $(n+4)$ 段)に示す構造B1の変形例を示す図である。図15Cには、 $T1B'$ と $T1B''$ とが直列接続された構造が示されている。具体的には、 $T1B'$ のソースと $T1B''$ のドレインとがノード $N3B$ で接続され、 $T1B''$ のソースに基準点 $N1$ が接続され、 $T1B'$ のゲート及びドレインに逆方向トリガ信号 $VSTB$ が

入力され、 $T1B''$ のゲートに補助トリガ信号 $VSTB'$ が入力されている。補助トリガ信号 $VSTB'$ は、逆シフトの開始時に H レベルに立ち上がるだけでなく（逆方向トリガ信号 $VSTB$ と同様）、順方向シフト時にも所定のタイミング（例えば第 $(n+4)$ 段が出力パルスを生じた直後のタイミング）で H レベルに立ち上がる。このため、図 12E に示すダブルゲート構造 B1 を図 15C に示す構造に置き換えると、順シフト反復動作において逆方向トリガ信号 $VSTB$ を L レベルに固定する場合でも、補助トリガ信号 $VSTB'$ が H レベルに立ち上がるタイミングで $T1B''$ のしきい値電圧が正方向にシフトするため、直接接続された $T1B'$ 及び $T1B''$ を介した電流のリークを抑制することができる。

【0099】

図 15D は、図 12D（第 $(n+2)$ 段）及び図 12E（第 $(n+4)$ 段）に示す構造 B9 の変形例を示す図である。図 15D には、 $T9F'$ と $T9F''$ とが直列接続された構造が示されている。具体的には、 $T9F'$ のソースと $T9F''$ のドレインとがノード N4F で接続され、 $T9F'$ のドレインに基準点 N1 が接続され、 $T9F''$ のソースに電源 VGPL が接続され、 $T9F'$ のゲートに補助トリガ信号 $VSTF'$ が入力され、 $T9F''$ のゲートに順方向トリガ信号 $VSTF$ が入力されている。補助トリガ信号 $VSTF'$ は、順シフトの開始時に H レベルに立ち上がるだけでなく（順方向トリガ信号 $VSTF$ と同様）、逆シフト動作時にも所定のタイミング（例えば第 1 段が出力パルスを生じた直後のタイミング）で H レベルに立ち上がる。このため、図 12D 及び図 12E に示すダブルゲート構造 B9 を図 15D に示す構造に置き換えると、逆シフト反復動作において順方向トリガ信号 $VSTF$ を L レベルに固定する場合でも、補助トリガ信号 $VSTF'$ が H レベルに立ち上がるタイミングで $T9F'$ のしきい値電圧が正方向にシフトするため、直接接続された $T9F'$ 及び $T9F''$ を介した電流のリークを抑制することができる。

【0100】

図 16A は、図 15A に示す構造の変形例を示す図である。図 16A には、トランジスタ $TN3F$ を介してノード N3F が電源 VGPL に接続された構造が示されている。 $TN3F$ は、ドレインをノード N3F に接続され、ソースを電源 VGPL に接続され、ゲートに第 5 段の出力信号 G5 を入力されており、第 5 段から出力されるパルスに応じてオンしノード N3F の電位を L レベルに引き下げる。このため、図 12A に示すダブルゲート構造 A1 を図 16A に示す構造に置き換えると、直接接続された $T1F'$ 及び $T1F''$ を介した電流のリークをより確実に抑制することができる。

【0101】

図 16B は、図 15B に示す構造の変形例を示す図である。図 16B には、トランジスタ $TN4B$ を介してノード N4B が電源 VGPL に接続された構造が示されている。 $TN4B$ は、ドレインをノード N4B に接続され、ソースを電源 VGPL に接続され、ゲートに第 5 段の出力信号 G5 を入力されており、第 5 段から出力されるパルスに応じてオンしノード N4B の電位を L レベルに引き下げる。このため、図 12A 及び図 12B に示すダブルゲート構造 A9 を図 16B に示す構造に置き換えると、直接接続された $T9B'$ 及び $T9B''$ を介した電流のリークをより確実に抑制することができる。

【0102】

図 16C は、図 15C に示す構造の変形例を示す図である。図 16C には、トランジスタ $TN3B$ を介してノード N3B が電源 VGPL に接続された構造が示されている。 $TN3B$ は、ドレインをノード N3B に接続され、ソースを電源 VGPL に接続され、ゲートに第 n 段の出力信号 $G(n)$ を入力されており、第 n 段から出力されるパルスに応じてオンしノード N3B の電位を L レベルに引き下げる。このため、図 12E に示すダブルゲート構造 B1 を図 16C に示す構造に置き換えると、直接接続された $T1B'$ 及び $T1B''$ を介した電流のリークをより確実に抑制することができる。

【0103】

図 16D は、図 15D に示す構造の変形例を示す図である。図 16D には、トランジスタ $TN4F$ を介してノード N4F が電源 VGPL に接続された構造が示されている。 TN

10

20

30

40

50

4 F は、ドレインをノード N 4 F に接続され、ソースを電源 V G P L に接続され、ゲートに第 n 段の出力信号 G (n) を入力されており、第 n 段から出力されるパルスに応じてオンしノード N 4 F の電位を L レベルに引き下げる。このため、図 1 2 D 及び図 1 2 E に示すダブルゲート構造 B 9 を図 1 6 D に示す構造に置き換えると、直接接続された T 9 F ' 及び T 9 F " を介した電流のリークをより確実に抑制することができる。

【 0 1 0 4 】

なお、以上のようなダブルゲート構造及びその変形例は、順方向トリガ信号 V S T F 及び逆方向トリガ信号 V S T B を L レベルに固定する場合だけでなく、実施形態 1 のように (図 6 ~ 図 1 1 参照) 、順方向トリガ信号 V S T F 及び逆方向トリガ信号 V S T B を垂直帰線期間中に H レベルに切り替える場合にも有効である。また、トランジスタ T N 3 F , T N 3 B , T N 4 F , T N 4 B は、他の段から出力されるパルスまたはクロックパルスなどに応じてオンするスイッチ素子に置き換えることも可能である。また、図 1 2 A (第 1 段) の T 7 F 及び第 1 2 E (第 (n + 4) 段) の T 7 B についても、上記と同様の変形例を適用することができる。

10

【 0 1 0 5 】

以上、ゲート線駆動回路 1 4 の構成を奇数行のゲート信号線 2 0 を駆動する右側のゲート線駆動回路 1 4 R を例に説明した。偶数行のゲート信号線 2 0 を駆動する左側のゲート線駆動回路 1 4 L の構成も右側と同様である。

【 0 1 0 6 】

なお、実施形態 1 で述べた構成の各種の変更は本実施形態の双方向シフトレジスタにおいても採用することが可能である。

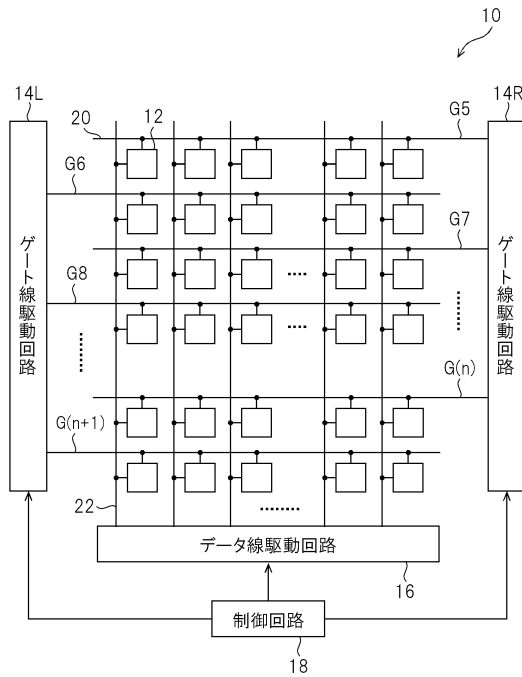
20

【符号の説明】

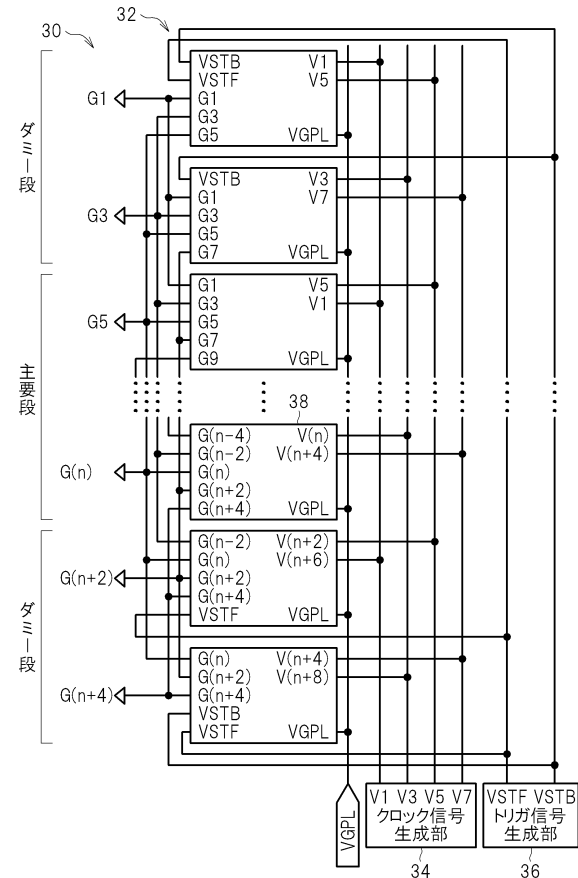
【 0 1 0 7 】

1 0 画像表示装置、 1 2 画素回路、 1 4 , 1 4 L , 1 4 R ゲート線駆動回路、 1 6 データ線駆動回路、 1 8 制御回路、 2 0 ゲート信号線、 2 2 データ線、 3 0 双方向シフトレジスタ、 3 2 シフトレジスタ部、 3 4 クロック信号生成部、 3 6 トリガ信号生成部、 3 8 単位レジスタ回路。

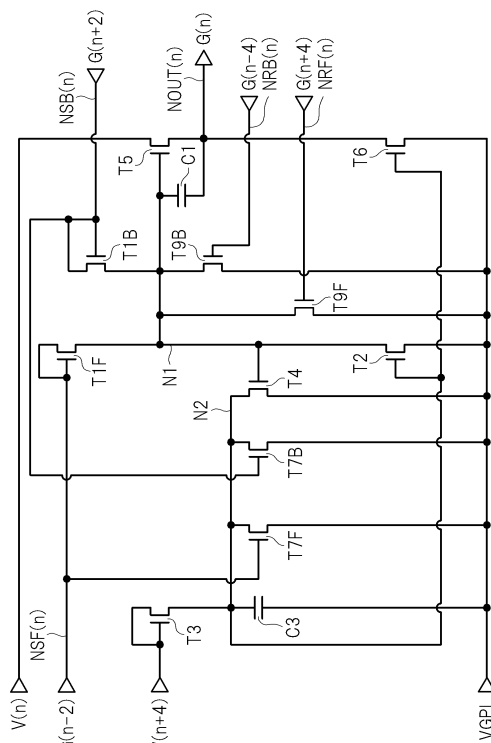
【図 1】



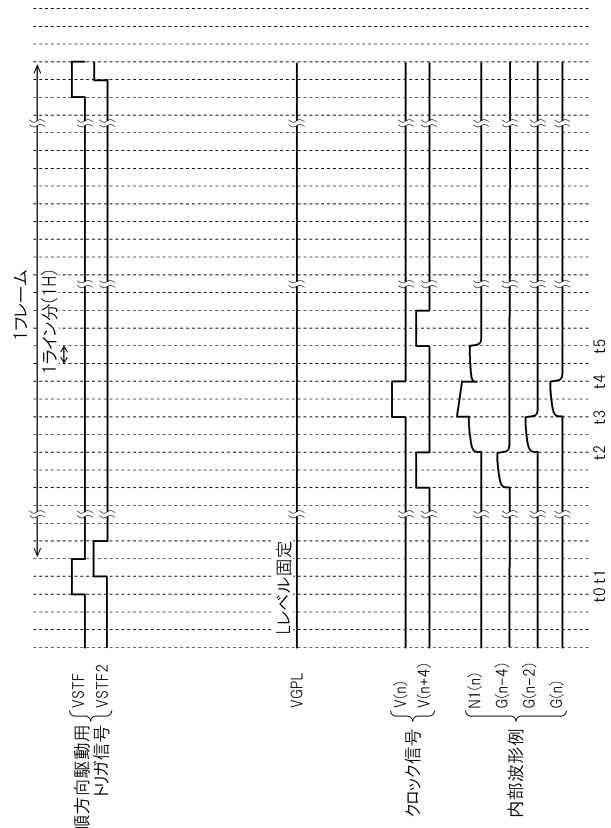
【図 2】



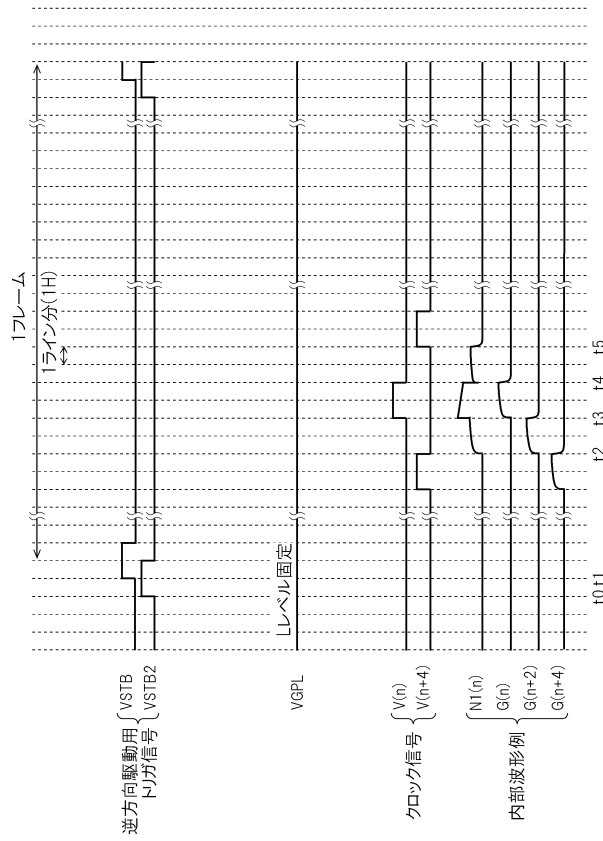
【図 3】



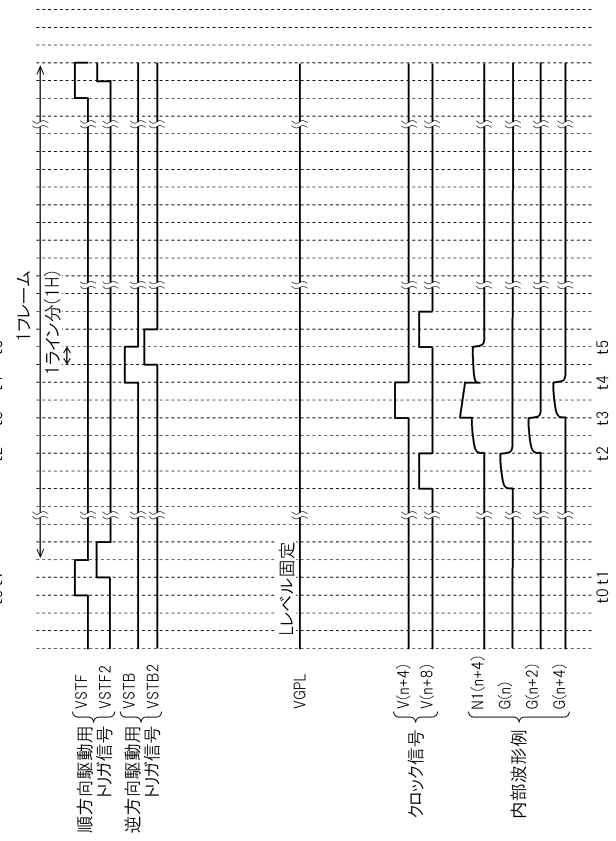
【図 4】



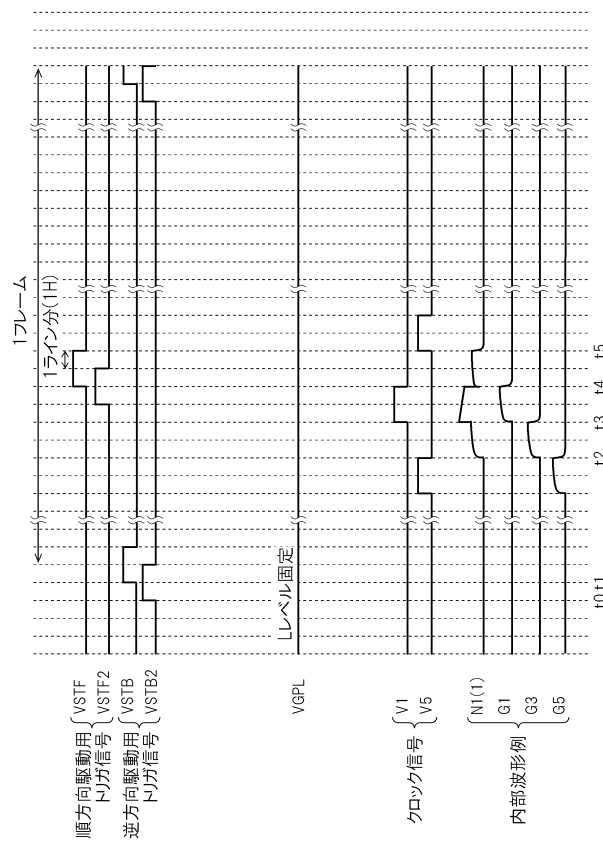
【図 5】



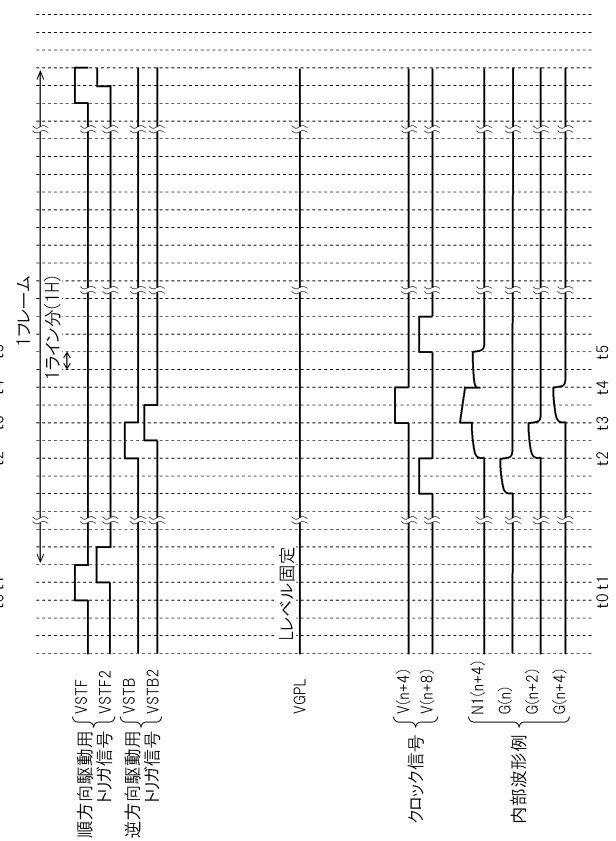
【図 6】



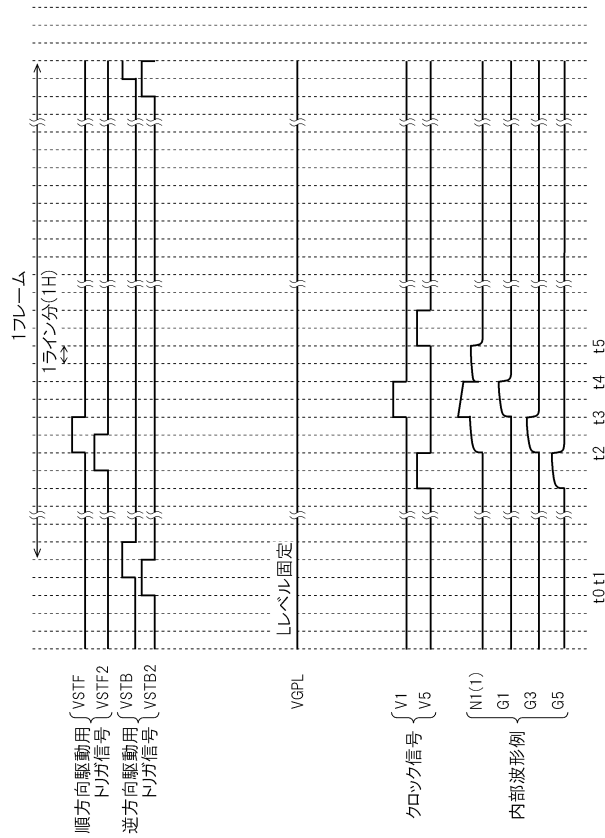
【図 7】



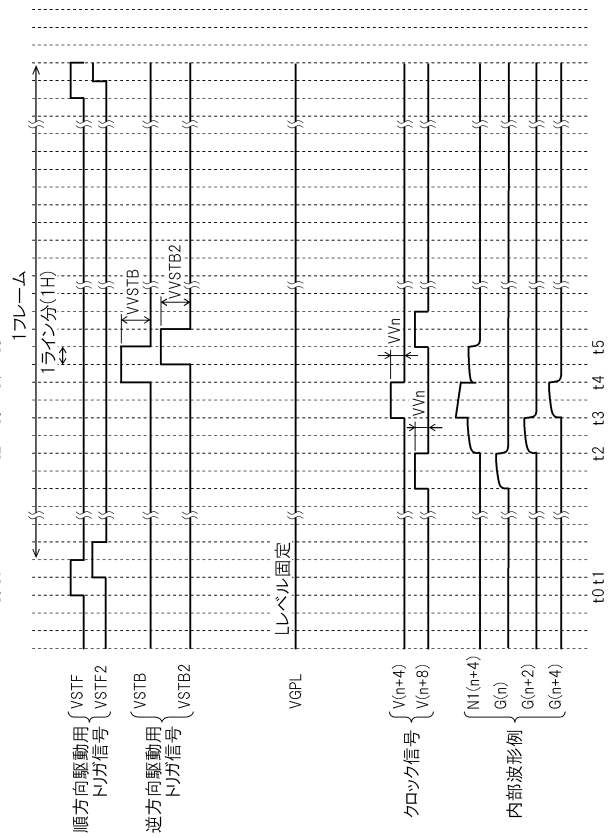
【図 8】



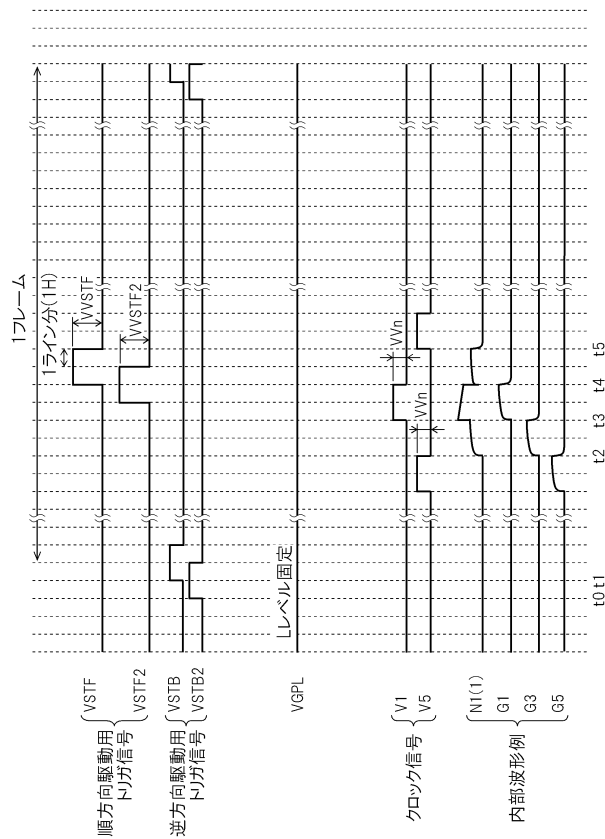
【図 9】



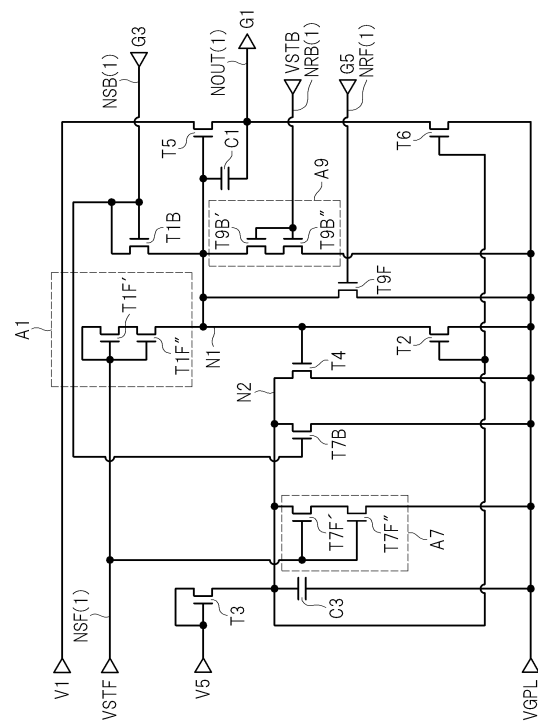
【図 10】



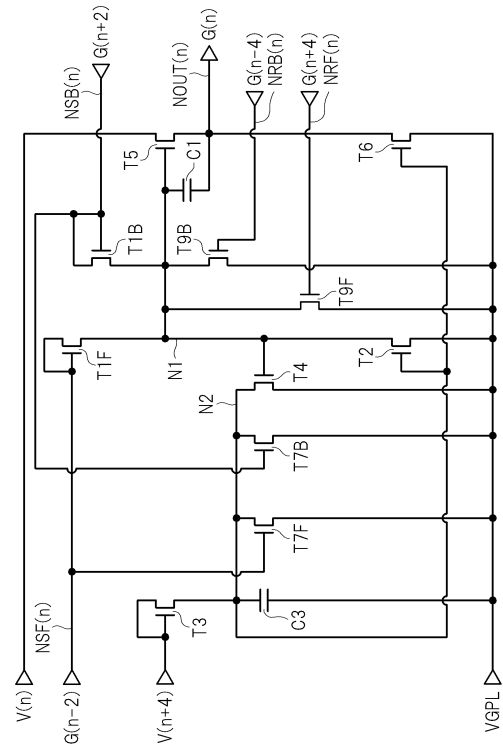
【図 11】



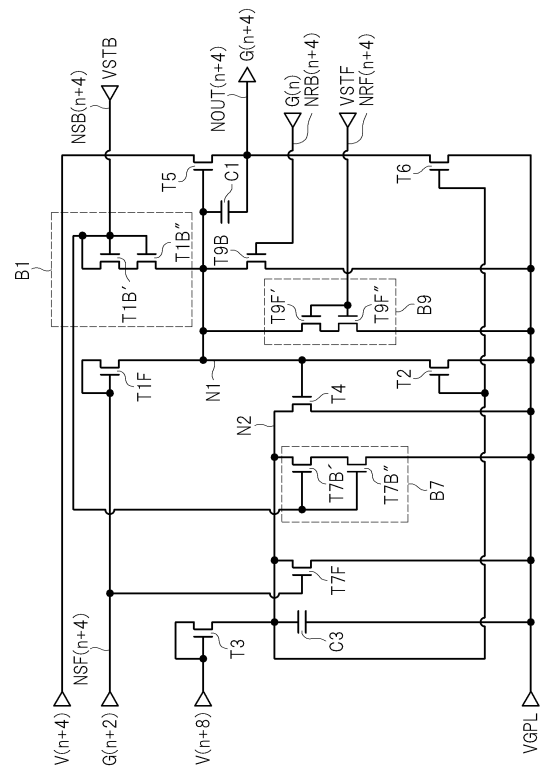
【図 12 A】



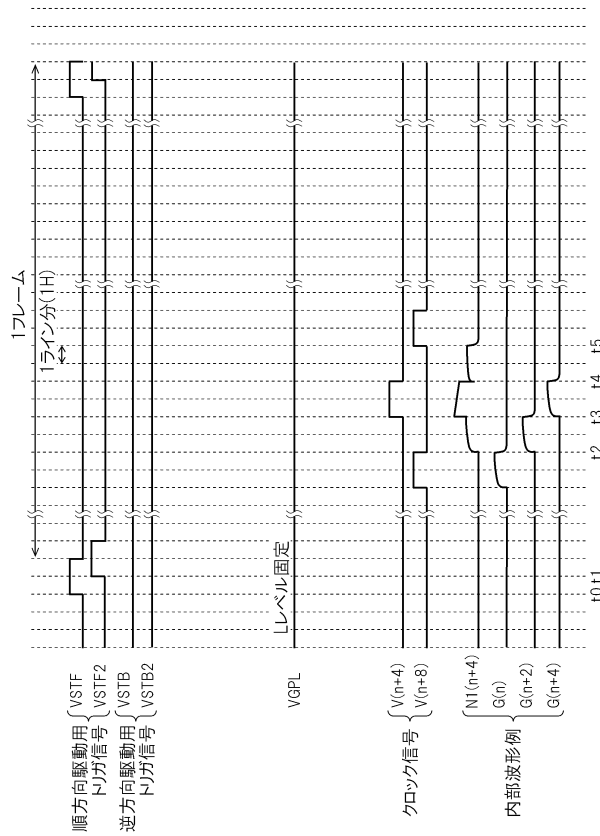
【 図 1 2 C 】



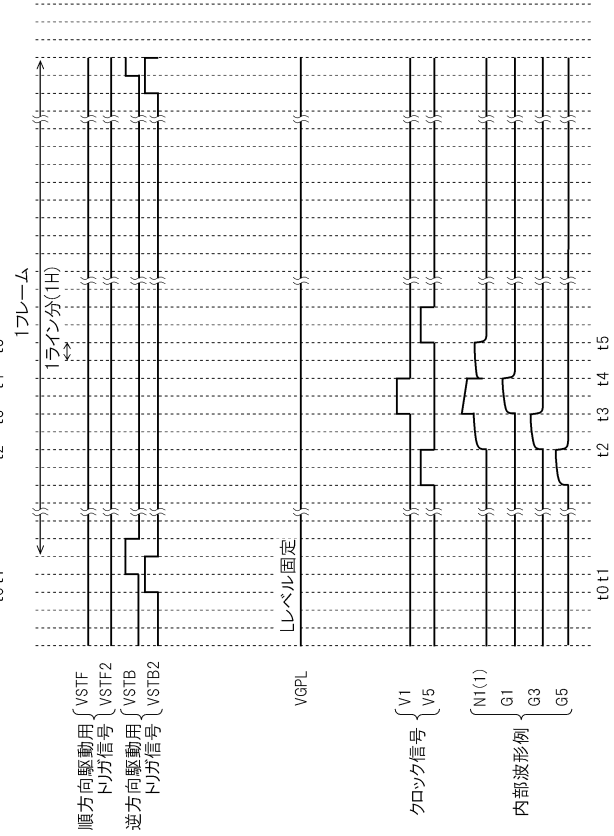
【 図 1 2 E 】



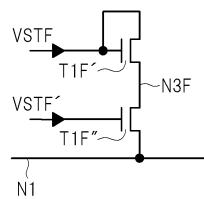
【図 13】



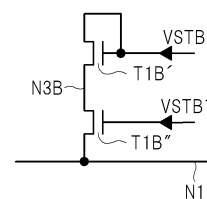
【図 14】



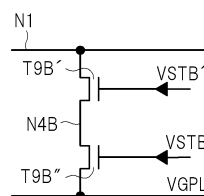
【図 15 A】



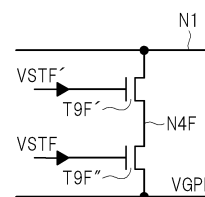
【図 15 C】



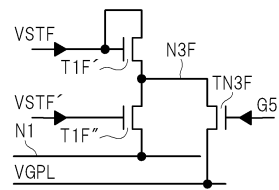
【図 15 B】



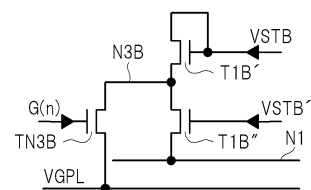
【図 15 D】



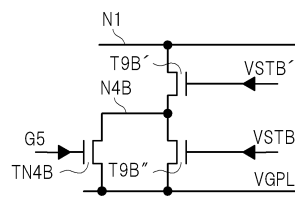
【図 16 A】



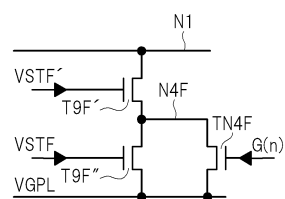
【図 16 C】



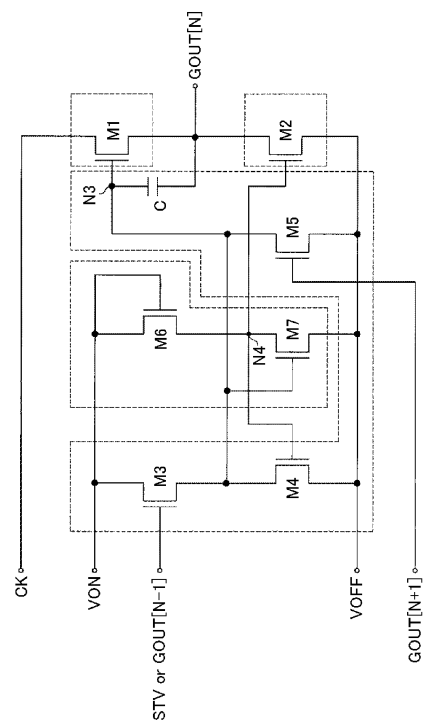
【図 16 B】



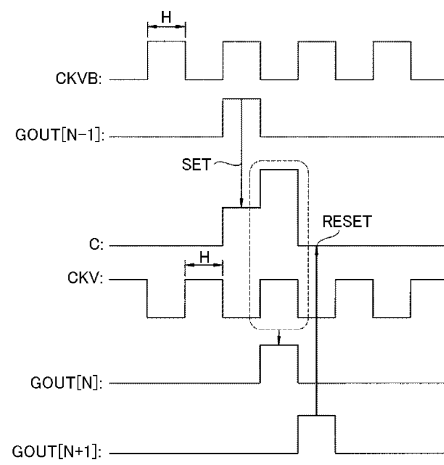
【図 16 D】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 7 0 J

(72)発明者 小谷 佳宏
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 松元 秀一郎
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

審査官 堀田 和義

(56)参考文献 特表 2 0 0 1 - 5 0 6 0 4 4 (J P , A)
特開 2 0 1 2 - 9 0 9 4 (J P , A)
特開 2 0 1 2 - 9 0 9 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 1 9 / 0 0
G 1 1 C 1 9 / 2 8