

(12) 发明专利

(10) 授权公告号 CN 101131871 B

(45) 授权公告日 2012.04.04

(21) 申请号 200710146845.1

(22) 申请日 2007.08.24

(30) 优先权数据

06119479.1 2006.08.24 EP

(73) 专利权人 意法半导体股份有限公司

地址 意大利布里安扎

专利权人 海力士半导体有限公司

(72) 发明人 R·米歇洛尼 R·拉瓦西奥

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 张雪梅 陈景峻

(51) Int. Cl.

G11C 16/00(2006.01)

(56) 对比文件

US 6418052 B1, 2002.07.09, 说明书第
25 栏 53-57, 第 26 栏 5-16, 48-51 行、附图

18-19, 24-26.

US 20060117268 A1, 2006.06.01,

WO 2005096316 A1, 2005.10.13,

US 5930167 A, 1999.07.27, 说明书第 2 栏
30-42 行.

CN 1505153 A, 2004.06.16, 说明书第 3 页 8
行, 第 4 页 24 行 29 行、附图 27.

US 6418052 B1, 2002.07.09, 说明书第
25 栏 53-57, 第 26 栏 5-16, 48-51 行、附图
18-19, 24-26.

审查员 陈学元

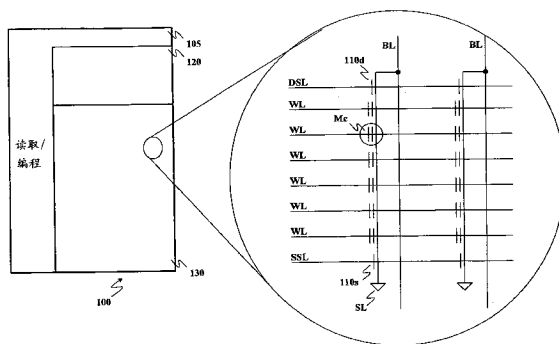
权利要求书 3 页 说明书 11 页 附图 7 页

(54) 发明名称

非易失性的电可编程存储器

(57) 摘要

本发明涉及非易失性的电可编程存储器。提供一种固态大容量存储器件 (105, 100 ; 400, 415, 420)。该固态大容量存储器件限定了适于存储数据的存储区域 (100 ; 415) ; 该存储区域适合用于以第一存储密度以第一数据传送速度存储数据。该存储区域至少包括第一存储区域部分 (120) 和第二存储区域部分 (130)。该固态大容量存储器件进一步包括存取装置 (105 ; 420 ; 440), 该装置适于利用第一存储区域部分以第二存储密度以第二数据传送速度存储数据, 以及适于利用第二存储区域部分以第三存储密度和第三数据传送速度存储数据。第二存储密度低于第三存储密度, 其又低于或等于第一存储密度 ; 第二数据传送速度高于第三数据传送速度, 其又高于或等于第一数据传送速度。



1. 一种固态大容量存储器件,包括:

存储区域,该存储区域适合用于以第一存储密度以第一数据传送速度来存储数据,该存储区域包括:

包括多个存储器单元的第一存储区域部分,该第一存储区域部分用于以第二存储密度存储数据;

包括多个存储器单元的第二存储区域部分,该第二存储区域部分用于以第三存储密度存储数据;

存取装置,该存取装置适合于利用第一存储区域部分来以第二存储密度以第二数据传送速度存储数据,并且适合于利用第二存储区域部分来以第三存储密度和第三数据传送速度存储数据,其中

第一存储密度、第二存储密度和第三存储密度中的每个分别根据存储区域中存储数据的存储器单元与存储区域中所有的存储器单元的比、第一存储区域部分中存储数据的存储器单元与第一存储区域部分中所有的存储器单元的比、第二存储区域部分中存储数据的存储器单元与第二存储区域部分中所有的存储器单元的比确定;

第二存储密度低于第三存储密度,其又低于或等于第一存储密度;

第二数据传送速度高于第三数据传送速度,其又高于或等于第一数据传送速度。

2. 根据权利要求 1 的固态大容量存储器件,其中:

该存储区域被存储器阵列限定,所述存储器阵列包括适合于存储数据、按照多行和多列设置的多个存储器单元;以及

所述存储器单元列至少按照第一和第二集合列设置,第一集合列交替于第二集合列。

3. 根据权利要求 2 的固态大容量存储器件,其中存取装置适合于使数据在第一存储区域部分中仅被存储在属于第一集合列或第二集合列的存储器单元中。

4. 根据权利要求 2 或 3 的固态大容量存储器件,其中存取装置适合于使数据在第一存储区域部分中被存储在属于非相邻行的存储器单元中。

5. 根据权利要求 2 或 3 的固态大容量存储器件,其中所述存储器单元是多级单元,每一个适合用于存储预定数目的位,该预定数目大于一。

6. 根据权利要求 5 的固态大容量存储器件,其中存取装置适合于使第一存储部分中的存储器单元用于在其每一个中存储比所述预定数目小的位数。

7. 根据权利要求 2 或 3 的固态大容量存储器件,其中存取装置适合于向第一或第二存储区域部分中的被寻址的存储器单元组的每一个存储器单元施加编程电压脉冲序列以在其中存储数据。

8. 根据权利要求 7 的固态大容量存储器件,其中:

所述被寻址的存储器单元组包括属于至少一行的存储器单元;以及

该存取装置适合于在连续的时间内将每个编程电压脉冲施加到属于第一集合列的被寻址组的存储器单元和属于第二集合列的被寻址组的存储器单元。

9. 根据权利要求 8 的固态大容量存储器件,其中存取装置适合于利用第一或第二存储区域部分来以第四存储密度以第四数据传送速度存储数据,其中第四存储密度高于第一存储密度,并且第四数据传送速度低于第一数据传送速度。

10. 根据权利要求 1-3 中任一项的固态大容量存储器件,其中该固态大容量存储器件

是 NAND 快闪存储器器件。

11. 一种利用固态大容量存储器件的存储区域存储数据的方法,其中该存储区域适合用于以第一存储密度以第一数据传送速度存储数据,该方法包括:

接收将被存储到该大容量存储器件中的数据;以及

利用所述存储区域的第一存储区域部分来以第二存储密度以第二数据传送速度存储接收到的数据,或者利用所述存储区域的第二存储区域部分来以第三存储密度以第三数据传送速度存储接收到的数据,其中

第一存储区域部分和第二存储区域部分包括多个存储器单元;

第一存储密度、第二存储密度和第三存储密度中的每个分别根据存储区域中存储数据的存储器单元与存储区域中所有的存储器单元的比、第一存储区域部分中存储数据的存储器单元与第一存储区域部分中所有的存储器单元的比、第二存储区域部分中存储数据的存储器单元与第二存储区域部分中所有的存储器单元的比确定;

第二存储密度低于第三存储密度,其又低于或等于第一存储密度;

第二数据传送速度高于第三数据传送速度,其又高于或等于第一数据传送速度。

12. 根据权利要求 11 的方法,其中:

该存储区域被存储器阵列限定,所述存储器阵列包括适合于存储数据、按照多行和多列设置的多个存储器单元;以及

所述存储器单元列至少按照第一和第二集合列设置,第一集合列交替于第二集合列。

13. 根据权利要求 12 的方法,进一步包括:

在第一存储区域部分中,将接收到的数据仅存储在属于第一集合列或属于第二集合列的存储器单元中。

14. 根据权利要求 12 或 13 的方法,进一步包括:

在第一存储区域部分中,将接收到的数据仅存储在属于非相邻行的存储器单元中。

15. 根据权利要求 12 或 13 的方法,其中所述存储器单元是多级单元,每一个适合用于存储预定数目的位,该预定数目大于一。

16. 根据权利要求 15 的方法,其中第一存储部分中的存储器单元适合用于在其每一个中存储比所述预定数目小的位数。

17. 根据权利要求 12 或 13 的方法,进一步包括:

在第一或第二存储区域部分中寻址存储器单元组以存储数据于其中;以及

将编程电压脉冲序列施加到被寻址的存储器单元组的每个存储器单元。

18. 根据权利要求 17 的方法,其中所述被寻址的存储器单元组包括属于至少一行的存储器单元,该方法进一步包括:

在连续的时间内将每个编程电压脉冲施加到属于第一集合列的被寻址组的存储器单元和属于第二集合列的被寻址组的存储器单元。

19. 根据权利要求 18 的方法,进一步包括:

在第一或第二存储区域部分中,以比第一数据传送速度低的第四数据传送速度、以比第一存储密度高的第四存储密度存储接收到的数据。

20. 根据权利要求 19 的方法,进一步包括:

通过使以所述第二存储密度并且以所述第二数据传送速度存储在第一存储区域部分

中的数据以所述第三存储密度并且以所述第三数据传送速度存储在第二存储区域部分中，或反之亦然，来在所述存储区域内执行数据传送。

21. 根据权利要求 20 的方法，进一步包括：

通过以所述第四存储密度并且以所述第四数据传送速度将数据存储在第一存储区域部分中或第二存储区域部分中来执行数据压缩。

22. 根据权利要求 11-13 中任一项的方法，其中当该固态大容量存储器件没有忙于存储接收的数据时，执行所述数据传送和数据压缩。

非易失性的电可编程存储器

技术领域

[0001] 本发明涉及数据的大容量存储的领域。更尤其是,本发明涉及一种非易失性固态大容量存储器件。

背景技术

[0002] 在电子学领域,术语大容量存储指的是即使在没有电源的时候,也能以持久方式存储大量数据。用于大容量存储应用的存储介质可分成三种广义类别:磁性大容量存储器件,例如硬盘、软盘、磁鼓存储器和磁带;光学大容量存储器件,例如光盘、数字通用光盘(DVD)和磁光盘;和固态大容量存储器件,例如电可编程存储器(EPROM)、NOR/NAND 快闪存储器和双向存储器。

[0003] 为了进行各种大容量存储器件的比较,有用的是检查它们的最重要特征,例如存储容量、数据传送速度和存取时间。

[0004] 更尤其是,存储容量越大,大容量存储器件就越好。然而,大容量存储器件的成本强烈依赖于所述的特征,和用于实施该器件的技术。现今磁性大容量存储器件是以最高存储容量为特征的器件,之后是光学大容量存储器件,最后一级是固态大容量存储器件。

[0005] 然而,磁性和光学大容量存储器件具有显示出长存取时间的大缺点。事实上,例如就硬盘而言,在编程操作期间,其中必须将数据存储在被寻址的存储位置,数据实际上是在例如 10 毫秒级的相对长的存取时间之后被写入到所述位置的,在此期间硬盘的磁性读/写头移动到对应于该被寻址的存储位置的轨迹上的位置。另一方面,固态大容量存储器件具有相对于其它类别的很低的、实际上为零的存取时间。

[0006] 目前,以最高数据传送速度(在编程和读取时)为特征的一类大容量存储器件是那种磁性的大容量存储器件。当前的硬盘,一旦已恰当地定位了它们的磁性读/写头(如上所述,使读/写头到该被寻址的存储器位置所需的时间为存取时间),就能够以每秒 20 兆位的速率存储数据。相反,固态大容量存储器件的数据传送速度较低。例如,当前的四级 NAND 快闪存储器一般具有每秒 2 兆位的编程速度,而二级(也被称为二进位的)NAND 快闪存储器一般具有每秒 10 兆位的编程速度。

[0007] 如本领域的技术人员已知的,NAND 快闪存储器的数据传送速度,尤其是它的编程速度,取决于几个因素,例如:每个存储器单元能被编程到的级数、对应于各级的存储器单元的阈值电压分布的宽度、持续时间及在编程存储器单元的编程操作期间使用的编程电压脉冲数。

[0008] 由于 NAND 快闪存储器的编程操作在于重复地执行将编程电压脉冲施加到被寻址的存储器单元并且其后在施加编程脉冲电压之后检验这些存储器单元达到的编程状态的动作,因此编程电压脉冲的数目越高,编程所需的时间就越长。因此,为了具有足够高的编程速度,必须减少使存储器单元达到目标编程状态所需的编程电压脉冲数。

[0009] 然而,允许的最少的编程电压脉冲数强烈取决于编程级数,即阈值分布数和它们的宽度。

[0010] 为了能够精细地调节存储器单元的阈值电压,编程电压脉冲的增量必须足够低(并且因此,为了使存储器单元达到目标编程状态所需的脉冲数必须足够高)。这种限制越严格,则编程级数就越高,所述编程级数即在某一阈值电压值范围内的阈值电压分布数(较宽阈值电压分布使得难以辨别编程级;例如,四级 NAND 快闪存储器的理想阈值电压分布应具有约 150mV 的宽度)。

[0011] 由于以上原因,为了恰当地编程多级 NAND 快闪存储器,比在二进位的 NAND 快闪存储器的情况下需要更多的编程电压脉冲;因此,二进位的 NAND 快闪存储器的编程速度比多级 NAND 快闪存储器的编程速度高。

[0012] 背面图案依赖性 (BPD) 和浮置栅耦合 (FGC) 是引起阈值电压分布扩展的公知效应。

[0013] 为了描述 BPD 如何影响阈值电压分布的宽度,必须注意以下事实:根据连接至位线的漏极选择晶体管和连接至基准电压分布线的源极选择晶体管之间的串联连接的存储器单元串布置 NAND 快闪存储器中的存储器单元;所述串相互平行连接。当属于相同串的所有存储器单元必须被编程时,通常被编程的第一存储器单元是连接至串的源极选择晶体管的单元,其后是该串的随后的存储器单元朝着连接至漏极选择晶体管的存储器单元继续。因此,被编程的串中的每个存储器单元借助静态非编程的(即,擦除的)存储器单元连接至相应的位线。用这种编程方法,在编程操作(即,当验证它们的编程状态时)期间该串中的每个存储器单元的状态(从电阻观点来看)不同于已经编程串中的所有存储器单元的情况。事实上,虽然在检验期间和在已编程该串的所有存储器单元之后,将被编程的每个单元的源极电阻(即,在源电极看到的电阻)是相同的,但漏极电阻(即,在漏电极看到的电阻)通常会改变。这归因于如下事实:虽然源极电阻取决于已被编程的存储器单元的沟道电阻,但漏极电阻取决于可能改变它们的编程状态的仍未被编程的存储器单元的沟道电阻。换句话说,当存储器单元经历读操作时,为了稍后重新获得它们的编程状态,在可能不同于检验操作期间的情况的情况下执行所述读操作。这种(编程)图案依赖性使对应于非擦除状态的阈值电压分布的宽度增加了不可忽略的量(例如,等于 50mV)。

[0014] 关于 FGC 效应,已知的是一般存储器单元的浮置栅并非完全与相邻存储器单元的浮置栅屏蔽开(从电的观点来看),而是与其电容耦合。考虑存储器单元阵列中的一般存储器单元,它由 8 个其它存储器单元环绕,两个沿位线方向,两个沿字线方向和四个沿两个对角线方向。正如本领域的技术人员已知的,FGC 效应强烈取决于在编程操作期间相邻存储器单元经历的阈值电压的变化量。例如,让我们考虑具有适合存储 2 位的存储器单元 M_c 的多级存储器,且可将它们的阈值电压编程为四个不同级,简单表示为“A”、“B”、“C”、“D”(A 与擦除状态相关且 D 与对应于最高阈值电压的编程状态相关)。如果存储器单元相邻于经历编程操作以使它们达到最后的编程状态 D 的存储器单元,那么该存储器单元将严重经历该 FGC 效应。事实上,由于阈值电压取决于存储在浮置栅中的电荷量,因此从状态 A(即,对应于浮置栅具有存储于其中的少量电荷的情况)变化到状态 D(即,对应于浮置栅具有存储于其中的大量电荷的情况)的存储器单元需要传输大量电荷,其又会影响到与之电电容耦合的相邻浮置栅的阈值电压。将被编程的存储器单元的阈值电压变化越高,在传输中包含的电荷量就越高并且相邻存储器单元的阈值电压变化就越高。因此,在相邻存储器单元的浮置栅之间的所述电电容耦合强烈增加了对应于非擦除状态的阈值电压分布的宽度。尤其是,

由编程八个相邻单元引起的对所考虑的存储器单元的干扰会导致阈值电压分布的宽度增加 400–500mV。

[0015] 为了防止阈值电压分布的所述不期望的加宽削弱存储器操作（这将在对应于两个编程状态的两个阈值电压分布重叠的情况下发生），需要采取措施以确保阈值电压分布是窄的，仔细地规划要施加到存储器单元的编程电压脉冲的宽度、数目和持续时间。令人遗憾的是，上述不期望的这种效应致使 NAND 快闪存储器的数据传送速度（在编程操作期间）低于磁性大容量存储器件的传送速度。

[0016] 因而，在必须连续存储大量数据的所有应用中，磁性大容量存储器件大大地超过了其它大容量存储器件种类，占据着市场。实际上，在磁性大容量存储器件（例如，硬盘）具有足够大的自由空间的情况下，连续存储的数据可以写在相邻的存储位置；以这种方式，对于第一存储位置，硬盘的磁性读 / 写头的定位必须仅进行一次，并且完全采用高的数据传送速度。然而，当要被存储的数据量不太大时，并且当存取存储器件的频率相对高时，使用固态大容量存储器件是更有利的。

[0017] 再假设，除了对存储数据的存取非常频繁的情况，当前对于大容量存储应用来说最方便的存储介质仍然是磁性大容量存储器件。

[0018] 然而，与磁性（和光学）对应物相比，固态大容量存储器件更鲁棒，因为固态器件不包括机械和可移动部分（比如读 / 写头、轴和大浅盘）。这些机械和可移动部分的存在，除了使器件更易坏之外，还阻止了器件的最小化，因为这些机械部分的尺寸不能以与电子部件相同的方式按比例缩小。而且，为了能够移动这些机械部分，磁性（和光学）大容量存储器件必须包括马达，其需要比正常用来供应电子器件的功率供给更高的功率供给。

[0019] 由于所有这些原因，强烈希望使用固态大容量存储器件用于所有的大容量应用。然而，为了这个目的，应大大地增加它们的数据传送速度。

[0020] 鉴于前面所述的现有技术状态，本申请人面临的问题是：如何改善固态大容量存储器件的已知的实施方式，以便在不损失存储容量的情况下增强数据传送速度，克服上述问题。

发明内容

[0021] 根据本发明的一方面，提供一种如所附权利要求 1 所述的固态大容量存储器件。尤其是，该固态大容量存储器件限定了适合存储数据的存储区域；该存储区域适合用于以第一存储密度以第一数据传送速度来存储数据。该存储区域至少包括第一存储区域部分和第二存储区域部分。该固态大容量存储器件进一步包括存取装置，该存取装置适合利用第一存储区域部分来以第二存储密度以第二数据传送速度存储数据，并且适合利用第二存储区域部分来以第三存储密度和第三数据传送速度存储数据。第二存储密度低于第三存储密度，其又低于或等于第一存储密度；第二数据传送速度高于第三数据传送速度，其又高于或等于第一数据传送速度。

附图说明

[0022] 将通过阅读仅借助参考附图构造的非限制性实例给出的以下详细说明更好地理解本发明的特征和优点，其中：

[0023] 图 1 示出了根据本发明的实施例的固态存储器件的存储空间；

[0024] 图 2A-2D 示出了根据本发明的不同实施例用于增加图 1 的存储空间的一部分的数据传送速度的不同解决方案；

[0025] 图 3 描绘了固态器件的存储块；和

[0026] 图 4 示出了根据本发明的实施例的固态大容量存储器件。

具体实施方式

[0027] 参考各图，在图 1 中示出了根据本发明的实施例的适合于用作大容量存储器件（例如，在摄影机或数字静拍照相机中）的固态存储器件的存储空间 100。该固态存储器件例如是 NAND 快闪存储器。

[0028] 借助存储器单元阵列、尤其是电可编程的非易失性半导体存储器单元阵列来物理地实现该存储空间；在下文，附图标记 100 也将用于全局标识存储器单元阵列。读取和编程单元 105 与该阵列 100 相关，适合于对其存储器单元进行读取和编程操作。

[0029] 如示意性所示的，阵列 100 的存储器单元 Mc 设置成多行和多列。每个存储器单元 Mc 由具有电荷存储元件、尤其是适合于通过电子带电的导电浮置栅的 N 沟道 MOS 晶体管构成。在擦除状态下，一般存储器单元 Mc 具有低阈值电压。存储器单元 Mc 是通过将电荷注入到其浮置栅被编程的；在编程状态下，存储器单元 Mc 具有比擦除状态的阈值电压高的阈值电压。因此，阈值电压的值限定了存储在存储器单元 Mc 中的数据 (datum) 可采取的不同逻辑值。存储器单元 Mc 是通过去除存储在其浮置栅中的电荷被擦除的。

[0030] 阵列 100 的每列与相应的位线 BL 有关，而该阵列的每行与相应的字线 WL 相关。

[0031] 根据该 NAND 结构，例如八个、十六个或甚至更多（例如，三十二个）存储器单元 Mc 的组彼此串联连接以形成相应的存储器单元串，并且属于相同列的不同存储器单元串彼此平行地连接至相同位线 BL。

[0032] 特别地，一般串的存储器单元 Mc 串联连接在源极选择 N 沟道 MOS 晶体管 110s 和漏极选择 N 沟道 MOS 晶体管 110d 之间。存储器单元串中的一般中间存储器单元 Mc 具有漏极端，其连接至该串中相邻存储器单元 Mc 的源极端；和源极端，其连接至该串中另一相邻存储器单元 Mc 的漏极端。位于该串端部的两端部存储器单元 Mc 之一具有漏极端，其连接至漏极选择晶体管 110d 的源极端；漏极选择晶体管 110d 的漏极端连接至相应的位线 BL，以及相邻存储器单元串的相应漏极选择晶体管 110d 的漏极端。同样，该串的另一端部存储器单元 Mc 具有源极端，其连接至源极选择晶体管 110s 的漏极端；源极选择晶体管 110s 的源极端连接至另一相邻存储器单元串的相应源极选择晶体管 110s 的源极端。

[0033] 在每行中存储器单元 Mc 的控制栅极端连接至相应的字线 WL。属于阵列 100 的公共行的漏极选择晶体管 110d 的栅极端都连接至相应的漏极选择线 DSL；相似地，属于公共行的源极选择晶体管 110s 的栅极端都连接至相应的源极选择线 SSL。属于阵列 100 的公共列的漏极选择晶体管 110d 的漏极端连接至相应的位线 BL。相反，在阵列 100 中所有的源极选择晶体管 110s 的源极端都连接至公共源极线 SL（其操作时一般保持在基准电压或地）。

[0034] 在这里考虑的实例中，每个字线 WL 对应于两个不同的存储页面。更尤其是，假设给每个位线 BL 分配整数索引，则第一存储页面（“偶数存储页面”）包括存储在属于在偶数位置（即，其索引是偶数）的位线 BL 的存储器单元中的数据；第二存储页面（“奇数存储页

面”)包括存储在属于在奇数位置(即,其索引为奇数)的位线 BL 的存储器单元中的数据。

[0035] 如本说明书的引言部分中所论述的, NAND 快闪存储器的数据传送速度,尤其是在编程操作时,由固态存储器件技术固有的约束所限制。对于本说明书的目的来说,采用“固有的数据传送速度”指的是 NAND 存储器的数据传送速度,假设完全使用阵列 100 或其一部分的潜在存储容量(该潜在存储容量指的是利用整个阵列 100 或其所考虑的部分可以存储的最大数据量);例如,在四级 NAND 存储器的情况下,完全采用阵列 100 或其一部分的存储容量,指的是在阵列 100 或其所考虑的部分的每个存储器单元 Mc 中存储两位信息。为了完全采用存储器的潜在存储容量,必需在编程操作中采取防止存储器单元的阈值电压分布过度加宽的那些措施:最终,这意味着利用几个短编程电压脉冲;固有的数据传送速度与使存储器单元处于任一目标编程状态需要的编程电压脉冲数有关。

[0036] 根据本发明的实施例,在假定整个阵列 100 的潜在存储容量相比通常发送到存储器以被编程到阵列 100 中的数据量(例如,由数字照相机获取的图像,例如是 JPEG 格式的文件,或 MP3 文件)足够高的情况下,能够采用存储空间,即从存储容量观点来看,该阵列 100 不太有效,以便在源极去除一个或多个、可能的话去除所有的有助于加宽存储器单元 Mc 的阈值电压分布的原因,比如 BPD 和 FGC 效应。这允许使用更长的编程电压脉冲,以便需要更少的脉冲使存储器单元达到目标编程状态:该数据传送速度由此被增加到超过固有的数据传送速度。

[0037] 对于本说明书的目的来说,采用阵列 100 的一组存储器单元 Mc 的“存储密度”指的是所考虑的组的所有存储器单元 Mc 在使用时打算存储的数据量除以所考虑的组的存储器单元 Mc 的数目。当完全采用所考虑的组中的存储器单元的潜在存储容量时,该组存储器单元的存储密度是最大的;例如,当完全采用四级 NAND 快闪存储器的一组存储器单元的潜在存储容量时,存储密度等于 2 位每单元。

[0038] 根据本发明的实施例,存储空间被划分成两个子空间 120 和 130,对应于阵列 100 的两组存储器单元 Mc。在第一和第二子空间 120 和 130 中采用存储器单元的存储容量使得第一子空间 120 的该组存储器单元 Mc 具有比第二子空间 130 的该组存储器单元的第二存储密度低的第一存储密度;这能缓和对于存储器单元的阈值电压分布宽度的要求,并由此增加数据传送速度。尤其是,可完全采用第二子空间 130 的潜在存储容量,以便第二存储密度等于最大存储密度。

[0039] 换句话说,根据本发明,第一子空间 120 的数据传送速度以其存储密度为代价而增加。观察到由于第一子空间 120 仅是整个存储空间 100 的一部分,所以由于存在具有较高存储密度(尤其是等于最大存储密度)的第二子空间 130,所以整体考虑,存储器件的平均存储密度没有被显著减小,仍相对较高。因此,整体考虑,阵列 100 显示出高的数据传送速度和高的存储密度:第一子空间 120 用于在损害存储密度的情况下快速存储数据,而第二子空间 130 用于在损害数据传送速度的情况下以较高的存储密度存储数据,所述较高的存储密度可能等于存储器允许的最大存储密度。

[0040] 观察到将存储空间 100 划分成所述两个子空间 120 和 130 是纯逻辑的,仅适合于如何借助读取和编程单元 105 对相应组的存储器单元 Mc 执行读取/编程操作。从物理结构的角度来看,对应于第一子空间 120 的存储器单元 Mc 完全等于形成第二子空间 130 的那些。

[0041] 根据本发明的实施例,为了增加第一子空间 120 的数据传送速度,通过编程仅对应于偶数存储页面或仅对应于奇数存储页面的存储器单元 M_c 来减小 FGC 效应。如在图 2A 中可以看出的,其中描述了第一子空间 120 的一部分,并且用灰色阴影描绘了打算用于存储信息(即,可以被编程)的存储器单元 M_c ,仅属于非相邻位线的存储器单元用于存储信息,即可以经历编程操作。由此,由浮置栅的电容耦合引起的效应被粗略减半,因为决不会采用在字线 WL 的方向上与被编程的存储器单元 M_c 相邻的存储器单元 M_c 来存储数据,并且由此它们决不会被编程,它们的状态保持未改变。因此,一旦存储器单元 M_c 已经被编程,它的阈值电压值就将仅由目的是对沿着位线 BL 方向相邻的两个存储器单元进行编程的随后的编程操作所影响。减小了 FGC 的效应,所得到的存储器单元的阈值电压分布变得更窄,并且存储器单元 M_c 可以以更快的方式编程(用于编程存储器单元的编程电压脉冲可能更长,并且平均来讲其数目可能减少了)。结果,第一子空间 120 的数据传送速度在以减半存储密度为代价的情况下相对于存储器的固有数据传送速度增加了,因为根据该实施例,在第一子空间 120 中可以仅使用每隔一个的存储器单元。

[0042] 根据本发明的另一实施例,也可通过仅采用每隔一个对应一个字线 WL 的存储器单元 M_c 存储数据来减小 FGC 效应,如图 2B 所描绘的。以该方式,仅编程了属于非相邻字线 WL 的存储器单元。如在图 2A 的情况下,以减半存储密度为代价地增加了数据传送速度。

[0043] 根据本发明的又一实施例,为了大大降低 FGC 效应,仅采用每隔一个对应于一个字线 WL 并且同时每隔一个对应于一个位线 BL 的存储器单元 M_c 来存储数据。以该方式,如图 2C 可以看出,能被编程的每个存储器单元 M_c 被从未被编程的相邻存储器单元包围,因为没有采用它们来存储数据。在该情况下,大大减小了阈值电压分布加宽效应,较长的编程脉冲可以用于编程存储器单元,并且以将存储密度减小至四分之一为代价,可以强烈地增加数据传送速度。

[0044] 根据本发明的实施例,通过采用每串存储器单元 M_c 中的仅一个存储器单元 M_c 存储数据可以显著地减小 BPD 效应。以该方式,该串的其他存储器单元 M_c 的状态没有变化(例如,它们保持在擦除状态),由此由用于存储数据的该串的该单个存储器单元 M_c 看到的漏极和源极电阻保持基本恒定。以强烈减小存储密度为代价,可以大大增加数据传送速度(存储密度减小越高,形成串的存储器单元 M_c 的数量就越高)。

[0045] 根据本发明的又一实施例,如图 2D 中所示意的,通过使用根据棋盘图案的存储器单元 M_c 存储数据也可减小 FGC 效应,即,对于每对相邻字线 WL,采用对应于偶数存储页面的存储器单元 M_c 用于该对的第一(或第二)字线 WL 以及对应于奇数存储页面的用于该对的另一字线 WL。如在前述情况下,以减半存储密度为代价增加了数据传送速度。

[0046] 尽管在所有的上述实施例中,提供的解决方案针对的是通过消除或减少有助于加宽存储器单元 M_c 的阈值电压分布的原因来相比于固有的数据传送速度增加数据传送速度,但其它的解决方案也是可以的,其被单独采用以及与前述的那些解决方案组合使用。

[0047] 例如,如果存储器是多级存储器,具有其阈值电压适合于编程至例如四个不同级(即,适合于存储 2 位)的存储器单元 M_c ,则可通过处理属于第一子空间 120 的存储器单元 M_c 增加数据传送速度,正如同它们是两级存储器单元(即,适合于每个存储仅 1 位的存储器单元)。由此,较低数目的阈值电压分布需要被分配在给定的阈值电压值范围内,并且对应于两个可能编程状态的阈值电压分布可以保持相当大的间隔:由此可以使用较长的编程电

压脉冲,并且由此可增加数据传送速度,因为需要较低数目的编程脉冲(平均来讲)来编程存储器单元;存储密度在该情况下也被减半。

[0048] 对于第一子空间 120 采用了用于相比于固有的数据传送速度增加数据传送速度的前述解决方案中的一个或多个,但对于第二子空间 130 没有采用它们。事实上,第二子空间 130 的主要功能是以高存储密度(可能是最大存储密度)存储数据,而所有的前述解决方案都损失了该存储密度以有利于数据传送速度。

[0049] 例如,如果阵列 100 的存储器单元 Mc 是多级单元,例如四级单元,那么为了增加数据传送速度,第一子空间 120 的单元是两级存储器单元,即,不使用它们每个存储 2 位的能力,并且它们用于每个仅存储 1 位,代替地第二子空间 130 的存储器单元 Mc 可用于每个存储 2 位,即完全采用它们的存储潜能,以增加存储密度。

[0050] 作为另一实例,如果在第一子空间 120 中,仅使用每隔一个对应于一个字线 WL 的存储器单元 Mc 存储数据,则在第二子空间 130 中采用对应于所有字线 WL 的所有存储器单元 Mc。

[0051] 根据本发明的另一实施例,能够减小 FGC 效应,同时保持相对高的存储密度,假设发送给存储器件以被编程到第二子空间 130 中的数据量比存储页面的存储容量高。

[0052] 例如,如果具有两个存储页面尺寸的数据量必须存储到第二子空间 130 中,则可以通过利用特定编程算法,将该数据存储到对应于相同字线 WL 的两个(偶数和奇数)存储页面中来减小 FGC 效应,这将在本说明书的下面部分中进行描述。

[0053] 如在本说明书的引言中讨论的,用于 NAND 快闪存储器的编程操作包括重复多个 n 步骤,每个步骤包括施加编程电压脉冲 $VP(i)$ ($i = 1$ 至 n),可能在每个步骤增加编程电压脉冲 $VP(i)$ 的值(直到最大值,例如 20V),并且在施加每个编程电压脉冲 $VP(i)$ 之后,验证是否达到所希望的阈值电压值。

[0054] 为了编程对应于相同字线 WL 的两个存储页面(偶数和奇数),可进行以下操作:

[0055] 1) 通过对其施加 n_1 个编程电压脉冲 $VP(i)$,编程属于寻址的偶数存储页面的存储器单元 Mc:

[0056] $VP(1)[e]; VP(2)[e]; \dots; VP(i)[e]; \dots; VP(n_1-1)[e]; VP(n_1)[e]$

[0057] 2) 通过对其施加 n_2 个(其中 n_2 通常不同于 n_1)编程电压脉冲 $VP(i)$,编程属于寻址的奇数存储页面的存储器单元 Mc:

[0058] $VP(1)[o]; VP(2)[o]; \dots; VP(i)[o]; \dots; VP(n_2-1)[o]; VP(n_2)[o]$,其中 $VP(i)[e]$ 代表在步骤 i 处编程电压脉冲 $VP(i)$ 施加到属于偶数存储页面的存储器单元,而 $VP(i)[o]$ 代表在步骤 i 处编程电压脉冲 $VP(i)$ 施加到属于奇数存储页面的存储器单元。换句话说,属于两个存储页面之一(在这里考虑的实例中为奇数存储页面,但在偶数存储页面的情况下可以进行相同的考虑)的存储器单元 Mc 仅在已经编程另一存储页面(在该实例中为偶数存储页面)的存储器单元 Mc 之后才被编程。

[0059] 这样的方法显示出相邻的(在字线 WL 方向上)存储器单元 Mc 的阈值电压分布受到 FGC 效应强烈影响的问题。事实上,由于在相邻存储器单元 Mc 的浮置栅之间存在电容耦合,并且由于属于偶数存储页面的存储器单元 Mc 与属于相同字线 WL 的奇数存储页面的存储器单元 Mc 交错,因此在一个存储页面的存储器单元 Mc 已经被编程之后将编程电压脉冲 $VP(i)$ 施加到另一存储页面的存储器单元 Mc 修改了后者存储器单元 Mc 的阈值电压。如已

经论述的,为了防止阈值电压分布的所述不希望的加宽削弱存储器操作(其将在对应于两个编程状态的两个阈值电压分布重叠的情况下发生),需要采取措施来确保阈值电压分布是窄的,例如减小编程电压脉冲的长度和增加编程电压脉冲的数量;这导致数据传送速度增加。

[0060] 根据本发明的实施例的编程算法代替地包括以下的操作顺序:

[0061] VP(1)[e];VP(1)[o];VP(2)[e];VP(2)[o];...;VP(i)[e];VP(i)[o];...;VP(n-1)[e];VP(n-1)[o];VP(n)[e];VP(n)[o]。

[0062] 由此,每个编程电压脉冲 VP(i) 首先施加到偶数存储页面的存储器单元 Mc,然后施加到对应于相同字线 WL 的奇数存储页面的存储器单元。然后对于每个编程电压脉冲 VP(i) (i = 1 至 n) 重复所述操作。

[0063] 利用上述的编程算法,相同字线 WL 的偶数存储页面和奇数存储页面的存储器单元 Mc 经历了在连续的时间内施加相同的编程电压脉冲(以编程电压脉冲顺序)。因此,在字线 WL 的所有存储器单元上逐步产生字线 WL 的所有存储器单元的阈值电压的变化。以该方式,相邻存储器单元的浮置栅(沿着字线 WL 方向)经历了减少的电荷变化;因此,减小了 FGC 效应对阈值电压宽度的影响。

[0064] 根据本发明的另一实施例,重复两次上述的编程算法(对相同的存储器单元)。尤其是,在第一重复期间,以快的方式以粗略的精度编程存储器单元,然后在第二重复期间,从利用第一重复达到的状态开始,以更精确的方式编程各个存储器单元的阈值电压。由于在第二重复期间阈值电压仅改变了少量,所以 FGC 效应减小了更多。

[0065] 根据本发明的另一实施例,提出了另一编程算法,适合于减小对 FGC 效应以及 BPD 效应的阈值电压宽度的影响。假设发送给存储器件以被存储到第二子空间 130 中的数据量等于存储块 MB 的存储容量。如图 3 中示意性示出的,通过存储块 MB,打算收集属于对应于相同字线 WL(j) (j = 1 至 m,其中 m 是包括在串中的存储器单元 Mc 的数目)的串的所有存储器单元 Mc。

[0066] 尤其是,利用用于描述在前编程算法的相同标记(notation),根据本发明的该另一实施例的编程算法包括以下操作顺序:

```
[0067] for i = 1 to n{
[0068]     for j = 1 to m{
[0069]         WL(j):VP(i)[e]
[0070]         WL(j):VP(i)[o]
[0071]     }
[0072] },
```

[0073] 其中操作“WL(j):VP(i)[e]”代表在步骤 i 处编程电压脉冲 VP(i) 施加到属于字线 WL(j) 的偶数存储页面的存储器单元 Mc,以及操作“WL(j):VP(i)[o]”代表在步骤 i 处编程电压脉冲 VP(i) 施加到属于字线 WL(j) 的奇数存储页面的存储器单元 Mc。由此,每个编程电压脉冲 VP(i) 首先施加到偶数存储页面的存储器单元 Mc,然后施加到该串的所有字线 WL(j) 的奇数存储页面的存储器单元,从对应于连接至源极选择晶体管 110s 的单元的字线 WL(1) 开始,并朝着对应于连接至漏极选择晶体管 110d 的单元的字线 WL(m) 继续进行。然后对于每个编程电压脉冲 VP(i) (i = 1 至 n) 重复所述操作。以该方式,由于根据在前编程

算法在前描述的共同原因,同时减小了 FGC 效应和 BPD 效应。

[0074] 根据本发明的又一实施例,上述的编程算法也重复了两次(粗略重复和精确重复),用于更多地减小 FGC 效应。

[0075] 根据本发明的实施例,由 BPD 和 FGC 效应引起的存储器单元的阈值电压分布加宽的这种减小允许以比由完全采用潜在存储容量给出的最大存储密度高的存储密度将数据存储在子空间 130 中;例如,如果四级 NAND 快闪存储器的一组存储器单元的潜在存储容量被完全采用时能提供 2 位每单元的存储密度,那么通过利用前述的编程算法,应当能够将存储密度增加例如一位。

[0076] 观察到,在本发明的实施例中,两个子空间 120 和 130 可具有固定的预定尺寸;在本发明的替换实施例中,两个子空间 120 和 130 的尺寸可改变,取决于其用法;例如,当接收到以高数据传送速度编程的数据时,子空间 120 的尺寸增加,并且子空间 130 的尺寸相应地减小。

[0077] 根据本发明的实施例,为了更有效地利用存储空间 100,通过增加其平均存储密度,已存储在第一子空间 120 中的数据,使单元的存储容量损失,被移动到第二子空间 130(由此,较少的存储空间用于存储相同量的数据),当存储器具有这样做的时间时,例如成批地或在后台中(in background)。

[0078] 现在参考图 4,示意性地示出了根据本发明的实施例的固态大容量存储器件 400。该固态大容量存储器件 400 可以嵌入在较复杂的电子系统中,例如存储卡、摄影机、数字静照相机或 USB 存储器件。固态大容量存储器件 400 包括多个存储模块 MEM,其具有例如相同的结构。固态大容量存储器件 400 进一步包括系统控制器 410,其适合于控制存储器件 400 的操作,并且尤其适合于指示存储模块 MEM。系统控制器 410 适合于从存储器件 400 的外部接收命令,并且适合于从存储器件 400 的外部接收数据/提供数据至存储器件 400 的外部。系统控制器 410 借助输入/输出总线 I/O 可连接至固态大容量存储器件 400 的外部,并且可操作地耦合至固态大容量存储器件 400 的所有存储模块 MEM。

[0079] 存储模块 MEM 中的一个或多个具有借助存储器单元的阵列 415 物理实施的存储空间,所述阵列 415 例如按照图 1 的阵列 100 来构造,并且与其相关联的是适合于对阵列 415 的存储器单元进行读取和编程操作的读取和编程单元 420。读取和编程单元 420 可借助存储模块总线 430 在操作上耦合至系统控制器 410。存储模块 MEM 进一步包括命令接口(CI) 435,其适合于接收和解释通过模块总线 430 由系统控制器 410 提供的并指示读取和编程单元 420 的命令。CI 435 还连接至微处理器 440,其适合于根据由 CI 解释的命令指示读取和编程单元 420。

[0080] 尤其是,微处理器 440 适合于控制读取和编程单元 420,以实施预定的编程算法。尤其是,可如同阵列 415 被分成第一和第二子空间 120 和 130 那样对阵列 415 的单元进行编程操作,如结合图 1 所描述的。

[0081] 当数据将被存储到固态大容量存储器件 400 中时,系统控制器 410 首先检查各个存储模块 MEM,以控制是否存在具有用于存储所述数据的足够的自由存储空间的存储模块。然后,系统控制器 410 发送数据给被选择的存储模块 MEM。

[0082] 为了简便起见,假设被选择的存储模块 MEM 的存储空间是完全自由的,即其所有的存储器单元被擦除了。在该条件下,由阵列 100 代表的整个存储空间处于所谓的“自由状

态”，可用于存储数据。

[0083] 为了增加数据传送速度，系统控制器 410 可通过 CI 435 指示微处理器 440 以快速模式将引入的数据存储到存储器阵列 100 中，例如采用允许增加编程速度使存储密度损失的前述解决方案之一；其中由此写入数据的存储位置将子空间 120 限定在阵列 415 的存储空间内。更尤其是，读取和编程单元 420 在微处理器 440 的控制下操作实施所希望的编程算法以利用例如前述解决方案中的一个或多个编程引入的数据，例如编程仅每隔一个地对应于阵列 415 的字线的存储器单元，和 / 或总体上没有利用存储器单元的位存储能力等等。

[0084] 在已经编程该数据之后，阵列 415 的存储空间在逻辑上被分成子空间 120，对应于已存储数据的存储位置，并且在其余的存储空间中仍处于自由状态。

[0085] 当另一数据将被存储到那个存储模块的阵列 415 中时，系统控制器 410 可再次指示微处理器 440 根据该快速模式编程引入的数据。结果，高速缓存空间 120 增加，而处于自由状态的存储空间减小。

[0086] 根据本发明的实施例，为了通过增加其平均存储密度更有效地利用存储空间 415，以快速模式编程存储器单元、使单元的存储容量损失而被存储的数据，在存储模块 MEM 的任何停滞时间 (dead time) 期间，例如在其没有被指示存储引入的数据时，根据由系统控制器 410 建立的政策被批量“压缩”。

[0087] 为此目的，系统控制器 410 通过 CI 435 指示微处理器 440，用于对存储于高速缓存空间 120 中的数据进行“数据压缩”操作。

[0088] 该压缩操作包括以允许完全（或更好地）利用用于存储那些数据的一组存储器单元的潜在存储容量的方式执行的编程操作：这意味着例如利用所有的字线、所有的位线、和每个单元的最大存储容量；例如，为此可利用处于自由状态的存储器单元，限定相应的第二子空间 130。被压缩的数据可从第一子空间 120 中去除，至用于将被存储的新数据的自由存储空间。

[0089] 以该方式，存储空间 415 动态地再分成三种空间：高速缓存空间、存储空间和自由空间。所述空间的每一个具有根据由系统控制器 400 提供的指令，在固态大容量存储器件 400 的操作期间可以改变的尺寸。

[0090] 此外，能够进行数据解压缩操作，即将数据从第二子空间 130 移动到第一子空间 120。

[0091] 根据本发明的实施例，数据也可以直接存储在第二子空间 130 中，而不需要首先存储在第一子空间 120 中且然后压缩在第二子空间 130 中。这在存储器的自由空间为有限的时是有用的，并且数据必须以高存储密度被直接存储。

[0092] 而且，根据本发明的另一实施例，必须执行的编程类型（快或不快）可以由固态大容量存储器件 400 的用户直接建立，给系统控制器 410 提供专用命令。

[0093] 根据本发明的实施例，第一子空间 120 或其一部分，可有利地用于（快速地）存储一般必须被频繁存取（在编程和读取时）的数据，例如指针和参数。

[0094] 自然地，为了满足局部和特定需求，本领域技术人员可将许多修改和改变应用到上述的解决方案。尤其是，尽管已参考其优选实施例以一定的具体程度描述了本发明，但应当明白，形式和细节方面的各种省略、替代和改变以及其它实施例是可以的；而且，明确打算的是结合本发明的任何公开的实施例描述的特定元件和 / 或方法步骤可以根据一般的

设计选择情况并入任何其他实施例中。

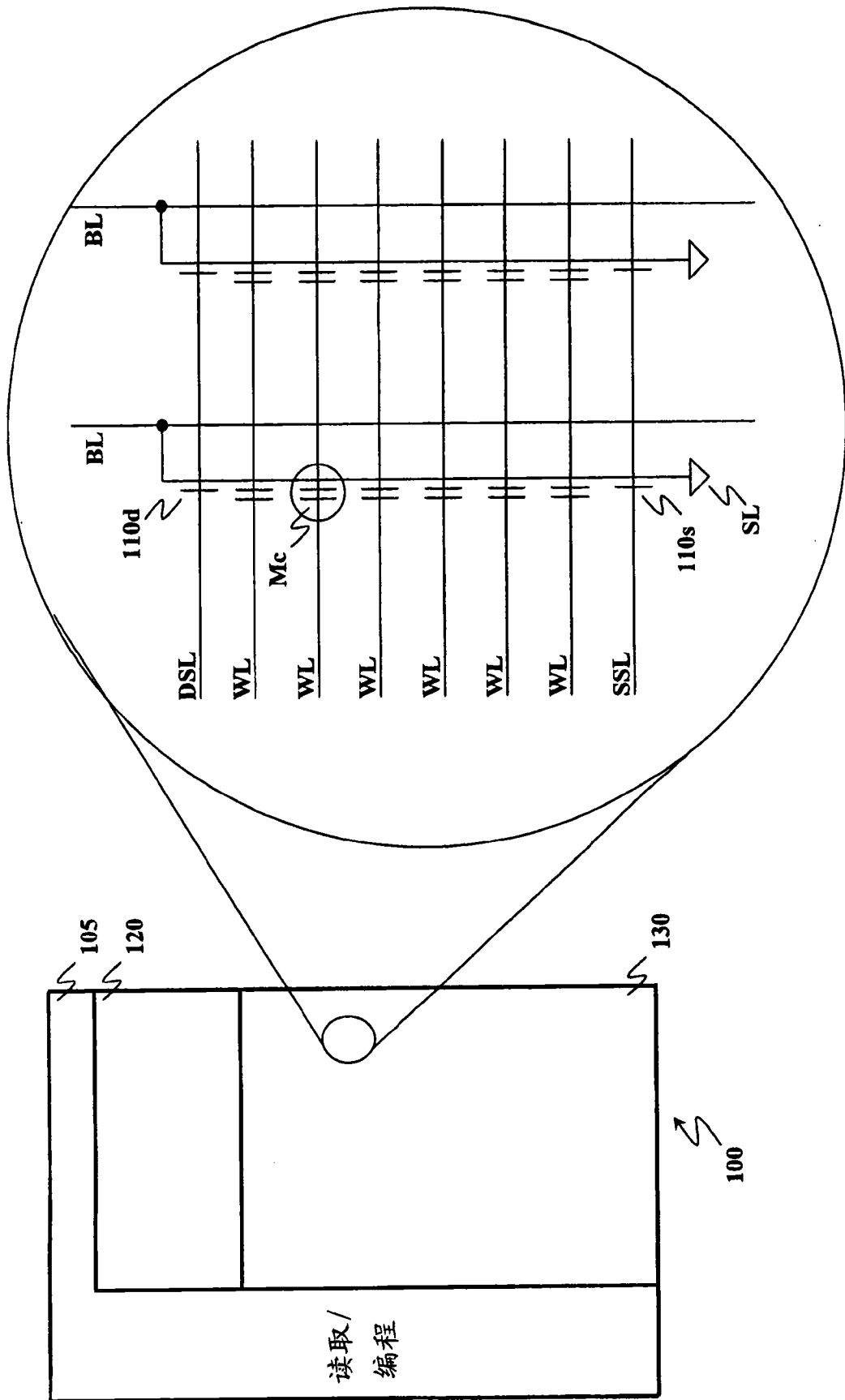


图 1

读取/
编程

120

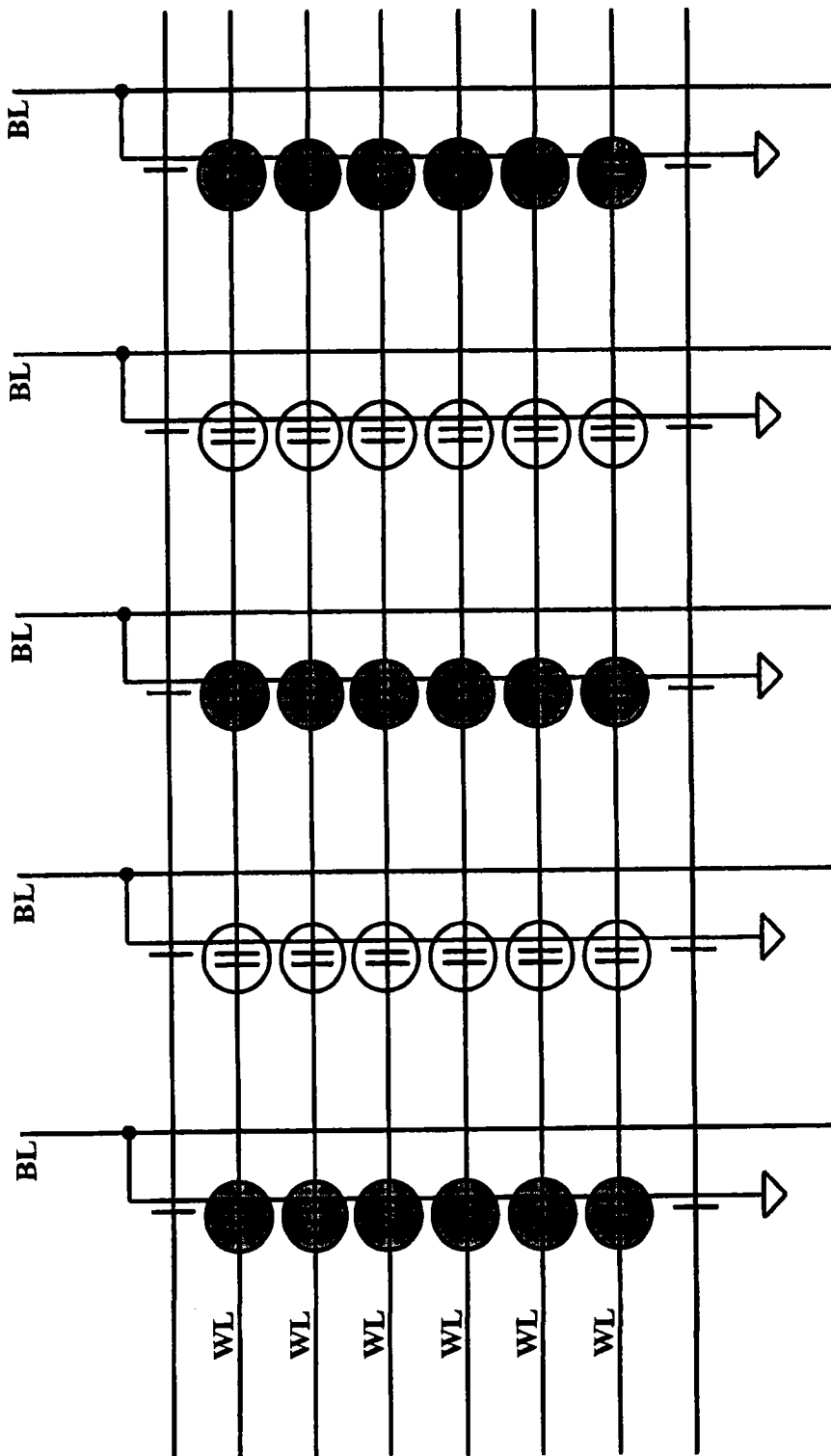


图 2A

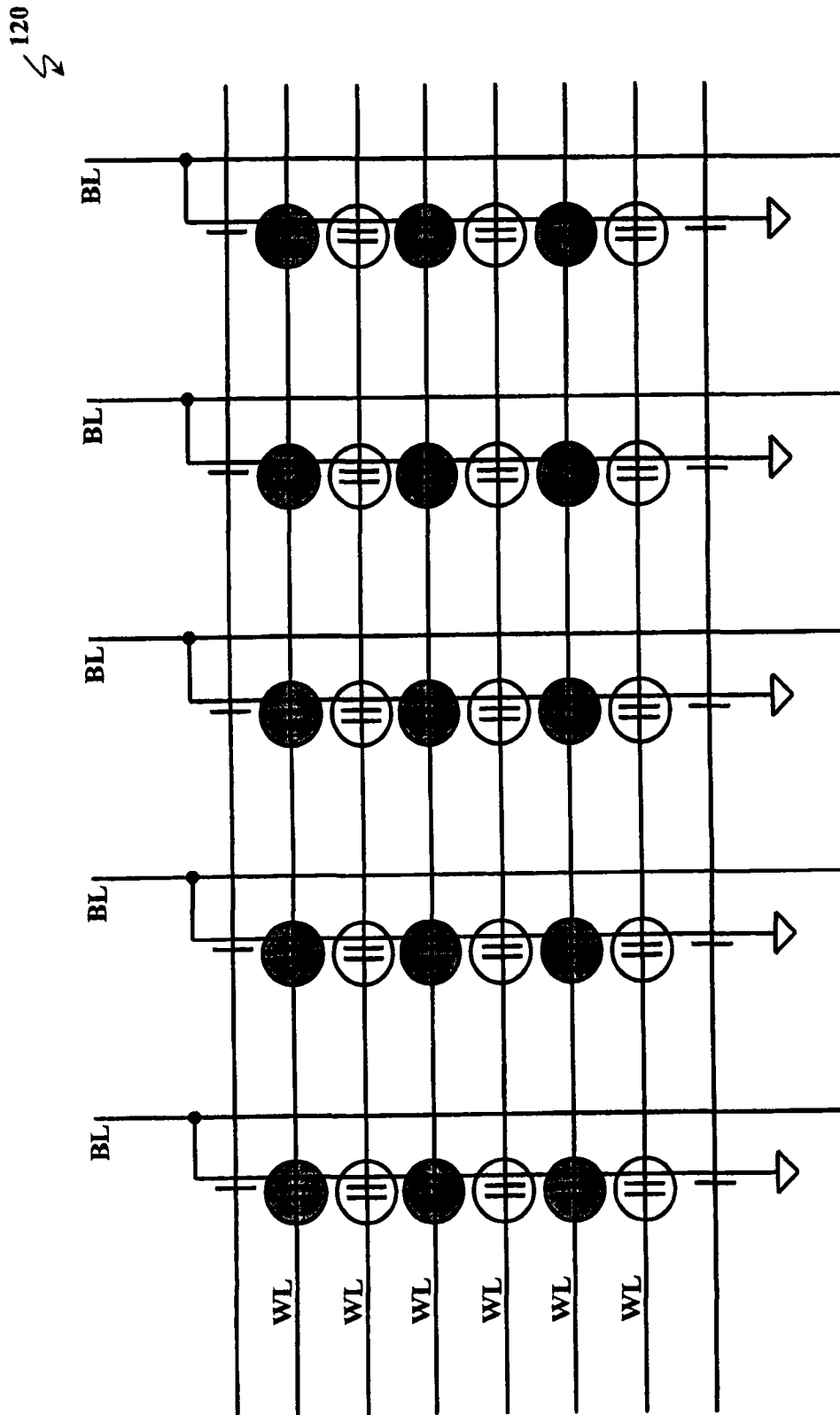


图 2B

120
⚡

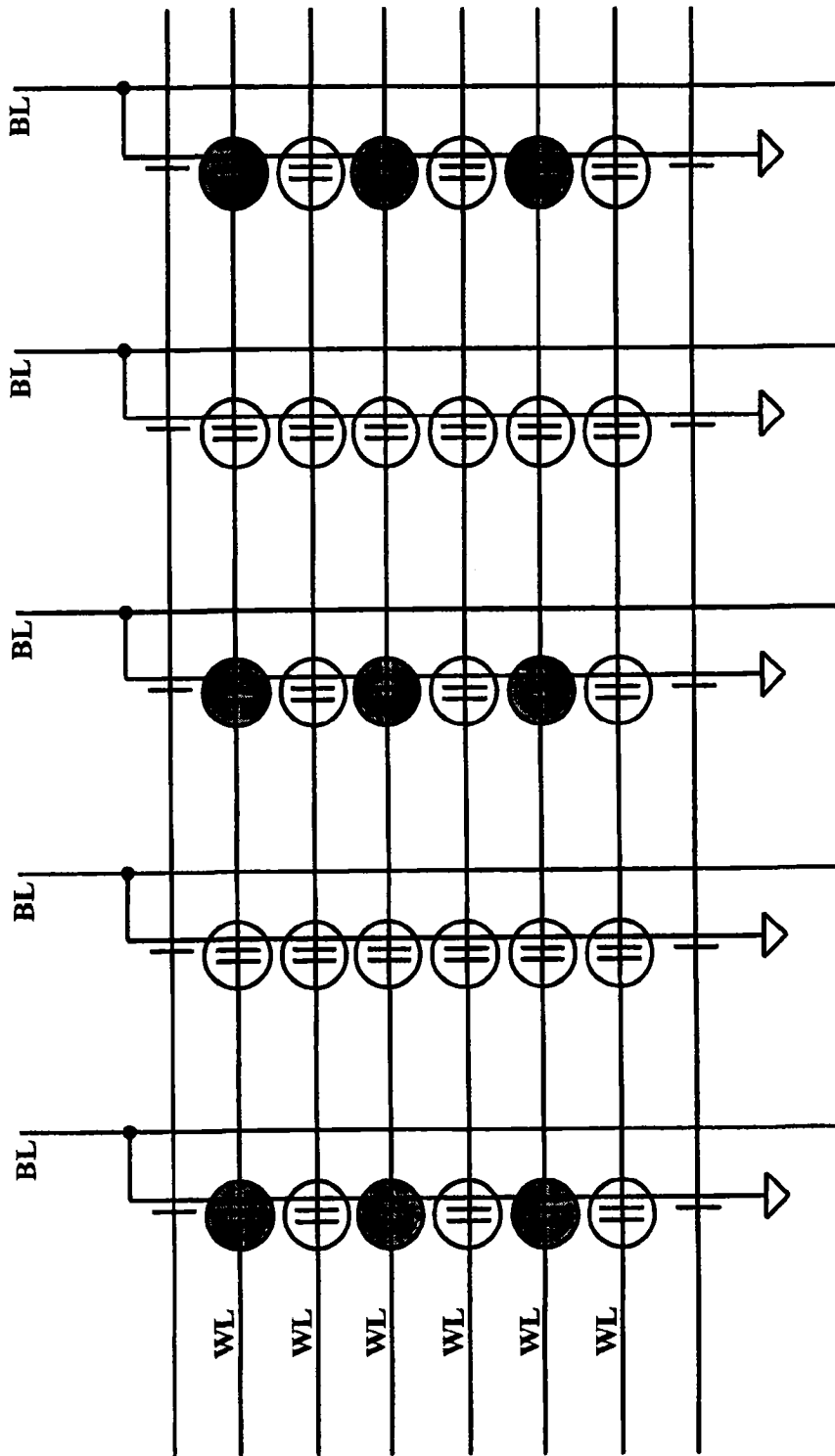


图 20

120
⚡

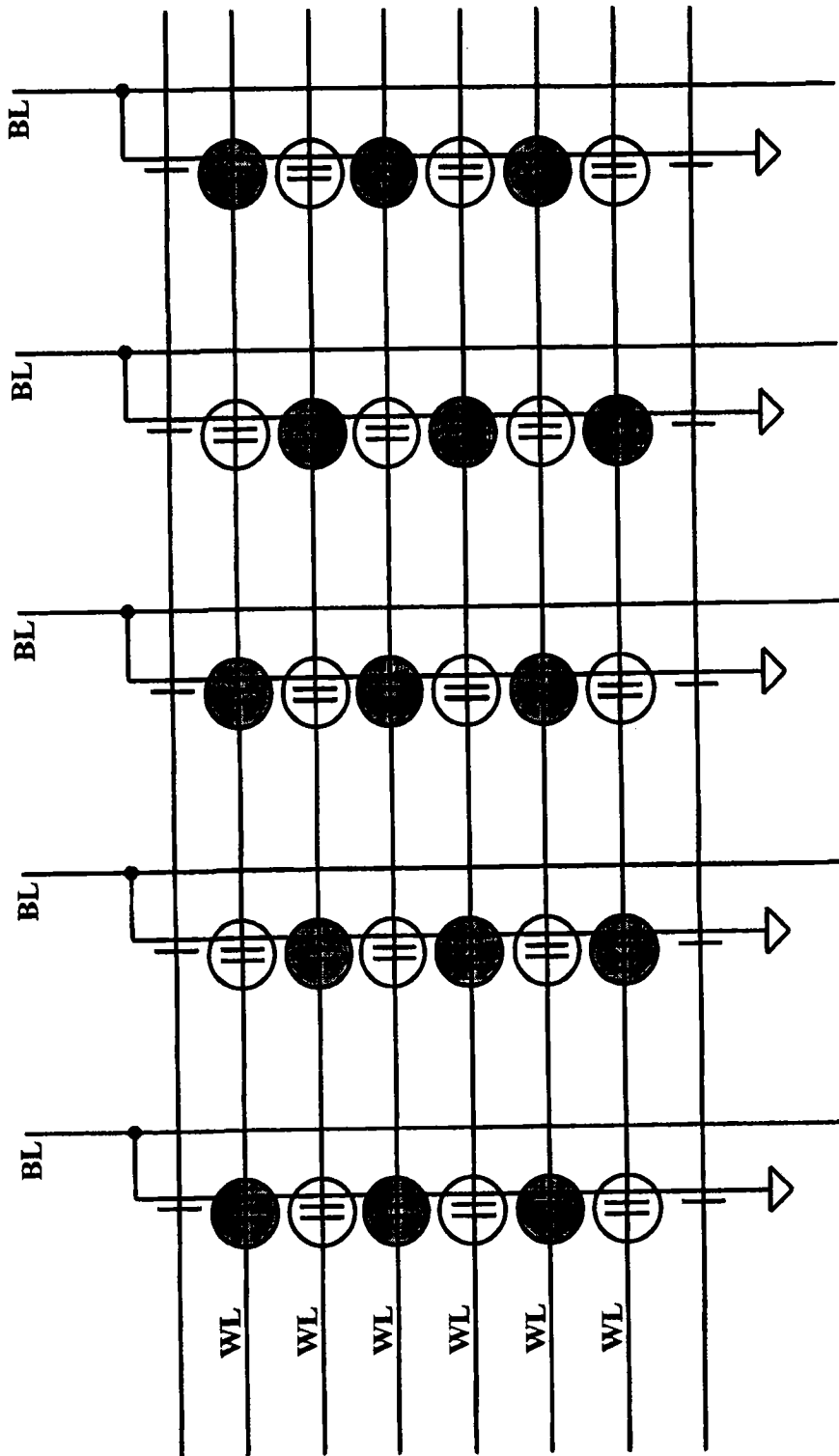


图 2D

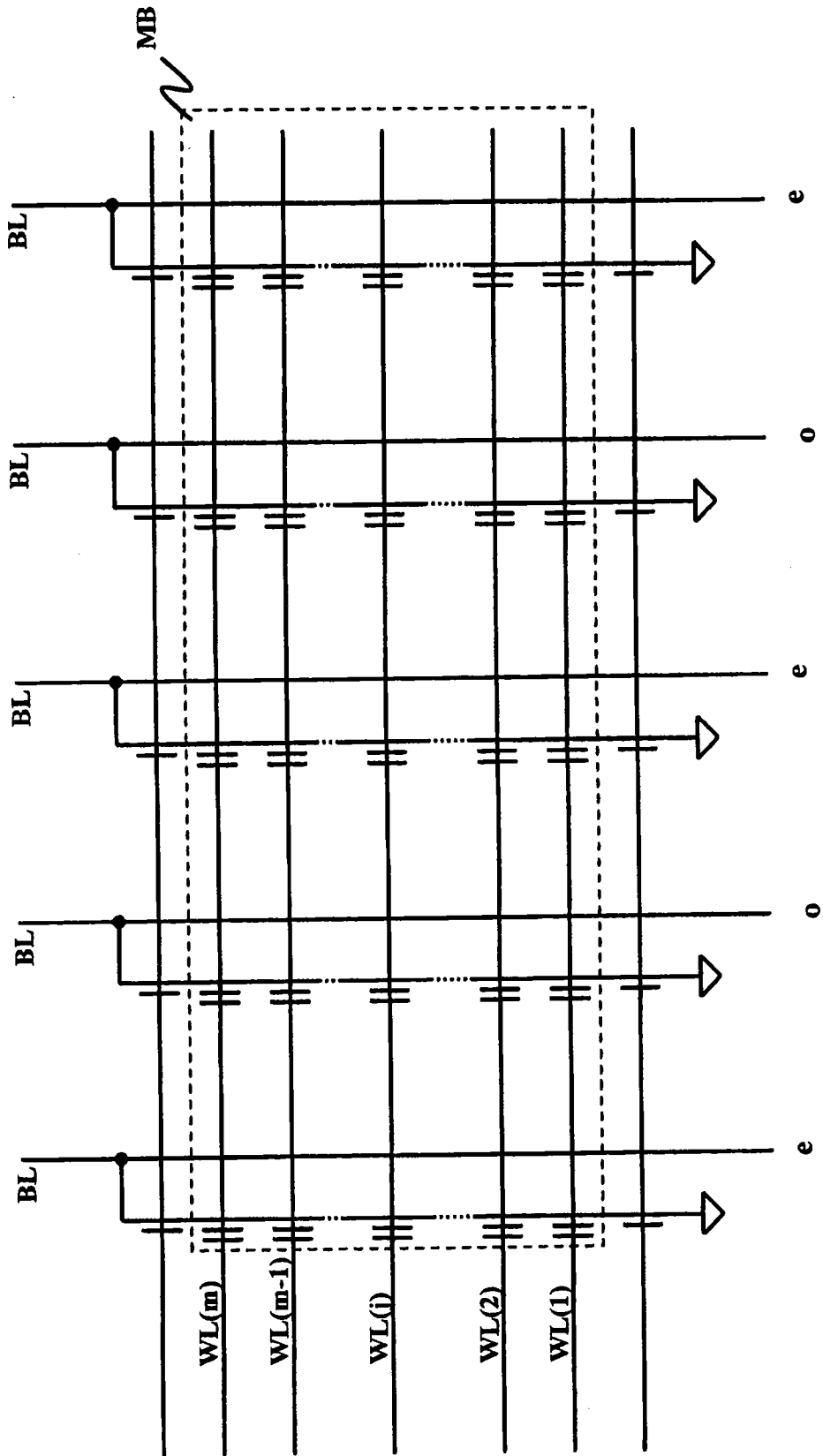


图 3

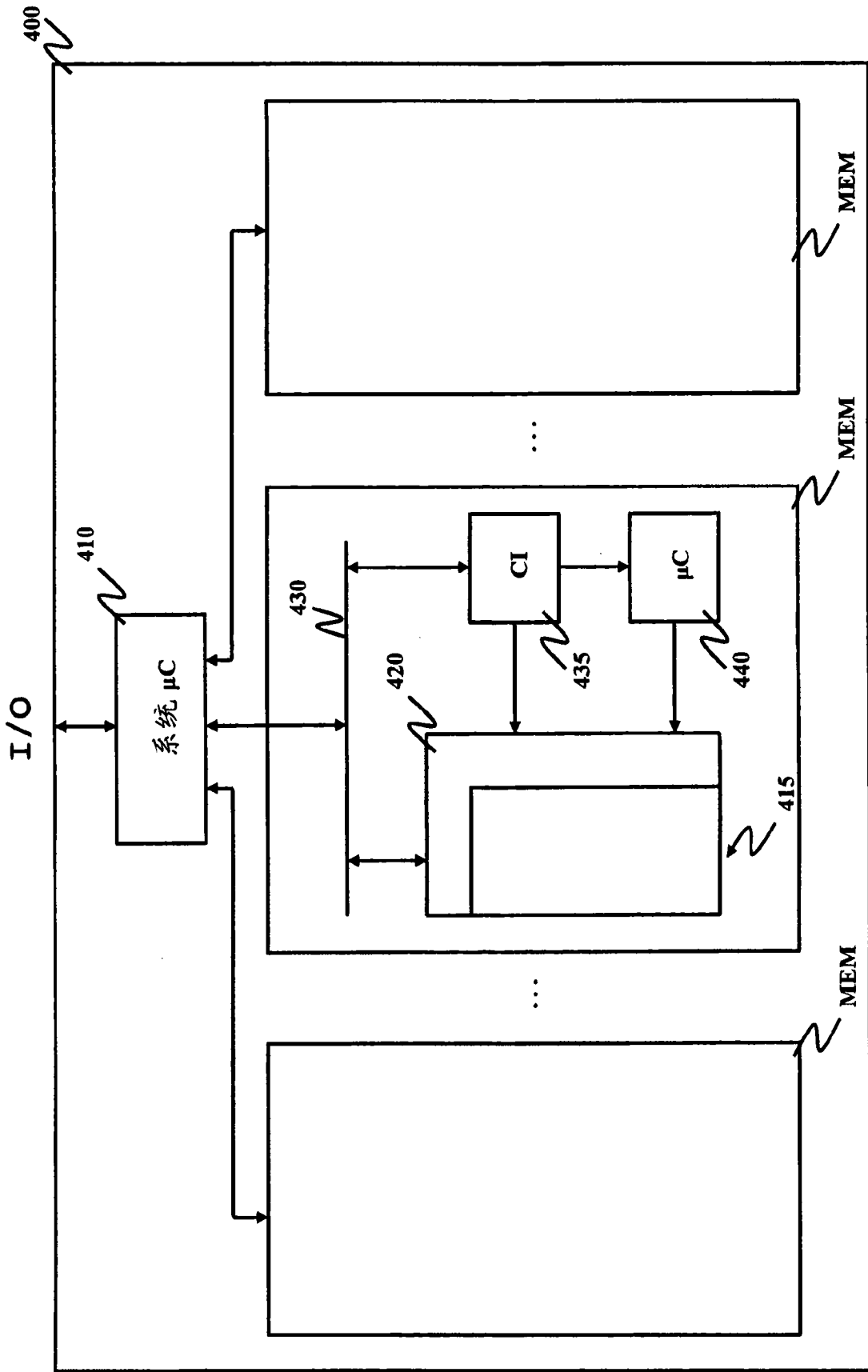


图 4