

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5021032号
(P5021032)

(45) 発行日 平成24年9月5日 (2012.9.5)

(24) 登録日 平成24年6月22日 (2012.6.22)

(51) Int.Cl.
H04L 25/02 (2006.01)

F I
H04L 25/02 302Z

請求項の数 11 (全 11 頁)

(21) 出願番号	特願2009-524995 (P2009-524995)	(73) 特許権者	391030332
(86) (22) 出願日	平成19年8月1日 (2007.8.1)		アルカテルルーセント
(65) 公表番号	特表2010-502066 (P2010-502066A)		フランス国、75007・パリ、アブニ
(43) 公表日	平成22年1月21日 (2010.1.21)		ユ・オクターブ・グレアール、3
(86) 国際出願番号	PCT/EP2007/057982	(74) 代理人	100062007
(87) 国際公開番号	W02008/022886		弁理士 川口 義雄
(87) 国際公開日	平成20年2月28日 (2008.2.28)	(74) 代理人	100114188
審査請求日	平成21年4月22日 (2009.4.22)		弁理士 小野 誠
(31) 優先権主張番号	06300895.7	(74) 代理人	100140523
(32) 優先日	平成18年8月25日 (2006.8.25)		弁理士 渡邊 千尋
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100119253
			弁理士 金山 賢教
		(74) 代理人	100103920
			弁理士 大崎 勝真

最終頁に続く

(54) 【発明の名称】 Qモニターを持つデジタル信号受信機

(57) 【特許請求の範囲】

【請求項 1】

1つの直列信号入力（20、20'）および $N > 1$ としてN個の並列出力リード（26）を有するデジタル信号出力を含む高ビットレートデジタル信号のためのデジタル信号受信機であって、

少なくとも $N + 1$ 個のデジタルサンプリングチャネル（31-35）と、前記デジタルサンプリングチャネル（31-35）の少なくとも2つの出力信号を比較するためのQモニター回路と、前記デジタルサンプリングチャネル（31-35）のうちのN個を前記N個の並列出力リード（26）に、および前記デジタルサンプリングチャネル（31-35）のうちの少なくとも2つを前記Qモニター（37、38）に制御可能に接続するためのスイッチ構成（36）とをさらに含む、信号受信機。

【請求項 2】

Qモニターが、EXORゲート（37）およびエラーカウンタ（38）を含む、請求項1に記載の信号受信機。

【請求項 3】

スイッチ構成（36）と並列出力リード（26）との間に接続されるDフリップフロップ（40）を含む、請求項1に記載の信号受信機。

【請求項 4】

前記スイッチ構成を構成するための、前記Qモニターの疑似エラーカウント値を読み出すための、および前記スイッチ構成（36）を介して前記Qモニターに接続される前記デ

10

20

デジタルサンプリングチャネル（31-35）の少なくとも1つのために少なくとも1つの最適化パラメータを決定するためのマイクロコントローラをさらに含む、請求項1に記載の信号受信機。

【請求項5】

可変利得増幅器（21）および／または電気等化器（22）をさらに含み、マイクロコントローラ（25）が、前記Qモニターによって配信される疑似エラーカウンタ値に依存して前記可変利得増幅器（21）および／または電気等化器（22）の少なくとも1つの動作パラメータを調節するように構成される、請求項4に記載の信号受信機。

【請求項6】

サンプラー、しきい値／オフセット補償（TH）、および移相器（PS）を含む前記少なくともN+1個のデジタルサンプリングチャネルが、すべて同様の設計である、請求項1に記載の信号受信機。

10

【請求項7】

前記直列信号入力（20、20'）から再生クロック信号を発生させるためのクロック再生回路（23）をさらに含む、請求項1に記載の信号受信機。

【請求項8】

前記再生クロック信号が、前記直列信号入力（20、20'）のビットレートの1/Nのクロックレートを有する、請求項7に記載の信号受信機。

【請求項9】

マイクロコントローラ（25）が、前記スイッチ構成（36）を介して前記並列出力リード（26）に接続される前記N個のデジタルサンプリングチャネル（31-35）内の移相器（PS）を、これらが $2\pi/N$ だけ互いにシフトした位相値を有するように調節するように構成される、請求項7に記載の信号受信機。

20

【請求項10】

前記移相器（PS）が、前記クロック再生回路（23）から、 90° だけ互いにシフトした前記クロック信号の少なくとも2つの複製を受信し、前記移相器（PS）が、前記少なくとも2つの複製の加重和として、位相シフトしたクロック信号を生成するように構成され、前記マイクロコントローラ（25）が、それらの重み係数を調節することによって移相器（PS）を調節するように構成される、請求項9に記載の信号受信機。

【請求項11】

30

高ビットレートデジタル信号を再生し、それを $N > 1$ としてNビット幅並列出力信号に変換する方法であって、

少なくともN+1個のデジタルサンプリングチャネル（31-35）を提供するステップと、

前記デジタルサンプリングチャネル（31-35）のうちのN個を並列信号出力（26）に接続するステップと、

少なくとも1つの残りのものを含む前記デジタルサンプリングチャネル（31-35）のうちの2つをQモニター（37、38）に接続するステップと、

少なくとも1つの残りのデジタルサンプリングチャネルの1次元または2次元アイダイアグラムを、その位相および／またはしきい値を変えることによって測定する前記Qモニター（37、38）を使用するステップと、

40

全デジタルサンプリングチャネルに対するアイダイアグラムが測定されてしまうまで、デジタルサンプリングチャネル（31-35）の異なる割り当てを使用して前記ステップを繰り返すステップとを含む、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、遠距離通信の分野に関し、さらに詳細には、非常に高いビットレートで動作する光伝送ネットワークで 사용할 ことができる、Qモニターを持つデジタル信号受信機に関する。

50

【背景技術】

【0002】

参照により本明細書に組み込まれているITU勧告ITU-T O. 201は、普通はQモニターとも呼ばれているQ値測定装置について述べている。Qモニターは、高速光信号の性能監視のための強力な回路であり、EDC（電子分散補償）ベースの受信機における判定しきい値、判定位相、および増幅器利得や等化器設定のような他のパラメータの適応調節のためのセンサでもある。

【0003】

ITU-T O. 201から取得される、図1で示される基本的なQモニター回路は、2判定チャンネルを使用し、その1つのチャンネルは、最適サンプリング点（再生入力信号）で動作させられ、一方もう1つは、振幅／位相の次元で入力信号を走査する。2判定チャンネルの出力は、異なるモニターしきい値および位相に対して比較され（EXOR）、積算される（エラーカウンタ）。これは、1次元または2次元のアイ輪郭をもたらす。もしこの測定から最適判定しきい値および位相を導き出すためにアルゴリズムが使用されるならば、受信機は、その最適サンプリング点で動作させられ、性能監視目的のためにQ値をさらに計算する。

10

【0004】

Q値測定は、光チャンネルの評価のための確立された方法である。特に低ビットエラーレートにおいては、その方法は、実質的にかなりの時間にわたってビットエラーをカウントする必要がある伝統的なBER測定よりも時間がかからないという利点を有する。Q値は、デジタル信号受信機の判定回路の（電氣的）信号対雑音比として定義される。

20

【0005】

Qモニターはまた、参照により本明細書に組み込まれている、EP0923204A2でも述べられており、同様に参照により本明細書に組み込まれている、EP1445879A1は、基本的なQモニター概念を、2判定チャンネルがモニターおよびデータサンプリングモードで選択的に動作させられてよいように、変更する。2判定チャンネルの後のクロスオーバースイッチは、データおよびモニター経路のための適切な判定チャンネルを選択する。このように、回路内のすべての位相および振幅オフセットは、効果的に補償できる。

【0006】

しかしながら、既存のQモニターは、10Gb/sを優に上回る最高ビットレートの用途にあまり適していない。さらに、最高ビットレート信号のさらなる処理（即ち、オーバーヘッド処理、FEC、その他）のために、そのような信号は典型的には、並列形式に変換される。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】欧州特許出願公開第0923204A2号明細書

【特許文献2】欧州特許出願公開第1445879A1号明細書

【特許文献3】欧州特許出願公開第1445863号明細書

【発明の概要】

40

【発明が解決しようとする課題】

【0008】

したがって、おそらく40Gb/s以上での最高ビットレートの用途に適する、Qモニターを持つデジタル信号受信機を提供することが、本発明の目的である。

【課題を解決するための手段】

【0009】

以下に出てくるこれらのおよび他の目的は、1つの直列信号入力および $N > 1$ として複数のN個の並列デジタル信号出力を有する、高ビットレートデジタル信号のためのデジタル信号受信機によって達成される。受信機は、少なくとも $N + 1$ 個のデジタルサンプリングチャンネルと、前記サンプリングチャンネルの少なくとも2つの出力信号を比較するための

50

Qモニターと、前記サンプリングチャネルのうちのN個を前記出力リードに、および前記サンプリングチャネルのうちの少なくとも2つを前記Qモニターに制御可能に接続するためのスイッチ構成とを含む。

【0010】

そのような設計により、N個の出力信号を提供するためにN個のサンプリングチャネルを使用することが可能であり、一方で同時に、少なくとも1つの残りのサンプリングチャネルは、アイダイアグラムを走査するためにQモニターによって使用されてよい。出力信号を発生させるためにおよびアイダイアグラムを走査するために、別々の測定実行においてサンプリングチャネルのうちの別々のものを使用することによって、すべてのサンプリングチャネルを、次々に走査することができ、判定位相および／またはしきい値などの操作パラメータを、最適化できる。スイッチ構成、サンプリングチャネル、およびQモニターは、受信機に内蔵または外付けされてもよいマイクロコントローラによって制御されてもよい。

10

【0011】

本発明は、既存の実装形態と比較すると、同じレベルの性能のために必要とされる追加のハードウェアが少なくすみ、それによって感度が増し、電力消費およびシリコン上に必要とされる面積 (real estate) が減るため、40 Gbps および他の高レートの用途によりいっそう適している。

【0012】

限定された数のクロスポイントだけが占有される必要があるので、ジグザグまたはラウンドロビンスケジューリングは、判定チャネルの後のスイッチマトリクスの複雑さ／サイズを低減する。

20

【0013】

本発明の好ましい実施形態は、添付の図面を参照して今から述べられる。

【図面の簡単な説明】

【0014】

【図1】 従来技術のQモニターを持つ判定回路を示す図である。

【図2】 Qモニターを持つプロセッサ制御受信機を示す図である。

【図3a】 本発明によるQモニターを持つ受信機を示す図である。

【図3b】 代替クロック発生器を持つ図3aの受信機を示す図である。

30

【図4】 最適化判定点を持つアイダイアグラムを示す図である。

【図5】 本発明の好ましい実施形態で使用されるジグザグスケジューリング規則を示す表である。

【発明を実施するための形態】

【0015】

図1は、上述のような、知られている判定回路を示す。受信されたO/E変換アナログ入力信号10は、両方とも再生クロック信号16によってクロッキングされ、2判定回路11および12に入力される。2判定回路11、12の出力は、EXORゲート13によって比較され、その出力がエラーカウンタ14へ入力される。そのカウント値は、疑似エラーを表し、判定ゲート12のしきい値を調節するためにソフトウェア駆動制御ユニット15によって使用される。

40

【0016】

この方法は、10 Gbit/sに至るまでの中程度のビットレートに適している。もっと高いビットレートは典型的には、並列処理を必要とする。

【0017】

図2は、可変利得増幅器(VGA)21、等化器(EQ)22、クロック再生回路23、組み合わせられたQモニターおよび逆多重化回路24ならびにマイクロコントローラ25を持つ受信機を示す。マイクロコントローラ25はまた、受信機に外付けすることもでき、たとえばネットワークノード内のもっと多数の受信機を制御することもできることが留意されるべきである。

50

【0018】

受信されたO/E変換データ信号20は、最初に増幅器21によって増幅され、光学ドメイン内の分散効果に起因する信号のひずみを補償する等化器22に入力される。等化器22はたとえば、線形等化器、判定帰還等化器、またはトランスバーサルフィルタとして実施されてもよい。等化された信号は、クロック再生回路23ならびにQモニターおよび逆多重化回路24に分けられる。クロック再生23は、再生クロック信号をQモニターおよび逆多重化回路24に配信し、それは、再生信号26を並列形式でおよびマイクロコントローラ25によって読み込まれる疑似エラー信号27を出力する。疑似エラー信号27に応答して、マイクロコントローラは、Qモニターおよび逆多重化回路24の位相および/またはしきい値のために調節パラメータ28を決定する。さらに、マイクロコントローラは好ましくはまた、等化器22および増幅器21のために調節パラメータ28'、28''を発生させることもできる。

10

【0019】

図2からの逆多重化およびQモニター回路24ならびにクロック再生23は、図3aでさらに詳細に示される。図2におけるオプションの等化器22から来る受信された信号20'は、逆多重化およびQモニター回路24ならびにクロック再生23に分けられる。回路24は、信号入力20'を並列で受信する5サンプリングチャネル(SC0からSC4)31から35、スイッチマトリクス36、EXOR回路37、エラーカウンタ38、信号出力26におけるオプションのDフリップフロップ40および追加のクロック出力のためのオプションの1:16除算器を含む。

20

【0020】

SC0からSC4のラベルを付けられた5サンプリングチャネル31-35は、調節可能なおよびしきい値を持つ判定ゲートである。各サンプリングチャネルは、サンプラー、しきい値/オフセット補償および移相器を含む。移相器は、ステップ当たり0.5ps以下の高精度を有し、43Gb/sクロックに関して全4UI位相シフトを許容する。各サンプリングチャネルは、アナログ入力信号の全範囲をカバーするしきい値範囲を許容する。実際の有用な値は、±250mVである。

【0021】

好ましい実施形態では、サンプリングチャネル31-35の移相器は、簡単なベクトル加算方法を使用して実施される。クロック信号は、正弦波形を有する。それぞれ90°だけ互いにシフトしたクロック信号の4つの複製は、加重和で組み合わせられる。この加重和の結果は、再びクロック信号であるが、しかし使用される重み係数に応じた位相シフトを持つ。移相器内の重み係数を単に調節することによって、任意の所望の位相シフトしたクロックが生成されてもよい。

30

【0022】

もし重み係数が負であることが許容されるならば、入力クロックの4つの互いにシフトした複製の代わりに、0°および90°での2つの複製もまた機能するであろうことも留意されるべきである。

【0023】

スイッチマトリクス36を介して、各サンプリングチャネルは、EXORゲート37におよび4並列出力リード26の1つに交互に接続されてもよい。サンプリングチャネル31-35が、所定のスケジュールに従って交互の順番で4出力リード26およびEXORゲート37に接続されるように、スイッチマトリクス36は、マイクロコントローラ25によって制御される。

40

【0024】

使用されるスケジュールに応じて、スイッチマトリクス36の全クロスポイントがスイッチ素子で占有されることは必要ではない。好ましい実施形態では、図5で示されるようなジグザグスケジュールが使用される。スイッチマトリクスはそれ故に、図3aで示されるように占有される。特に、スイッチマトリクスは、次のスイッチ素子、即ち：

— サンプリングチャネル31、33、または35をEXORゲート37の第1の入力に

50

切り替えるための3スイッチ素子、

ー サンプリングチャネル32または34をEXORゲート37の第2の入力に切り替えるための2スイッチ素子、

ー サンプリングチャネル31または32を第1の出力リードに切り替えるための2スイッチ素子、

ー サンプリングチャネル32または33を第2の出力リードに切り替えるための2スイッチ素子、

ー サンプリングチャネル33または34を第3の出力リードに切り替えるための2スイッチ素子、および

ー サンプリングチャネル34または35を第4の出力リードに切り替えるための2スイッチ素子を有する。

10

【0025】

スイッチングマトリクスに役立つために使用されてもよい基本的なスイッチ素子は、参照により本明細書に組み込まれている、EP1445863で述べられている。

【0026】

各判定ゲートは、同じ信号入力20'を受け取る。しかしながら、5判定ゲートは、すべてが同時には動作せず、それぞれ入力信号の1ビットに対応する量だけ時間がシフトして動作することは明らかなはずである。これを達成するために、サンプリングチャネルは、信号20'のデータレートの1/4の動作クロックによってクロッキングされ、動作クロックの異なる位相値で動作する。クロックシフトは好ましくは、各判定ゲート内に適切な位相値を設定することによって達成される。たとえば、スイッチマトリクス36を介して出力リードに一度に接続される4サンプリングチャネルは、それぞれ0°、90°、180°、および270°の位相値を有することができる。N個の出力リードを持つ一般的な場合には、個別のサンプリングチャネルの位相が互いにシフトする値は、 $2\pi/N$ であろう。

20

【0027】

別法として、サンプリングチャネル31-35は、お互いに関して時間がシフトした異なるクロック信号で動作することができる。それらはまた、入力信号のビットレートに対応するクロック信号で動作することもできる。後者の場合には、たとえばカウンタによって実施されたクロック除算器が、それぞれサンプリングチャネルのクロック入力の前に接続されてもよい。

30

【0028】

本発明の原理によれば、第5のサンプリングチャネルは、サンプリングチャネルの別の1つのアイダイアグラムを走査するために同時に使用される。これは、図5を参照して以下でさらに詳細に説明される。

【0029】

好ましい実施形態では、データレートは、OTU-3に対して定義されるレート、即ち43 Gbit/sである。動作クロックはそれ故に、10.75 GHzである。

【0030】

本発明のオプションの改良として、D(「遅延」)フリップフロップ(DFF)40が、出力リード26に提供されてもよい。DFFは、クロックがストローブされるときその入力を出力に伝達する。データ出力はそれ故に、それが入力に到達した1クロックサイクル後に出力に提示される。4並列出力リード26がすべて、それらのそれぞれの出力信号を同じクロック位相で伝達するように、DFF40は、動作クロック信号26'によってクロッキングされる。

40

【0031】

クロック信号26'はさらに、クロック出力リードに供給される。さらに、動作クロックの1/16のより低いレートのクロック信号は、クロック除算器39によって導き出され、本発明の範囲を超えている、受信機での追加の機能(図示されず)を支援するために、それぞれの低速度クロック出力で供給される。

50

【0032】

EXORゲート37の出力は、エラーカウンタ38に入力され、疑似エラーとしてカウントされる。マイクロコントローラ25は、エラーカウンタ38を所定の間隔で読み出し、リセットすることができ、サンプリングチャネル31-35の位相および／またはしきい値パラメータを調節アルゴリズムに従って調節するためにエラーカウントを使用する。

【0033】

エラーレート調節パラメータから決定するための様々なアルゴリズムは、それ自体は知られており、必要以上の実験なしに当業者によって実施されてもよい。一般的原則は、エラーレートを最小化するように、判定位相およびしきい値、等化器パラメータ、または増幅率などのそれぞれのパラメータを調節することである。初期位相およびしきい値を設定することを許容するアルゴリズムは、たとえば、参照により本明細書に組み込まれている、「Method and Apparatus for Controlling the Decision Point of a Receiver for Digital Communication Signals」と題する、C. Haslachによる、未公開の欧州特許出願第05292228号で述べられている。

10

【0034】

受信機での判定点の正確な制御の重要性は、分散ファイバーリンクを通過後に受信される信号のアイダイアグラムを示す図4によって例示される。分散に起因して、隣接ビット値は重なり合い、それ故に、もし判定点が正確に設定されていないと、間違っただ判定を引き起こす。特に、アイ1および3は、「間違っただアイであるが、しかし判定位相DPHおよび判定しきい値DTHによって定義される最適判定点は、「正しい」アイ2の真ん中にある。

20

【0035】

図3aに戻ると、クロック再生23の機能は、逆多重化およびQモニター回路24のために、再生クロックを発生させ、供給することである。それは基本的に、位相検出器43、ローパスフィルタ44および電圧制御発振器(VCO)42から成る位相ロックループを含む。

【0036】

VCO42は、21.5GHzのクロック信号を配信する。位相検出器43は、受信されたデータパルスとVCO42からのクロック信号との間の位相オフセットを検出し、ローパスフィルタ後にVCO42の制御リードに印加される、対応する調節電圧を提供する。除算器46は、VCO42の出力クロック信号を2で割り、それぞれ0°、90°、180°、および270°の4つの10.75GHzクロック信号を動作クロックとして回路24に供給する。

30

【0037】

すでに説明されたように、サンプリングチャネル31-35内の移相器は、これらの互いにシフトしたクロックから簡単なベクトル加算を通じて適切に位相シフトしたクロック信号を生成する。位相シフトは、使用される重み係数を調節することによって調節されてもよい。

【0038】

別法として、VCO42および位相検出器43は、43GHzの全レートで動作することができ、0°、90°、180°、および270°クロックを発生させるために、後に1:4クロック除算器が続く。

40

【0039】

クロック再生23の代替実施形態は、図3bで示される。この実施形態では、クロック再生は、0°、90°、180°、および270°位相関係を持つ4クロックを発生させる、クォーターレート(たとえば、10.75GHz)の直交VCOQVCO)45に基づく。EXORゲート41は、図3aでのようにハーフレートモードで動かされる位相検出器43のために、QVCO45の0°および90°クロック出力から21.5GHzを発生させる。

50

【0040】

クォーターレートQVCO25に基づくクロック再生に対する代替案は、位相検出器43をクォーターレートクロック（たとえば、10.75GHz）で動かすことである。

【0041】

5 サンプリングチャンネル31-35の交互動作の実施例は、図5の表で示される。表の各行は、Qモニターの測定実行に対応する。アイダイアグラム測定それ自体は、従来のQモニターを使っているように、即ち、測定実行中に第5のサンプリングチャンネルの位相および／またはしきい値を変え、各位相／しきい値構成に対する疑似エラーをカウントすることによって行われる。

【0042】

1回の測定のための妥当な時間は、制御アルゴリズムによって必要とされるQ値測定に対する精度に応じて、1μsと100μsとの間である。測定時間は、入力信号の雑音分布に適應される必要があるかもしれない。

【0043】

最初の4列は、どのサンプリングチャンネルが、スイッチマトリクス36を通過して4並列出力リード26のどの1つに接続されるかを示す。5サンプリングチャンネルは、SC0、SC1、SC2、SC3、およびSC4として識別され、並列出力リードは、DS0、DS1、DS2、およびDS3として識別される。第5の列は、どのサンプリングチャンネルが、その測定実行中にEXORゲート37を介してエラーカウンタ38に入力されるかを示す。最後の列は、5サンプリングチャンネル31-35のどの1つが、測定実行中に最適化されるかを示す。これは常に、出力リードの1つに接続されず、その位相およびしきい値が、そのアイダイアグラムを走査するために測定実行中に換えられるサンプリングチャンネルである。

【0044】

それで、たとえば、行1では、SC0はDS0に接続され、SC1はDS2に、SC2はDS3に、およびSC4はDS3に接続される。EXOR37は、サンプリングチャンネルSC1およびSC2の出力を同時に受け取り、それは、アクティブ主力として使用されず、マイクロコントローラ25によって走査され、最適化される。

【0045】

図5からわかるように、ただ1つの出力信号の割り当てが、1つの測定実行から次へと変更される。この1つは、灰色の陰影で示される。たとえば行1から行2へでは、出力リードDS2に割り当てられたサンプリングチャンネルだけが、SC1からSC2に変わり、一方今ではSC1が、次の測定実行中に最適化される。

【0046】

図5では、この動作モードが、ジグザグスケジュールと称されるように、これは、ジグザグ模様をもたらす。スイッチングマトリクス36がどのように設計されるかに応じて、ラウンドロビンまたは同様の他のスケジュールが、同等に使用されてもよいことは明らかなはずである。

【0047】

述べられた受信機の特定の利点は、それが、データ出力に対して一度にサンプリングチャンネルの1つだけを使用することによって、10Gb/s動作に対してもまたHFパスのどんな変更もなく使用されてもよいことである。

【0048】

本発明が、4ビット幅並列データ出力に限定されず、任意の他の適切な並列方式が、同様な方法で同等に使用されてもよいであろうことは明らかなはずである。たとえば、示された4ビット幅出力は、ニブル（半バイト）を提供するが、2ビット並列出力は、「クランプ」（2ビット）を供給するであろうし、8ビット幅出力は、クロックサイクル当たり全バイトを配信するであろう。

【0049】

Nビット幅出力信号に対しては、N+1個より多いサンプリングチャンネルが提供されて

10

20

30

40

50

【図 1】



【図 2】



【図 3 a】



【図 3 b】



【図 4】

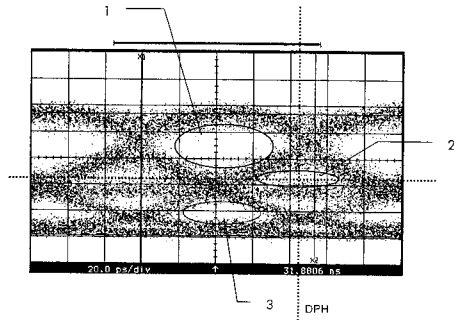


Fig. 4

【図 5】

	出力D0 D0	出力D1 D1	出力D2 D2	出力D3 D3	エラー カウンタ	最適化
7	SC0	SC1	SC3	SC4	SC1+SC2	SC2
8	SC0	SC2	SC3	SC4	SC0+SC1	SC1
1	SC0	SC2	SC3	SC4	SC1+SC0	SC0
2	SC0	SC2	SC3	SC4	SC2+SC1	SC1
3	SC0	SC1	SC3	SC4	SC3+SC2	SC2
4	SC0	SC1	SC2	SC4	SC4+SC3	SC3
5	SC0	SC1	SC2	SC4	SC3+SC4	SC4
6	SC0	SC1	SC2	SC4	SC2+SC3	SC3
7	SC0	SC1	SC3	SC4	SC1+SC2	SC2
8	SC0	SC2	SC3	SC4	SC0+SC1	SC1
1	SC0	SC2	SC3	SC4	SC1+SC0	SC0
2	SC0	SC2	SC3	SC4	SC2+SC1	SC1
3	SC0	SC1	SC3	SC4	SC3+SC2	SC2
4	SC0	SC1	SC2	SC4	SC4+SC3	SC3
5	SC0	SC1	SC2	SC4	SC3+SC4	SC4
6	SC0	SC1	SC2	SC4	SC2+SC3	SC3
7	SC0	SC1	SC3	SC4	SC1+SC2	SC2
8	SC0	SC2	SC3	SC4	SC0+SC1	SC1

Fig. 5

フロントページの続き

(74)代理人 100124855

弁理士 坪倉 道明

(72)発明者 プライザツハ, ヘルムート

ドイツ国、7 4 3 5 4 ・ベジツクハイム、ヘルマンシユトラーセ・1 3

審査官 安藤 一道

(56)参考文献 欧州特許出願公開第0 1 2 9 2 0 7 8 (E P, A 1)

欧州特許出願公開第0 1 7 5 0 3 8 0 (E P, A 1)

欧州特許出願公開第0 1 2 6 5 4 0 9 (E P, A 1)

欧州特許出願公開第0 0 9 2 3 2 0 4 (E P, A 1)

欧州特許出願公開第0 1 4 4 5 8 7 9 (E P, A 1)

米国特許第0 6 2 7 5 9 5 9 (U S, B 1)

特開昭6 0 - 1 2 1 8 5 3 (J P, A)

特開昭5 9 - 0 8 7 5 6 0 (J P, A)

(58)調査した分野(Int.Cl., D B名)

H04L 25/02