

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年4月15日(2010.4.15)

【公開番号】特開2009-27002(P2009-27002A)

【公開日】平成21年2月5日(2009.2.5)

【年通号数】公開・登録公報2009-005

【出願番号】特願2007-189391(P2007-189391)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 21/768 (2006.01)

H 01 L 29/417 (2006.01)

H 01 L 29/423 (2006.01)

H 01 L 29/49 (2006.01)

H 01 L 21/336 (2006.01)

【F I】

H 01 L 29/78 301G

H 01 L 21/90 C

H 01 L 29/50 M

H 01 L 29/58 G

H 01 L 29/78 301P

【手続補正書】

【提出日】平成22年2月25日(2010.2.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

チャネル形成領域を有する半導体基板にダミーゲート絶縁膜及びダミーゲート電極を形成する工程と、

前記ダミーゲート電極をマスクとして前記半導体基板にソース・ドレイン領域を形成する工程と、

酸化シリコンよりもフッ酸耐性を有する絶縁性材料により前記ダミーゲート電極よりも厚い膜厚で前記ダミーゲート電極を被覆して第1絶縁膜を形成する工程と、

前記第1絶縁膜の上層に前記第1絶縁膜と異なる絶縁性材料により第2絶縁膜を形成する工程と、

前記第2絶縁膜の上面から前記第1絶縁膜の頂部が露出するまで前記第2絶縁膜を除去する工程と、

前記第1絶縁膜の上面から前記ダミーゲート電極が露出するまで前記第1絶縁膜と残存する前記第2絶縁膜とを平坦化しながら同時に除去する工程と、

前記ダミーゲート電極及び前記ダミーゲート絶縁膜を除去してゲート電極用溝を形成する工程と、

前記ゲート電極用溝の底部にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上における前記ゲート電極用溝内を導電性材料で埋め込んでゲート電極を形成する工程と

を有し、電界効果トランジスタを形成することを特徴とする

半導体装置の製造方法。

【請求項 2】

前記第1絶縁膜と残存する前記第2絶縁膜とを同時に除去する工程において、前記第1絶縁膜及び残存する前記第2絶縁膜を研磨除去する

請求項1に記載の半導体装置の製造方法。

【請求項 3】

前記第2絶縁膜を除去する工程において、前記第2絶縁膜を研磨除去する

請求項1に記載の半導体装置の製造方法。

【請求項 4】

前記ダミーゲート電極を形成する工程の後、前記ソース・ドレイン領域を形成する工程の前に、前記ダミーゲート電極の両側部にオフセットスペーサを形成する工程と、前記オフセットスペーサ及び前記ダミーゲート電極をマスクとして前記半導体基板にエクステンション領域を形成する工程と、前記オフセットスペーサの両側部にサイドウォールスペーサを形成する工程とをさらに有し、

前記ソース・ドレイン領域を形成する工程において、前記サイドウォールスペーサ、前記オフセットスペーサ及び前記ダミーゲート電極をマスクとして前記半導体基板にソース・ドレイン領域を形成する

請求項1に記載の半導体装置の製造方法。

【請求項 5】

前記ゲート電極用溝を形成する工程においては、1対の前記オフセットスペーサで挟まれた領域に前記ゲート電極用溝を形成する

請求項4に記載の半導体装置の製造方法。

【請求項 6】

前記ゲート電極を形成する工程が、前記ゲート絶縁膜上における前記ゲート電極用溝の内部及び外部に導電性材料を堆積させる工程と、前記ゲート電極用溝の外部の前記導電性材料を除去する工程とを含む

請求項1に記載の半導体装置の製造方法。

【請求項 7】

前記ゲート電極用溝を形成する工程において、前記ダミーゲート絶縁膜をフッ酸系の薬液で除去する

請求項1に記載の半導体装置の製造方法。

【請求項 8】

前記第1絶縁膜を形成する工程において、窒化シリコン、ホウ素がドープされた窒化シリコン、炭化シリコン、窒化炭化シリコン、及び炭化酸化シリコンのいずれかを含む絶縁性材料により形成する

請求項1に記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

次に、図12(a)に示すように、例えば、ALD(atomic layer deposition)法により、ゲート電極用溝Tの内側を被覆して全面に酸化ハフニウムなどからなるゲート絶縁膜113を形成する。

次に、例えば、スパッタリング法あるいはCVD法などにより、ゲート絶縁膜113の上層において、ゲート電極用溝Tを埋め込んで全面にタンゲステンなどを堆積させて導電層114を形成する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

【0054】

次に、図7(b)に示すように、例えば、熱酸化法によりゲート電極用溝Tの底面を被覆して窒化酸化シリコン、あるいは、ALD法によりゲート電極用溝Tの内側表面を被覆して、酸化ハフニウムあるいは酸化アルミニウムなどのHigh-k膜からなるゲート絶縁膜23を形成する。High-k膜を形成した後の工程においては、High-k膜は耐熱性が低いため、処理温度が500℃を超えないような工程で行う。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

次に、図9(a)に示すように、例えば、CVD法によって、ゲート電極24a、オフセットスペーサ15、サイドウォールスペーサ17a及び第1絶縁膜21の上層に、酸化シリコンを200~1000nmの膜厚で堆積させて、上層絶縁膜25を形成する。

必要に応じて、ゲート電極24aの上層において100~800nm程度の膜厚になるように、上層絶縁膜25の表面をCMP法で研磨して平坦化する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

次に、図9(b)に示すように、例えば、フォトリソグラフィ工程により、コンタクトホールのパターンで開口するレジスト膜(不図示)を形成し、RIE(反応性イオンエッチング)などのドライエッチング処理を行って、上層絶縁膜25及び第1絶縁膜21を貫通して、ソース・ドレイン領域19の高融点金属シリサイド層20などに達するコンタクトホールCHを形成する。