



(12) 发明专利申请

(10) 申请公布号 CN 118572642 A

(43) 申请公布日 2024. 08. 30

(21) 申请号 202410820671.6

(22) 申请日 2024.06.24

(71) 申请人 成都艾为微电子科技有限公司

地址 610000 四川省成都市中国(四川)自
由贸易试验区成都高新区天华一路99
号6栋5层2号

(72) 发明人 孟威威 吴传奎 宋志军 程剑涛

(74) 专利代理机构 北京合智同创知识产权代理
有限公司 11545

专利代理师 李杰

(51) Int. Cl.

H02H 11/00 (2006.01)

H02H 9/04 (2006.01)

H02M 1/32 (2007.01)

H02M 3/07 (2006.01)

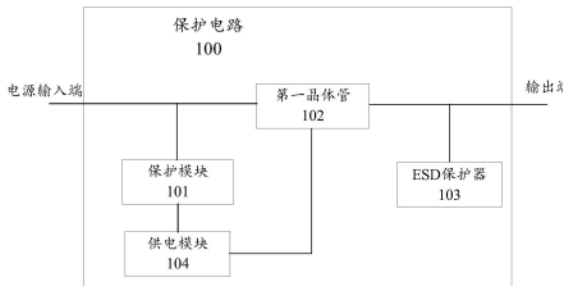
权利要求书2页 说明书8页 附图5页

(54) 发明名称

保护电路和芯片

(57) 摘要

本申请实施例提供了一种保护电路和芯片,保护电路包括:保护模块,用于当电源输入端电压为负时,将第一晶体管关断,当电源输入端负电压的绝对值小于第一晶体管的电压阈值时,将第一晶体管关断,且断开与电源输入端的连接,当电源输入端负电压的绝对值大于第一晶体管的电压阈值,且小于电压击穿阈值时,将电源输入端与第一晶体管的栅极连接;第一晶体管,用于当电源输入端输入的负电压的绝对值大于电压击穿阈值时,向电源输入端泄放负压,并断开与电源输入端的连接;ESD保护器,用于泄放通过第一晶体管的浪涌或ESD能量;供电模块,用于向第一晶体管输出驱动电压以使第一晶体管导通。本申请通过保护模块,能在输入电压为负时保护芯片不受负压影响。



1. 一种保护电路,其特征在于,包括:

保护模块,用于当电源输入端电压为负时,将第一晶体管关断,当所述电源输入端负电压的绝对值小于所述第一晶体管的电压阈值时,将所述第一晶体管关断,且断开与所述电源输入端的连接,当所述电源输入端负电压的绝对值大于所述第一晶体管的电压阈值,且小于电压击穿阈值时,将所述电源输入端与所述第一晶体管的栅极连接;

所述第一晶体管,用于当所述电源输入端输入的负电压的绝对值大于所述电压击穿阈值时,向所述电源输入端泄放负压,并断开与所述电源输入端的连接;

ESD保护器,用于泄放通过所述第一晶体管的浪涌或ESD能量;

供电模块,用于当所述电源输入端输入的电压处于正常范围内时,向所述第一晶体管输出驱动电压,以使所述第一晶体管导通。

2. 如权利要求1所述的电路,其特征在于,所述保护模块包括:第一电阻、第二电阻、第二晶体管和第三晶体管;

所述第一电阻的第一端连接所述电源输入端、所述第一晶体管的源极和所述第一晶体管的衬底,所述第一电阻的第二端连接所述第二晶体管的源极,所述第二晶体管的漏极和所述第二晶体管的衬底连接所述第三晶体管的源极和所述第三晶体管的衬底,所述第二晶体管的栅极与所述第二电阻的第一端和所述第三晶体管的栅极连接,所述第二电阻的第二端接地,所述第三晶体管的栅极与所述第二电阻的第一端连接,所述第三晶体管的漏极与所述供电模块和所述第一晶体管的栅极连接。

3. 如权利要求2所述的电路,其特征在于,所述保护模块还包括:

第一稳压二极管,用于当输入所述第二晶体管和所述第三晶体管的电压值超过所述第二晶体管和所述第三晶体管的承受电压阈值时,保护所述第二晶体管的栅极和所述第三晶体管的栅极;

第二稳压二极管和所述第一稳压二极管,用于当所述电源输入端输入的电压值大于所述电压击穿阈值时,保护所述第一晶体管。

4. 如权利要求3所述的电路,其特征在于,所述第一稳压二极管的正极与所述第二晶体管的漏极、所述第二晶体管的衬底、所述第三晶体管的源极、所述第三晶体管的衬底连接,所述第一稳压二极管的负极与所述第二晶体管的栅极、所述第三晶体管的栅极、所述第二电阻的第一端和所述第二稳压二极管的正极连接,所述第二稳压二极管的负极接地,且与所述第二电阻的第二端连接。

5. 如权利要求4所述的电路,其特征在于,所述保护模块还包括:

电容,用于当负ESD时保护所述第一晶体管不被击穿。

6. 如权利要求5所述的电路,其特征在于,所述第一电阻的第一端连接所述电源输入端、所述第一晶体管的源极和所述第一晶体管的衬底,所述第一电阻的第二端连接所述第二晶体管的源极,所述第二晶体管的漏极和所述第二晶体管的衬底连接所述第三晶体管的源极、所述第三晶体管的衬底和所述电容的第一端,所述第二晶体管的栅极与所述第二电阻的第一端和所述第三晶体管的栅极连接,所述第二晶体管的栅极与所述第二电阻的第一端、所述电容的第二端和所述第三晶体管的栅极连接,所述第三晶体管的栅极与所述第二电阻的第一端连接,所述第三晶体管的漏极与所述供电模块和所述第一晶体管的栅极连接。

7. 如权利要求6所述的电路,其特征在于,所述电容的电容值满足如下关系:

$$V_1 = V_0 \times [1 - e^{(-t/R_2 C)}]$$

其中,C用于表征所述电容的电容值, V_1 用于表征所述第二晶体管栅极的电压值与输入端的压差, V_0 用于表征所述电源输入端负ESD时耦合的电压与输入端的压差, R_2 用于表征所述第二电阻的电阻值,t用于表征所述第一晶体管泄放负ESD电流的时间值。

8. 如权利要求2所述的电路,其特征在于,所述供电模块包括:

电荷泵,用于向所述第一晶体管输出驱动电压;

第三电阻,用于限制从所述电荷泵出来的电流,当所述电源输入端负电压的绝对值大于所述第一晶体管的电压阈值,且小于电压击穿阈值时,保证所述第一晶体管不导通;

所述电荷泵的输出端与所述第三电阻的第一端连接,所述第三电阻的第二端与所述第二晶体管的漏极和所述第一晶体管的栅极连接。

9. 如权利要求8所述的电路,其特征在于,所述第三电阻的电阻值大于所述第一电阻的电阻值、所述第二晶体管的导通阻抗值和所述第三晶体管的导通阻抗值之和。

10. 如权利要求1-9中任一所述的电路,其特征在于,所述第一晶体管、所述第二晶体管和所述第三晶体管均包括寄生二极管。

11. 一种芯片,其特征在于,包括权利要求1-10中任一项所述的保护电路。

保护电路和芯片

技术领域

[0001] 本申请涉及电路技术领域,尤其涉及一种保护电路和芯片。

背景技术

[0002] DC/DC或者线性锂电池充电芯片使用过程中,可能会发生输入端接错,遇到负浪涌或前级稳压电路故障导致负电压输入到电源模块的问题,造成电源模块损坏和芯片输出电压掉电的问题。为了避免人为接线错误,芯片端的浪涌及ESD等问题对芯片造成损坏以及造成芯片掉电的问题,对芯片输入端口增加保护电路是十分必要的。

[0003] 目前的保护方式主要是通过通过在电源输入端加装既能够实现负压保护效果,当输入电压正常时又能够自动恢复运行的电路,能够避免芯片在负压条件下受到损伤。

[0004] 然而,目前的保护方式中,一般采用片外分立器件搭建,会提高应用成本,且仅在负压状态下对输入电压端的连接进行断开处理,会导致芯片失去电源供应之后产生的电磁场或电压干扰,可能导致芯片损坏或逻辑错误。

发明内容

[0005] 有鉴于此,本申请实施例提供一种保护电路和芯片,以至少部分解决上述问题。

[0006] 根据本申请实施例的第一方面,提供了一种保护电路,包括:保护模块,用于当电源输入端电压为负时,将第一晶体管关断,当所述电源输入端负电压的绝对值小于所述第一晶体管的电压阈值时,将第一晶体管关断,且断开与所述电源输入端的连接,当所述电源输入端负电压的绝对值大于所述第一晶体管的电压阈值,且小于电压击穿阈值时,将所述电源输入端与所述第一晶体管的栅极连接;所述第一晶体管,用于当所述电源输入端输入的负电压的绝对值大于所述电压击穿阈值时,向所述电源输入端泄放负压,并断开与所述电源输入端的连接;ESD保护器,用于泄放通过所述第一晶体管的浪涌或ESD能量;供电模块,用于当所述电源输入端输入的电压处于正常范围内时,向所述第一晶体管输出驱动电压,以使所述第一晶体管导通。

[0007] 在一种可能的实现方式中,所述保护模块包括:第一电阻、第二电阻、第二晶体管和第三晶体管;所述第一电阻的第一端连接所述电源输入端、所述第一晶体管的源极和所述第一晶体管的衬底,所述第一电阻的第二端连接所述第二晶体管的源极,所述第二晶体管的漏极和所述第二晶体管的衬底连接所述第三晶体管的源极和所述第三晶体管的衬底,所述第二晶体管的栅极与所述第二电阻的第一端和所述第三晶体管的栅极连接,所述第二电阻的第二端接地,所述第三晶体管的栅极与所述第二电阻的第一端连接,所述第三晶体管的漏极与所述供电模块和所述第一晶体管的栅极连接。

[0008] 在一种可能的实现方式中,所述保护模块还包括:第一稳压二极管,用于当输入所述第二晶体管和所述第三晶体管的电压值超过所述第二晶体管和所述第三晶体管的承受电压阈值时,保护所述第二晶体管的栅极和所述第三晶体管的栅极;第二稳压二极管和所述第一稳压二极管,用于当所述电源输入端输入的电压值大于所述电压击穿阈值时,保护

所述第一晶体管。

[0009] 在一种可能的实现方式中,所述第一稳压二极管的正极与所述第二晶体管的漏极、所述第二晶体管的衬底、所述第三晶体管的源极、所述第三晶体管的衬底连接,所述第一稳压二极管的负极与所述第二晶体管的栅极、所述第三晶体管的栅极、所述第二电阻的第一端和所述第二稳压二极管的正极连接,所述第二稳压二极管的负极接地,且与所述第二电阻的第二端连接。

[0010] 在一种可能的实现方式中,所述保护模块还包括:电容,用于当负ESD时保护所述第一晶体管不被击穿。

[0011] 在一种可能的实现方式中,所述第一电阻的第一端连接所述电源输入端、所述第一晶体管的源极和所述第一晶体管的衬底,所述第一电阻的第二端连接所述第二晶体管的源极,所述第二晶体管的漏极和所述第二晶体管的衬底连接所述第三晶体管的源极、所述第三晶体管的衬底和所述电容的第一端,所述第二晶体管的栅极与所述第二电阻的第一端和所述第三晶体管的栅极连接,所述第二晶体管的栅极与所述第二电阻的第一端、所述电容的第二端和所述第三晶体管的栅极连接,所述第三晶体管的栅极与所述第二电阻的第一端连接,所述第三晶体管的漏极与所述供电模块和所述第一晶体管的栅极连接。

[0012] 在一种可能的实现方式中,所述电容的电容值满足如下关系:

$$[0013] \quad V_1 = V_0 \times [1 - e^{-(t/R_2 C)}]$$

[0014] 其中,C用于表征所述电容的电容值, V_1 用于表征所述第二晶体管栅极的电压值与输入端的压差, V_0 用于表征所述电源输入端打ESD时耦合的电压与输入端的压差, R_2 用于表征所述第二电阻的电阻值,t用于表征所述第一晶体管泄放ESD电流的时间值。

[0015] 在一种可能的实现方式中,所述供电模块包括:电荷泵,用于向所述第一晶体管输出驱动电压;第三电阻,用于限制从电荷泵出来的电流,当所述电源输入端输入的负电压绝对值大于所述第一晶体管的电压阈值,且小于电压击穿阈值时,保证所述第一晶体管不导通;所述电荷泵的输出端与所述第三电阻的第一端连接,所述第三电阻的第二端与所述第二晶体管的漏极和所述第一晶体管的栅极连接。

[0016] 在一种可能的实现方式中,所述第三电阻的电阻值远大于所述第一电阻的电阻值、所述第二晶体管的导通阻抗值和所述第三晶体管的导通阻抗值之和。

[0017] 在一种可能的实现方式中,所述第一晶体管、所述第二晶体管和所述第三晶体管均包括寄生二极管。

[0018] 根据本申请实施例的第二方面,提供了一种芯片,包括实施例第一方面中任一项所述的保护电路。

[0019] 由上述技术方案可知,通过设置保护模块,能够在输入电压为负时保护芯片内部电压PMID及后级电路不会受输入的负压的影响,同时,由于保护电路设置于芯片内部,因此降低了应用成本。并且,在输入电压处于正常范围时,保护模块处于关闭状态,因此不会影响电路正常运行,能够实现根据输入电压自动切换工作模式的效果。

附图说明

[0020] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本

申请实施例中记载的一些实施例,对于本领域普通技术人员讲,还可以根据这些附图获得其他的附图。

- [0021] 图1是一种包括负压保护电路的片外分立器件的示意图;
- [0022] 图2是本申请实施例提供的一种保护电路的示意图;
- [0023] 图3是本申请实施例提供的另一种保护电路的示意图;
- [0024] 图4是本申请实施例提供的一种包括第一稳压二极管的保护电路的示意图;
- [0025] 图5是本申请实施例提供的一种包括第一稳压二极管的保护电路的电路图;
- [0026] 图6是本申请实施例提供的一种包括电容的保护电路的示意图;
- [0027] 图7是本申请实施例提供的一种包括电容的保护电路的电路图;
- [0028] 图8是本申请实施例提供的一种包括电荷泵的保护电路的电路图;
- [0029] 图9是本申请实施例提供的一种包括寄生二极管的保护电路的电路图;
- [0030] 图10是本申请实施例提供的一种芯片的示意图。

具体实施方式

[0031] 为了使本领域的人员更好地理解本申请实施例中的技术方案,下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅是本申请实施例一部分实施例,而不是全部的实施例。基于本申请实施例中的实施例,本领域普通技术人员所获得的所有其他实施例,都应当属于本申请实施例保护的范围。

[0032] 在本申请使用的术语是仅仅出于描述特定实施例的目的,而非旨在限制本申请。在本申请和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包括多数形式,除非上下文清楚地表示其他含义。还应当理解,本文中使用的术语“和/或”是指并包含一个或多个相关联的列出项目的任何或所有可能组合。

[0033] 应当理解,尽管在本申请可能采用术语第一、第二、第三等来描述各种信息,但这些信息不应限于这些术语。这些术语仅用来将同一类型的信息彼此区分开。例如,在不脱离本申请范围的情况下,第一信息也可以被称为第二信息,类似地,第二信息也可以被称为第一信息。取决于语境,如在此所使用的词语“如果”可以被解释成为“在……时”或“当……时”或“响应于确定”。

[0034] 下面对本文出现的术语进行解释:ESD:Electro-Static discharge,静电释放,用于静电防护的器材统称为ESD保护器。

[0035] 图1是一种包括负压保护电路的片外分立器件的示意图,如图1所示,为了保护芯片,在电源输入端加装既能够实现负压保护效果,当输入电压正常时又能够自动恢复运行的电路,当发生输入端接错,遇到负浪涌或前级稳压电路故障导致负电压输入时,通过关断晶体管Q,并在输入电压恢复正常时重新导通晶体管Q,使电路恢复运行。

[0036] 但是,在关断晶体管Q的期间,输出端的电压被拉低,导致输出端电压会减低,导致芯片内部发生掉电的问题。并且,采用片外分立器件的方式,会增加额外的应用成本。因此,本申请提供了一种保护电路和芯片,以至少部分解决上述问题。

[0037] 图2是本申请实施例提供的一种保护电路的示意图,如图2所示,该保护电路100包括:保护模块101,用于当电源输入端输入的电压为负时,将第一晶体管102关断,当电源输入端负电压的绝对值小于第一晶体管102的电压阈值时,将第一晶体管关断,且断开与电源

输入端的连接,当电源输入端电压的绝对值大于第一晶体管102的电压阈值且小于电压击穿阈值时,将电源输入端与第一晶体管102的栅极连接在一起。第一晶体管102,用于当电源输入端输入的负电压的绝对值大于电压击穿阈值时,向电源输入端泄放负压,并断开与所述电源输入端的连接。ESD保护器103,用于泄放通过所述第一晶体管的浪涌或ESD能量。供电模块104,用于当电源输入端输入的电压处于正常范围内时,向第一晶体管102输出驱动电压,以使第一晶体管102导通。

[0038] 在电源输入端负电压的绝对值小于第一晶体管102的电压阈值时,保护模块101将第一晶体管102关断,当电源输入端负电压的绝对值大于第一晶体管102的电压阈值时,保护模块101将电源输入端和第一晶体管102的栅极连接使第一晶体管102关断,因此与输出端相连接的芯片内部电压PMID及后级电路不会受输入的负压的影响。当电源输入端负电压的绝对值大于第一晶体管102的电压阈值,且小于保护模块101的电压击穿阈值时,为了保护芯片,保护模块101将第一晶体管关断,且断开与电源输入端的连接,此时第一晶体管102处于关闭状态,芯片内部电压不会受电源输入端输入的电压的影响。当电源输入端输入的负电压绝对值大于保护模块101的电压击穿阈值时,保护模块101开始击穿,此时第一晶体管102导通,电流通过ESD保护器103,同时第一晶体管102流向电源输入端泄放负压或者负浪涌电流。

[0039] ESD保护器103可以是ESD静电防护二极管,当保护电路100正常工作时,ESD保护器103处于截止状态(高阻态),不影响线路正常工作。第一晶体管102可以是包括源极(Source),漏极(Drain),栅极(Gate)和衬底(Substrate)的NBL隔离管,由于在保护电路100的输入端前,还可以添加一个瞬态二极管(Transient Voltage Suppressor,TVS),当TVS的两极受到反向瞬态高能量冲击时,TVS以10的负12次方秒量级的速度,将其两极间的高阻抗变为低阻抗,吸收高达数千瓦的浪涌功率,使两极间的电压钳位于一个预定值,即负压钳位电压,一般第一晶体管102在关闭条件的击穿电压(Off_BV)要大于前级TVS的负压钳位电压。当电源输入端遇到负浪涌电压时,可以通过第一晶体管102,ESD保护器103产生泄放负浪涌电流。

[0040] 当电源输入端输入的电压处于正常范围时,供电模块104输出驱动第一晶体管102工作的驱动电压,例如,驱动电压可以是5V,使第一晶体管102工作在深线性区,此时保护模块101处于关闭状态。

[0041] 本申请通过设置保护模块101,能够在输入电压为负时保护芯片内部电压PMID及后级电路不会受输入的负压的影响,同时,由于保护电路100设置于芯片内部,因此降低了应用成本。并且,在输入电压处于正常范围时,保护模块101处于关闭状态,因此不会影响电路正常运行,能够实现根据输入电压自动切换工作模式的效果。

[0042] 图3是本申请实施例提供的另一种保护电路的示意图,如图3所示,在保护电路100中,保护模块101还可以包括:第一电阻1011、第二电阻1012、第二晶体管1013和第三晶体管1014;第一电阻1011的第一端连接电源输入端、第一晶体管102的源极和第一晶体管102的衬底,第一电阻1011的第二端连接第二晶体管1013的源极,第二晶体管1013的漏极和第二晶体管1013的衬底连接第三晶体管1014的源极和第三晶体管1014的衬底,第二晶体管1013的栅极与第二电阻1012的第一端和第三晶体管1014的栅极连接,第二电阻1012的第二端接地,第三晶体管1014的栅极与第二电阻1012的第一端连接,第三晶体管1014的漏极与供电

模块104和第一晶体管102的栅极连接。

[0043] 第二晶体管1013和第三晶体管1014与第一晶体管102是相同的NBL隔离管,在电源输入端口遇到负压或者负浪涌时,由于第二晶体管1013的栅极通过第二电阻1012端接GND,所以第二晶体管1013的栅极电压为GND,当电源输入端负电压的绝对值小于NBL隔离管的阈值电压时,第二晶体管1013和第三晶体管1014与第一晶体管102均关闭,因此与输出端相连接的芯片内部电压PMID及后级电路不会受负压影响。当电源输入端负电压的绝对值大于NBL隔离管的阈值电压且小于第一晶体管102的电压击穿阈值时,第二晶体管1013和第三晶体管1014开始导通,将电源输入端和第一晶体管102的栅极连接在一起,导致此时第一晶体管102的电压小于阈值电压,第一晶体管102处于关闭状态,芯片内部电压不会受负压影响。

[0044] 以第一晶体管102泄放电压能力强为例,当在电源输入端施加负压时,电源输入端电压会瞬间变为负值,保护模块101将第一晶体管102关闭,电源输入端电压会继续变低,直到第一晶体管102触发Off_BV状态,此时ESD保护器103的能量通过击穿第一晶体管102泄放。

[0045] 当电源输入端电压处于正常范围时,第二晶体管1013和第三晶体管1014栅极与电源输入端的电压差均小于阈值电压,所以都处于关闭状态,保护模块101不工作。

[0046] 本申请通过在保护模块101中设置第二晶体管1013和第三晶体管1014,能够在电源输入端电压处于正常范围时使保护模块101不工作,保证了电路的正常运行,在电源输入端遇到负压或者负浪涌时,保护模块101将第一晶体管102关闭,进而避免负压或者负浪涌流入芯片后端电路,对芯片进行了保护。

[0047] 图4是本申请实施例提供的一种包括第一稳压二极管的保护电路的示意图,如图4所示,在保护电路100中,保护模块101还可以包括:第一稳压二极管1015,用于当输入第二晶体管1013和第三晶体管1014的电压值超过第二晶体管1013和第三晶体管1014的承受电压阈值时,保护第二晶体管1013的栅极和第三晶体管1014的栅极;第二稳压二极管1016,用于当电源输入端电压的绝对值大于电压击穿阈值时,保护第一晶体管102。

[0048] 当电源输入端负电压的绝对值大于保护模块101的电压击穿阈值时,第一稳压二极管1015和第二稳压二极管1016开始击穿,在第一电阻1011上产生压差 $\Delta V = I_{zener} * R1$,进而导致第一晶体管102导通,因此通过设置第一稳压二极管1015和第二稳压二极管1016,能够保护第一晶体管102,以及第二晶体管1013和第三晶体管1014。

[0049] 本申请通过设置第一稳压二极管1015,能够在输入负电压绝对值过大时保护第二晶体管1013和第三晶体管1014不被击穿,通过设置第二稳压二极管1016,能够保护第一晶体管102,并且为了提高安全性,可以适应性调整第二稳压二极管1016的数量,以更好地保护第一晶体管102。

[0050] 具体的,图5是本申请实施例提供的一种包括第一稳压二极管的保护电路的电路图,在一些实施例中,如图5所示,保护模块101中的第一稳压二极管1015的正极与第二晶体管1013的漏极、第二晶体管1013的衬底、第三晶体管1014的源极、第三晶体管1014的衬底连接,第一稳压二极管1015的负极与第二晶体管1013的栅极、第三晶体管1014的栅极、第二电阻1012的第一端和第二稳压二极管1016的正极连接,第二稳压二极管1016的负极接地,且与第二电阻1012的第二端连接。

[0051] 在保护模块101中可以设置一个第一稳压二极管1015和至少一个第二稳压二极管

1016,且第一稳压二极管1015和第二稳压二极管1016为相同的稳压二极管(Zener diode),图5所示保护模块101中设置的第二稳压二极管1016的数量为2个,此时保护模块101的电压击穿阈值为 $3 \times V_{zener}$, V_{zener} 为稳压二极管的击穿电压,当电源输入端负电压的绝对值大于 $3 \times V_{zener}$ 时,第一稳压二极管1015和第二稳压二极管1016开始击穿,会有较大电流从GND通过第一稳压二极管1015和第二稳压二极管1016流向电源输入端,在第一电阻1011上产生压差 $\Delta V = I_{zener} \times R_1$, R_1 为第一电阻1011的电阻值,此时第一晶体管102的电压就会大于阈值电压而导通,会有电流通过ESD保护器103,第一晶体管102流向电源输入端口泄放负压或者负浪涌电流。为了保护第一晶体管102不被击穿损坏,需要保证第一晶体管102的Off_BV电压大于 $3 \times V_{zener}$ 。

[0052] 图6是本申请实施例提供的一种包括电容的保护电路的示意图,如图6所示,保护电路100中的保护模块101还可以包括:电容1017,用于当端口遇到负ESD时保护第一晶体管102不被击穿。

[0053] 当第一晶体管102泄放电压能力弱时,可以在保护模块101中设置电容1017,当电源输入端遇到负ESD时,电源输入端输出的电压会瞬间变为负值,此时第一晶体管102处于导通状态,所以第二晶体管1013的栅极电压会耦合变低,使得第二晶体管1013的电压约等于0V,第二晶体管1013和第三晶体管1014处于关闭状态,进而使得第一晶体管102的栅极电压不会通过保护模块101向电源输入端放电,让第一晶体管102处于导通状态,ESD保护器103输出的能量全部走第一晶体管102的沟道,以防止第一晶体管102处于On_BV或者Off_BV状态。

[0054] 本申请通过在保护模块101中设置电容1017,能够当第一晶体管102泄放ESD能力弱时对第一晶体管102进行保护。

[0055] 具体的,图7是本申请实施例提供的一种包括电容的保护电路的电路图,如图7所示,电压保护电路100中的第一电阻1011的第一端连接电源输入端、第一晶体管102的源极和第一晶体管102的衬底,第一电阻1011的第二端连接第二晶体管1013的源极,第二晶体管1013的漏极和第二晶体管1013的衬底连接第三晶体管1014的源极、第三晶体管1014的衬底和电容1017的第一端,第二晶体管1013的栅极与第二电阻1012的第一端和第三晶体管1014的栅极连接,第二晶体管1013的栅极与第二电阻1012的第一端、电容1017的第二端和第三晶体管1014的栅极连接,第三晶体管1014的栅极与第二电阻1012的第一端连接,第三晶体管1014的漏极与供电模块104和第一晶体管102的栅极连接。

[0056] 当电源输入端遇到负ESD时,电源输入端输出的电压会瞬间变为负值,由于第一晶体管102寄生电容的存在,会使得第一晶体管102的栅极电压耦合到较高电压 $V_{gs} = (V_{in} - V_{dio}) \times C_{gd} / (C_{gs} + C_{gd})$, V_{in} 为电源输入端输出的电压, V_{dio} 为ESD保护器103的正向电压, C_{gs} , C_{gd} 为第一晶体管102寄生电容的电容值。此时第一晶体管102处于导通状态,由于电容1017的电压不能突变,所以第二晶体管1013的栅极电压会耦合变低,使得第二晶体管1013的电压值约等于0V,进而使第二晶体管1013和第三晶体管1014处于关闭状态。

[0057] 在一种可行的方式中,电容1017的电容值可以满足如下关系:

$$[0058] \quad V_1 = V_0 \times [1 - e^{-(t/R_2 C)}]$$

[0059] 其中, C 用于表征电容1017的电容值, V_1 用于表征第二晶体管1013栅极的电压值与输入端的压差, V_0 用于表征电源输入端负ESD时耦合的电压与输入端的压差, R_2 用于表征第

二电阻1012的电阻值, t 用于表征第一晶体管102泄放负ESD电流的时间值。

[0060] 为了保证ESD保护器103的能量都能够从第一晶体管102的沟道泄放, 就需保证保护模块101在ESD保护器103的能量泄放完之前, 第二晶体管1013都不能导通, 所以 $R_2 * C$ 取值要保证在ESD保护器103的能量泄放完之前 V_1 要小于第一晶体管102的电压阈值。

[0061] 需要说明的是, 为了防止在负浪涌条件下, 第一晶体管102导通影响芯片内部电压, 因此 $R_2 * C$ 的值不能过大, 例如, R_2 可以是50K, ESD保护器103的能量泄放时间 t 约为200ns, 进而计算出 C 的值约为4pF。将 $R_2 * C$ 的取值控制在合理范围, 可以防止在电源输入端输入的电压突然变为负值时, 保护模块101不能及时关闭第一晶体管102, 导致芯片内部电压会受到电源输入端输入的电压的负压影响。

[0062] 本申请通过ESD保护器103泄放能量时第二晶体管1013的电压确定电容的设定值, 能够确保ESD保护器103的能量泄放完之前第二晶体管1013的电压小于第一晶体管102的电压阈值, 以保证ESD保护器103的能量均能从第一晶体管102泄放。

[0063] 图8是本申请实施例提供的一种包括电荷泵的保护电路的电路图, 如图8所示, 保护电路100中的供电模块104还可以包括电荷泵1041, 用于向第一晶体管102输出驱动电压。第三电阻1042, 用于当电源输入端负电压的绝对值大于第一晶体管的电压阈值, 且小于电压击穿阈值时, 保证第一晶体管102不导通。电荷泵1041的输出端与第三电阻1013的第一端连接, 第三电阻1042的第二端与第二晶体管1013的漏极和第一晶体管102的栅极连接。

[0064] 电荷泵1041 (Charge Pump, CP) 是开关电容式电压变换器, 是一种利用“快速” (flying) 或“泵送” 电容 (而非电感或变压器) 来储能的DC-DC (变换器)。

[0065] 当电源输入端负电压的绝对值大于第一晶体管102阈值电压且小于第一晶体管102的电压击穿阈值时, 第二晶体管1013和第三晶体管1014开始导通, 将电源输入端和第一晶体管102的栅极连接在一起, 此时第一晶体管102的电压小于阈值电压, 第一晶体管102处于关闭状态, 芯片内部电压不会受电源输入端输入的电压的负压影响。

[0066] 本申请的供电模块104通过包括第三电阻1042, 能够起到分压的作用, 进而保证当电源输入端负电压的绝对值大于第一晶体管102阈值电压且小于保护模块101的电压击穿阈值时, 第一晶体管102处于关闭状态。

[0067] 在一种可行的方式中, 第三电阻1042的电阻值大于第一电阻1011的电阻值、第二晶体管1013的导通阻抗值和第三晶体管1014的导通阻抗值之和。

[0068] 当电源输入端输入的负电压的绝对值大于第一晶体管102阈值电压且小于保护模块101的电压击穿阈值时, 由于第一晶体管102的电压 $V_{gs3} = |V_{in}| * (R_1 + R_{dson1} + R_{dson2}) / (R_3 + R_1 + R_{dson1} + R_{dson2})$, V_{in} 为电源输入端输入的电压, R_{dson1} , R_{dson2} 分别为第二晶体管1013和第三晶体管1014的导通阻抗, R_1 为第一电阻1011的电阻值, R_3 为第三电阻1042的电阻值, 为了保证第一晶体管102不会导通, 需要使得 $R_1 + R_{dson1} + R_{dson2} \ll R_3$ 。

[0069] 本申请通过设置第三电阻1042的电阻值大于第一电阻1011的电阻值、第二晶体管1013的导通阻抗值和第三晶体管1014的导通阻抗值之和, 能够保证当电源输入端输入的负电压的绝对值大于第一晶体管102阈值电压且小于保护模块101的电压击穿阈值时, 第一晶体管102不会导通, 进而保护了芯片后级电路。

[0070] 图9是本申请实施例提供的一种包括寄生二极管的保护电路的电路图, 如图9所示, 第一晶体管102、第二晶体管1013和第三晶体管1014均包括寄生二极管。

[0071] 当电源输入端遇到正ESD时或者正浪涌时,能量通过第一晶体管102的寄生二极管经由ESD保护器103泄放到GND,避免芯片后级电路受到高压损伤。

[0072] 本申请通过为第一晶体管102、第二晶体管1013和第三晶体管1014设置寄生二极管,能够对第一晶体管102、第二晶体管1013和第三晶体管1014的回路进行保护,提高了保护电路100的安全性。

[0073] 图10是本申请实施例提供的一种芯片的示意图,如图10所示,本申请提供了一种芯片200,该芯片200包括前述保护电路实施例中任一项的保护电路100。

[0074] 需要说明的是,在不冲突的前提下,本申请描述的各个实施例和/或各个实施例中的技术特征可以任意地相互组合,组合之后得到的技术方案也应落入本申请的保护范围。

[0075] 应理解,本申请实施例中的具体的例子只是为了帮助本领域技术人员更好地理解本申请实施例,而非限制本申请实施例的范围,本领域技术人员可以在上述实施例的基础上进行各种改进和变形,而这些改进或者变形均落在本申请的保护范围内。

[0076] 以上所述,仅为本申请的具体实施方式,但本申请的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本申请揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本申请的保护范围之内。因此,本申请的保护范围应以所述权利要求的保护范围为准。

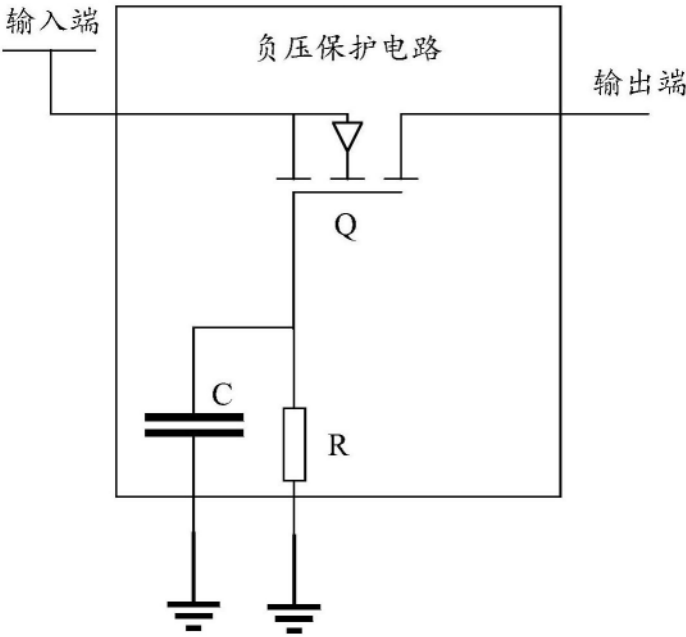


图1

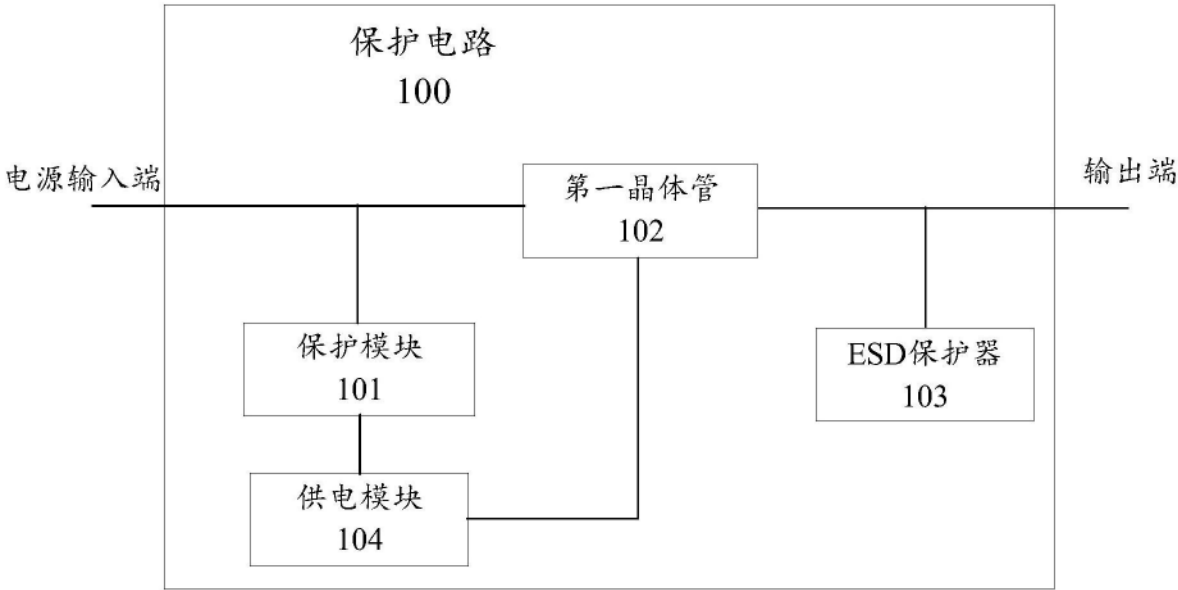


图2

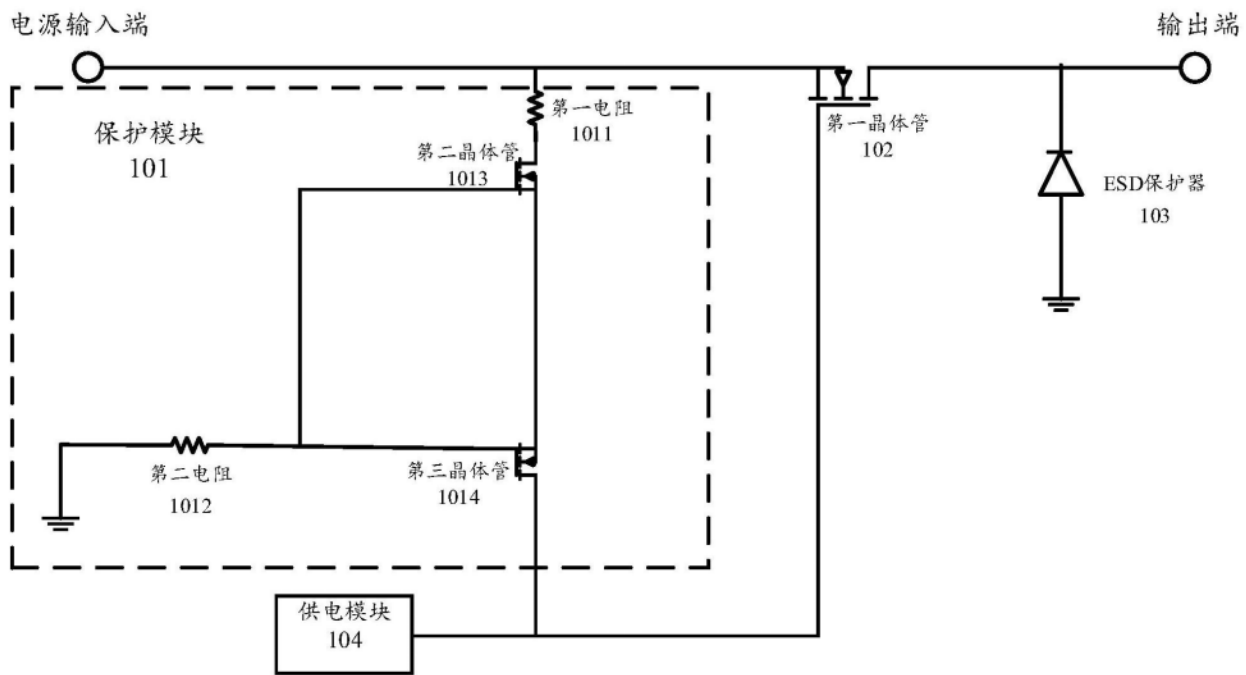


图3

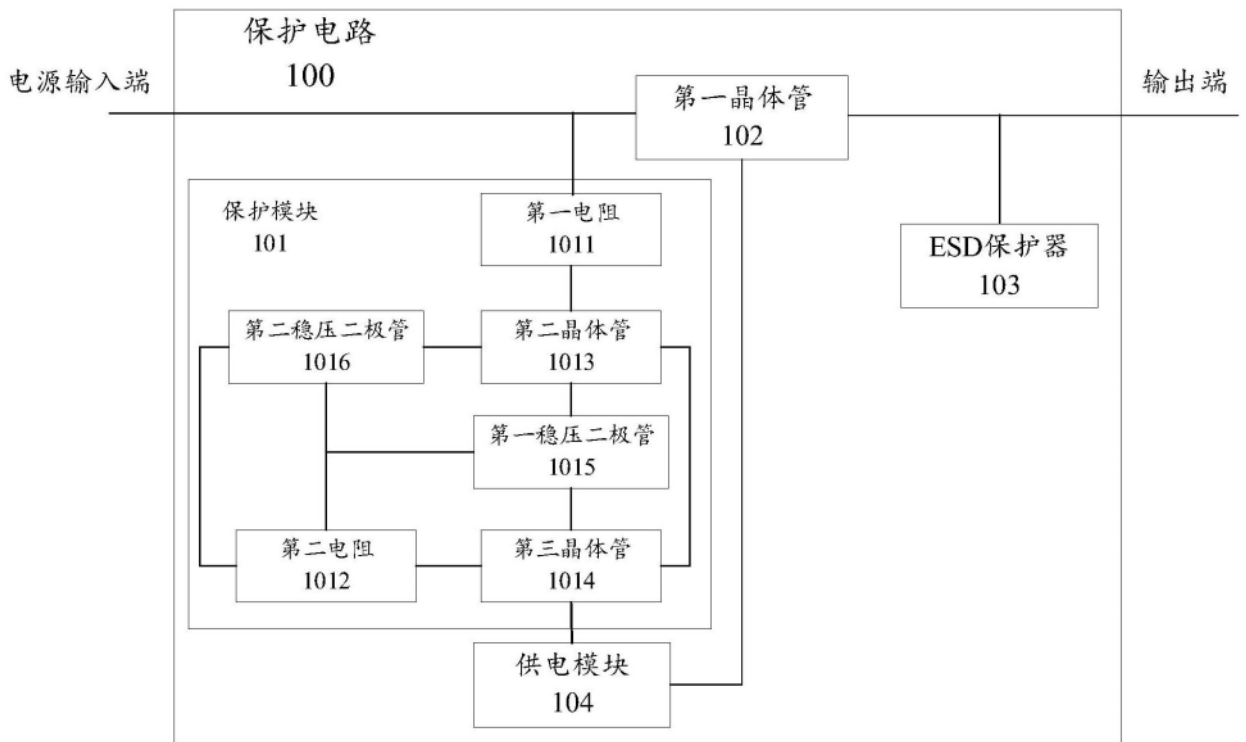


图4

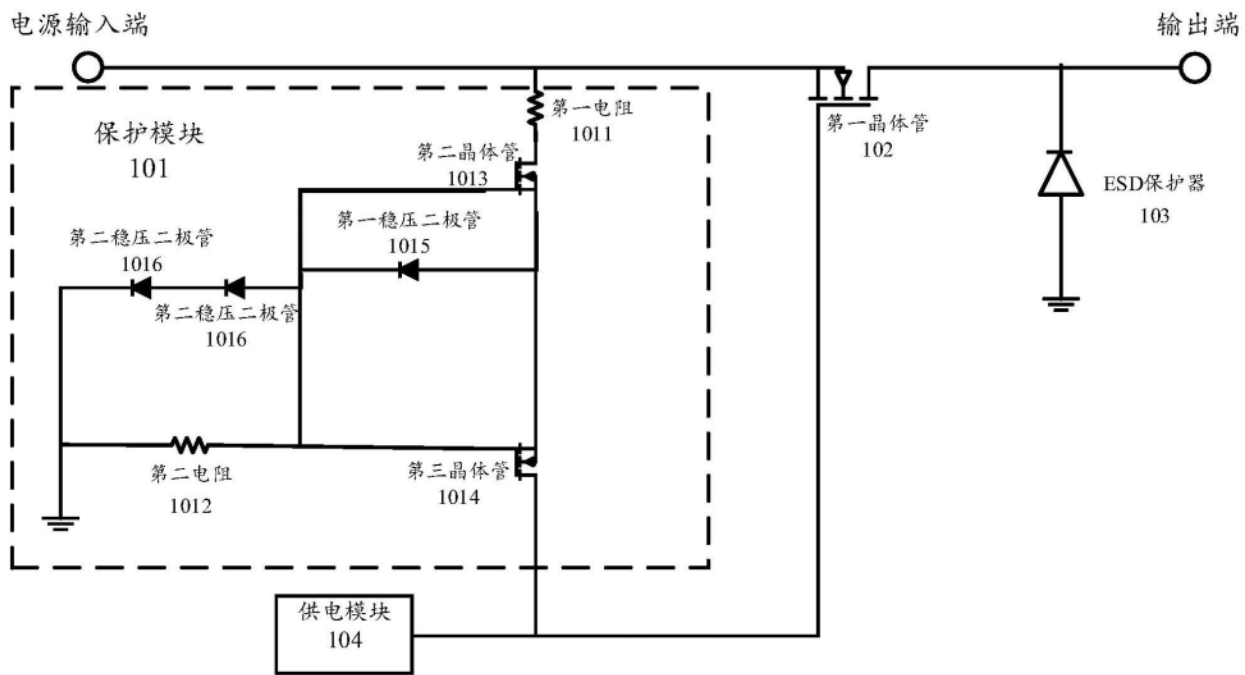


图5

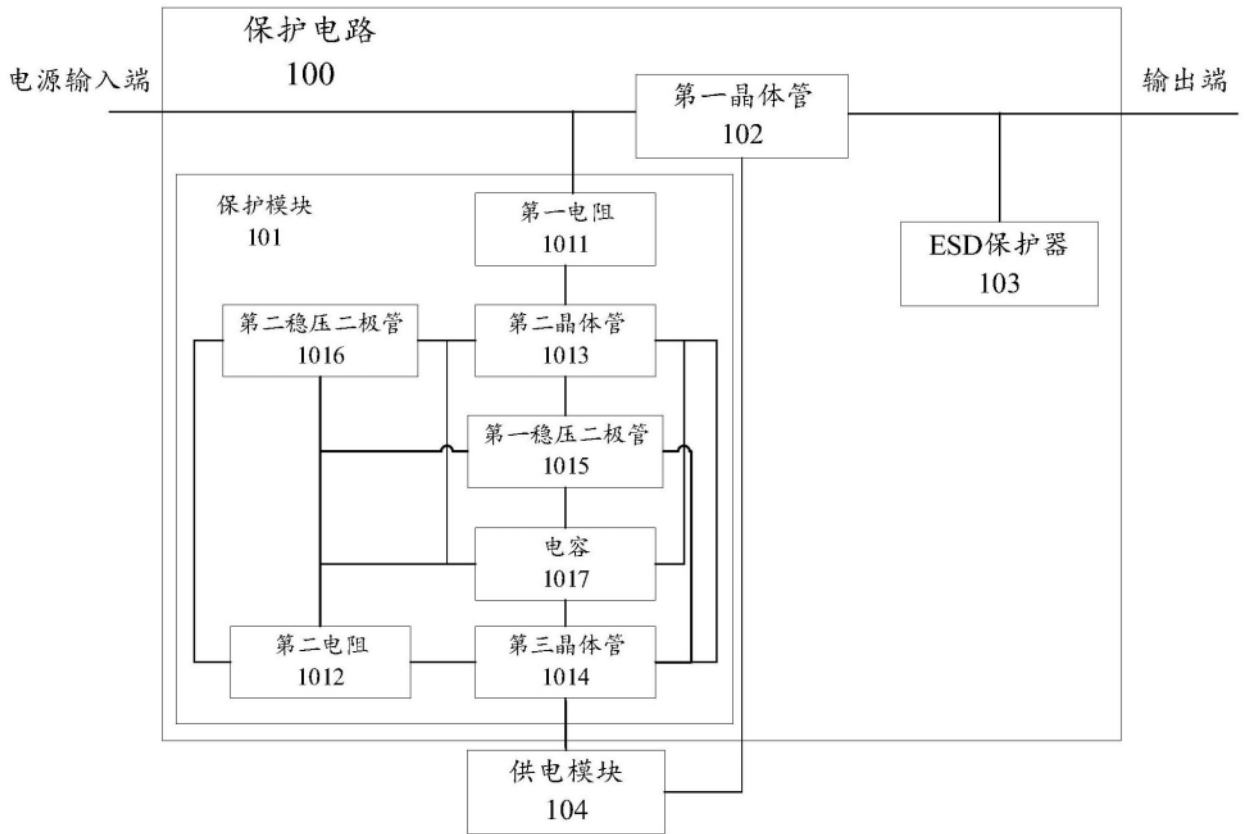


图6

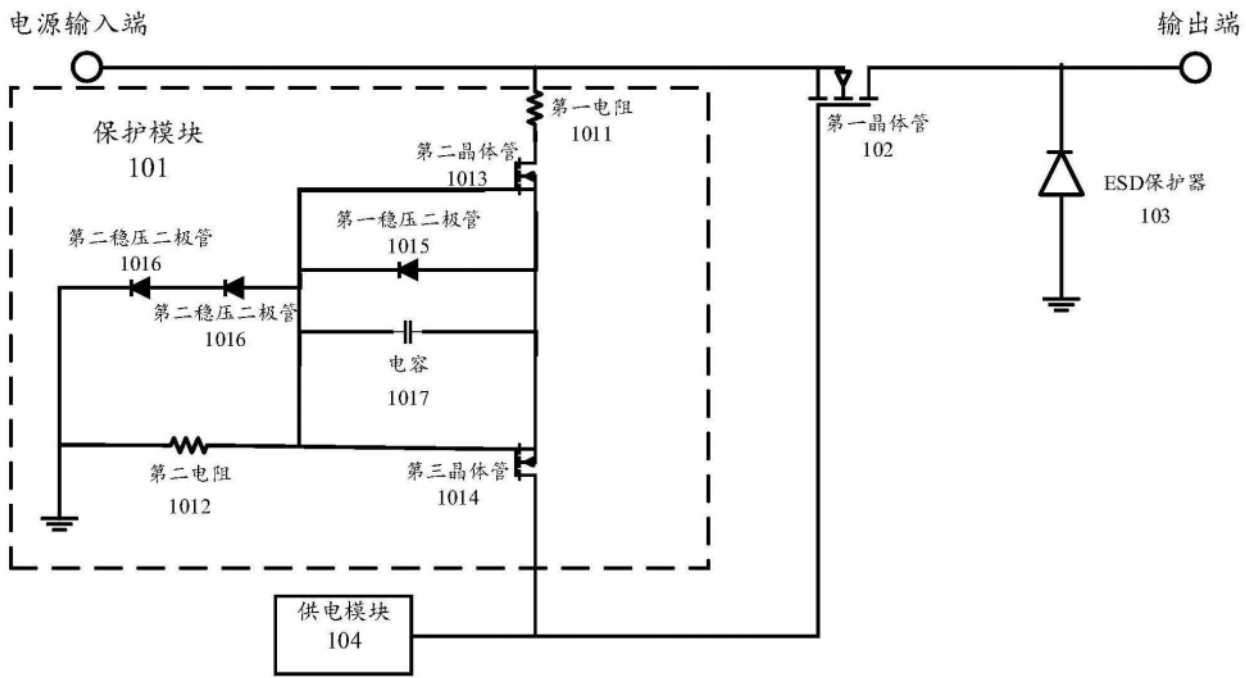


图7

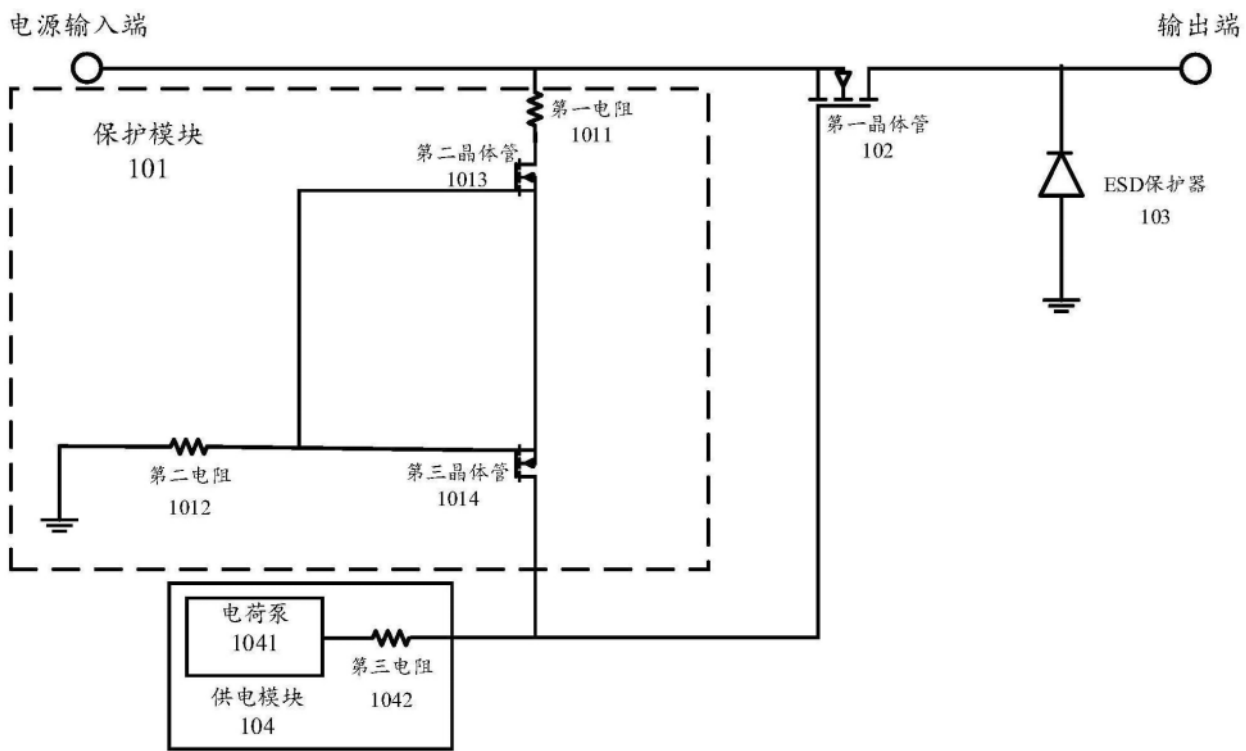


图8

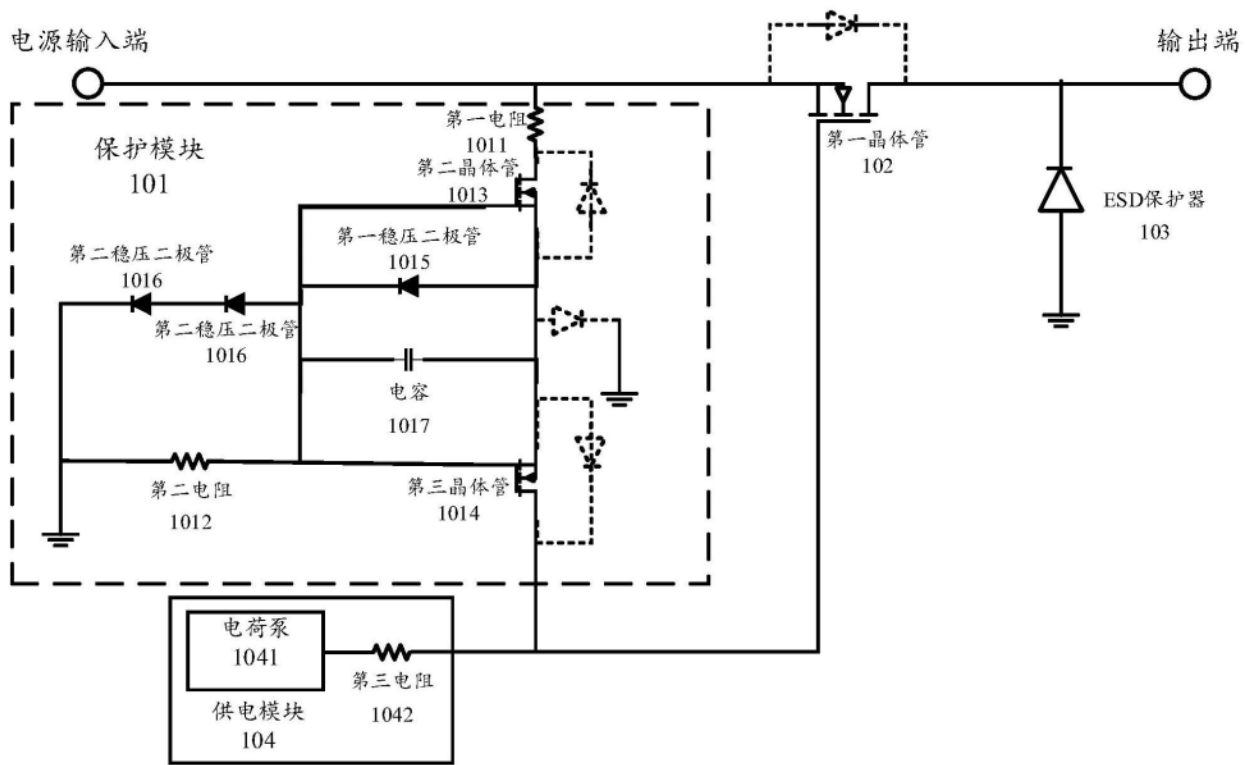


图9

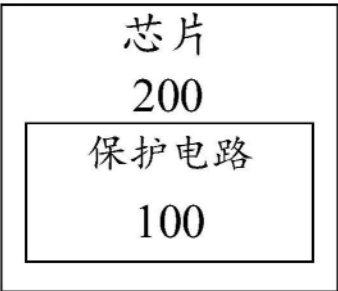


图10