

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成29年12月21日(2017.12.21)

【公開番号】特開2016-96171(P2016-96171A)

【公開日】平成28年5月26日(2016.5.26)

【年通号数】公開・登録公報2016-032

【出願番号】特願2014-229474(P2014-229474)

【国際特許分類】

H 01 L 29/786 (2006.01)

H 01 L 21/336 (2006.01)

H 01 L 21/28 (2006.01)

H 01 L 29/417 (2006.01)

G 02 F 1/1368 (2006.01)

【F I】

H 01 L 29/78 6 1 6 T

H 01 L 29/78 6 1 6 U

H 01 L 29/78 6 1 6 K

H 01 L 29/78 6 1 8 B

H 01 L 29/78 6 1 2 D

H 01 L 29/78 6 2 7 C

H 01 L 21/28 3 0 1 B

H 01 L 21/28 3 0 1 R

H 01 L 29/50 M

G 02 F 1/1368

【手続補正書】

【提出日】平成29年11月8日(2017.11.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁基板と、

前記絶縁基板上に配設されたゲート電極と、

前記ゲート電極を覆う第1絶縁膜と、

前記ゲート電極上に前記第1絶縁膜を介して配設された、酸化物半導体からなる半導体膜と、

前記半導体膜を覆う第2絶縁膜と、

前記第2絶縁膜の一端上に配設された、酸化物導電体以外の導電体からなる第1ソース電極と、

前記第2絶縁膜の他端上に配設された、酸化物導電体以外の導電体からなる第1ドレイン電極と、

前記第1ソース電極上に配設され、前記第1ソース電極及び前記第2絶縁膜に設けられた第1コンタクトホールを介して前記半導体膜と接続された、酸化物導電体からなる第2ソース電極と、

前記第1ドレイン電極上に配設され、前記第1ドレイン電極及び前記第2絶縁膜に設けられた第2コンタクトホールを介して前記半導体膜と接続された、酸化物導電体からなる

第2ドレイン電極と、

前記第2ドレイン電極の一部を延設して形成された画素電極と、

前記第1絶縁膜と、前記第2ソース電極と、前記第2ドレイン電極と、前記画素電極とを覆う第3絶縁膜と

を備える、薄膜トランジスタ基板。

【請求項2】

請求項1に記載の薄膜トランジスタ基板であって、

前記絶縁基板上に配設され、前記第1絶縁膜により覆われる共通配線と、

前記画素電極上に第3絶縁膜を介して配設され、前記第1絶縁膜及び前記第3絶縁膜に設けられた第3コントラクトホールを介して前記共通配線と接続されるとともに、横方向の電界を前記画素電極との間に発生することが可能な対向電極とをさらに備える、薄膜トランジスタ基板。

【請求項3】

請求項1または請求項2に記載の薄膜トランジスタ基板であって、

前記半導体膜は、

平面視において前記ゲート電極の外周よりも内側に配設された、薄膜トランジスタ基板。

【請求項4】

請求項2に記載の薄膜トランジスタ基板であって、

前記画素電極は、前記第1絶縁膜上に配設され、

前記画素電極の少なくとも一部は、

平面視において前記共通配線の少なくとも一部と重なる、薄膜トランジスタ基板。

【請求項5】

請求項1に記載の薄膜トランジスタ基板と、

前記薄膜トランジスタ基板と対向配置された対向基板とを備え、

前記画素電極と、前記薄膜トランジスタ基板または前記対向基板に配設された対向電極との間に発生する電界によって液晶を駆動する、液晶表示装置。

【請求項6】

ゲート電極と、前記ゲート電極上に第1絶縁膜を介して酸化物半導体膜とが形成された絶縁基板を用意する工程と、

前記酸化物半導体膜上に当該酸化物半導体膜を覆うように絶縁層を形成する工程と、

前記絶縁層を介して前記酸化物半導体膜を覆う導電膜を形成する工程と、

少なくとも前記酸化物半導体膜上に一部が残るよう前記絶縁層及び前記導電膜を1回の写真製版でパターニングすることによって、前記酸化物半導体膜上に第2絶縁膜を、前記第2絶縁膜上に電極体を形成する工程と、

前記電極体を形成する工程後に、前記電極体を分離することによって、前記第2絶縁膜上で離間する第1ソース電極及び第1ドレイン電極を形成する工程とを備える、薄膜トランジスタ基板の製造方法。

【請求項7】

請求項6に記載の薄膜トランジスタ基板の製造方法であって、

一回の写真製版の間に、第2ソース電極、第2ドレイン電極及び画素電極をパターニングによって形成するとともに前記電極体を分離するパターニングを行うことによって、前記第1ソース電極及び前記第1ドレイン電極を形成する工程を行う、薄膜トランジスタ基板の製造方法。

【請求項8】

請求項6または請求項7に記載の薄膜トランジスタ基板の製造方法であって、

前記電極体を形成する工程にて、前記絶縁層及び前記電極体に、前記酸化物半導体膜の一部を露出する第1及び第2コントラクトホールをエッチングによって形成し、

前記第1ソース電極上から前記第1コントラクトホールを介して前記酸化物半導体膜上に延在する酸化物導電体からなる第2ソース電極を形成するとともに、前記第1ドレイン電

極上から前記第2コンタクトホールを介して前記酸化物半導体膜上に延在する酸化物導電体からなる第2ドレイン電極を形成する工程をさらに備える、薄膜トランジスタ基板の製造方法。

【請求項9】

請求項6に記載の薄膜トランジスタ基板の製造方法であって、

前記電極体を形成する工程において形成される前記電極体は、前記第1ソース電極が形成されるソース電極形成領域から前記第1ドレイン電極が形成されるドレイン電極形成領域にわたって一体に形成された導電膜からなる、薄膜トランジスタ基板の製造方法。

【請求項10】

請求項8に記載の薄膜トランジスタ基板の製造方法であって、

前記第2ドレイン電極の形成とともに、前記第2ドレイン電極と一体化された酸化物導電体からなる画素電極を形成する、薄膜トランジスタ基板の製造方法。

【請求項11】

請求項6に記載の薄膜トランジスタ基板の製造方法であって、

前記第1ソース電極及び前記第1ドレイン電極は、酸化物導電体以外の導電体からなる、薄膜トランジスタ基板の製造方法。

【請求項12】

請求項6から請求項11のうちのいずれか1項に記載の薄膜トランジスタ基板の製造方法であって、

前記第2ドレイン電極に電気的に接続される画素電極を形成する工程と、前記画素電極上に第3絶縁膜を形成し、当該第3絶縁膜上に対向電極を形成する工程とをさらに備える、薄膜トランジスタ基板の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

【0054】

その後、まだ除去されていないフォトレジストパターンと、上記パターニングが施された第3の導電膜とをマスクとして、電極体28を選択的にエッチングする。これにより、電極体28のうち第1ソース電極12及び第1ドレイン電極13を繋いでいた、保護絶縁層9上の部分が除去される。つまり、ソース電極(第1及び第2ソース電極12, 16)とドレイン電極(第1及び第2ドレイン電極13, 17)とが電気的に分離する。なお、ここでのエッチングには、例えばPAN薬液によるウェットエッチング法を用いることができる。その後、フォトレジストパターンを除去する。