

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-246332

(P2009-246332A)

(43) 公開日 平成21年10月22日(2009.10.22)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/027 (2006.01)	H O 1 L 21/30 5 1 4 A	5 F O 4 6
	H O 1 L 21/30 5 O 2 C	

審査請求 未請求 請求項の数 20 O L (全 16 頁)

(21) 出願番号 特願2008-261675 (P2008-261675) (22) 出願日 平成20年10月8日 (2008.10.8) (31) 優先権主張番号 10-2008-0029329 (32) 優先日 平成20年3月28日 (2008.3.28) (33) 優先権主張国 韓国 (KR) (31) 優先権主張番号 12/217,782 (32) 優先日 平成20年7月9日 (2008.7.9) (33) 優先権主張国 米国 (US)	(71) 出願人 390019839 三星電子株式会社 S A M S U N G E L E C T R O N I C S C O . , L T D . 大韓民国京畿道水原市靈通区梅灘洞416 416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do 442-742 (KR) (74) 代理人 100093779 弁理士 服部 雅紀 (72) 発明者 趙 南勉 大韓民国ソウル特別市麻浦区新水洞255 -7番地成道ビルB棟104号 最終頁に続く
--	--

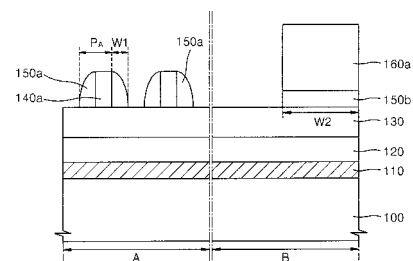
(54) 【発明の名称】 半導体素子の微細パターン形成方法

(57) 【要約】

【課題】 同じ基板上にパターン密度またはパターン幅の相異なる多様な大きさ及び多様なピッチのパターンを同時に形成できる半導体素子の微細パターン形成方法を提供する。

【解決手段】 第1領域及び第2領域を備える基板上に、第1領域のみに第1ピッチで反復配置される複数のモールドパターン140aを形成するステップと、微細マスク層150を基板上の第1領域及び第2領域に同時に形成するステップと、第2領域のみに微細マスク層150の上面のうち一部を覆う上部ハードマスクパターン160aを形成するステップと、上部ハードマスクパターン160aをエッチングマスクとして、第1領域及び第2領域で微細マスク層150をエッチングし、第1領域に複数の微細スペーサ150aを複数のモールドパターン140aそれぞれの両側壁に形成すると同時に、第2領域に低密度マスクパターンを形成するステップと、を含む。

【選択図】 図1G



【特許請求の範囲】

【請求項 1】

第 1 領域及び第 2 領域を備える基板上に、前記第 1 領域及び前記第 2 領域のうち、前記第 1 領域のみに第 1 ピッチで反復配置される複数のモールドパターンを形成するステップと、

前記第 1 領域で前記モールドパターンを覆う微細マスク層を、前記基板上の第 1 領域及び前記第 2 領域に同時に形成するステップと、

前記第 1 領域及び前記第 2 領域のうち、前記第 2 領域のみに前記微細マスク層の上面のうち一部を覆う上部ハードマスクパターンを形成するステップと、

前記上部ハードマスクパターンをエッチングマスクとして、前記第 1 領域及び前記第 2 領域で前記微細マスク層をエッチングし、前記第 1 領域には、前記微細マスク層の第 1 部分で形成される複数の微細スペーサを前記複数のモールドパターンそれぞれの両側壁に形成すると同時に、前記第 2 領域には前記微細マスク層の第 2 部分で形成される低密度マスクパターンを形成するステップと、を含むことを特徴とする半導体素子の微細パターン形成方法。

10

【請求項 2】

前記第 1 領域で前記複数の微細スペーサは、第 1 パターン密度で形成され、

前記第 2 領域で前記低密度マスクパターンは、前記第 1 パターン密度よりさらに低い第 2 パターン密度で形成されることを特徴とする請求項 1 に記載の半導体素子の微細パターン形成方法。

20

【請求項 3】

前記基板は被エッチング膜を備え、前記複数のモールドパターン及び前記微細マスク層はそれぞれ前記被エッチング膜上に形成され、

前記複数の微細スペーサ及び低密度マスクパターンが形成された後、前記複数の微細スペーサ及び低密度マスクパターンをエッチングマスクとして、前記第 1 領域及び前記第 2 領域で前記被エッチング膜をエッチングするステップをさらに含むことを特徴とする請求項 1 に記載の半導体素子の微細パターン形成方法。

【請求項 4】

前記被エッチング膜は、導電層、絶縁層、またはこれらの組み合わせで形成されることを特徴とする請求項 3 に記載の半導体素子の微細パターン形成方法。

30

【請求項 5】

前記基板は、半導体基板と、前記半導体基板上に形成された下部ハードマスク層とを備え、

前記複数のモールドパターン及び前記微細マスク層は、それぞれ前記下部ハードマスク層上に形成されることを特徴とする請求項 1 に記載の半導体素子の微細パターン形成方法。

【請求項 6】

前記下部ハードマスク層は、1 種の物質からなる単一層、またはそれぞれ異なる物質からなる複数のハードマスク層が順次積層された多重層で形成されることを特徴とする請求項 5 に記載の半導体素子の微細パターン形成方法。

40

【請求項 7】

前記下部ハードマスク層は、酸化膜、窒化膜及びポリシリコン膜で形成される群から選択されるいずれか一つの膜またはこれらの組み合わせで形成されることを特徴とする請求項 6 に記載の半導体素子の微細パターン形成方法。

【請求項 8】

前記複数の微細スペーサ及び低密度マスクパターンが形成された後、前記複数の微細スペーサ及び前記低密度マスクパターンをエッチングマスクとして、前記第 1 領域及び前記第 2 領域で前記下部ハードマスク層を同時にエッチングして、前記第 1 領域及び前記第 2 領域でそれぞれ異なるパターン密度を持つ下部ハードマスクパターンを形成するステップをさらに含むことを特徴とする請求項 5 に記載の半導体素子の微細パターン形成方法。

50

【請求項 9】

前記下部ハードマスクパターンが形成された後、前記下部ハードマスクパターンをエッチングマスクとして、前記第 1 領域及び前記第 2 領域で前記半導体基板をエッチングして、前記第 1 領域及び前記第 2 領域でそれぞれ異なる密度を持つ活性領域を同時に定義するステップをさらに含むことを特徴とする請求項 8 に記載の半導体素子の微細パターン形成方法。

【請求項 10】

前記複数のモールドパターンは、炭素含有膜、酸化膜、ポリシリコン膜、窒化膜、フォトレジスト膜、及び金属膜で形成される群から選択されるいずれか一つの膜で形成されることを特徴とする請求項 1 に記載の半導体素子の微細パターン形成方法。

10

【請求項 11】

前記微細マスク層は、酸化膜または窒化膜で形成されることを特徴とする請求項 1 に記載の半導体素子の微細パターン形成方法。

【請求項 12】

前記上部ハードマスクパターンは、炭素含有膜で形成されることを特徴とする請求項 1 に記載の半導体素子の微細パターン形成方法。

【請求項 13】

前記複数のモールドパターンと前記上部ハードマスクパターンとは、同じ物質からなることを特徴とする請求項 1 に記載の半導体素子の微細パターン形成方法。

【請求項 14】

前記複数のモールドパターンと前記上部ハードマスクパターンとは、相異なる物質からなることを特徴とする請求項 1 に記載の半導体素子の微細パターン形成方法。

20

【請求項 15】

前記上部ハードマスクパターンを形成するステップは、

前記第 1 領域及び前記第 2 領域で前記微細マスク層上に上部ハードマスク層を形成するステップと、

前記第 1 領域及び前記第 2 領域のうち、前記第 2 領域のみに前記上部ハードマスク層の上面のうち一部を覆うマスクパターンを形成するステップと、

前記マスクパターンをエッチングマスクとして、前記上部ハードマスク層をエッチングして前記上部ハードマスクパターンを形成するステップと、を含むことを特徴とする請求項 1 に記載の半導体素子の微細パターン形成方法。

30

【請求項 16】

前記上部ハードマスク層は、スピンコーティング工程により形成されることを特徴とする請求項 15 に記載の半導体素子の微細パターン形成方法。

【請求項 17】

前記複数の微細スペーサ及び低密度マスクパターンが形成された後、前記複数のモールドパターン及び前記上部ハードマスクパターンを除去するステップをさらに含むことを特徴とする請求項 1 に記載の半導体素子の微細パターン形成方法。

【請求項 18】

前記複数のモールドパターン及び前記上部ハードマスクパターンは、同時に除去されることを特徴とする請求項 17 に記載の半導体素子の微細パターン形成方法。

40

【請求項 19】

前記複数のモールドパターン及び前記上部ハードマスクパターンは、アッシング及びストリップ工程を利用して同時に除去されることを特徴とする請求項 17 に記載の半導体素子の微細パターン形成方法。

【請求項 20】

前記複数のモールドパターン及び前記上部ハードマスクパターンを除去するステップは、前記複数のモールドパターンを除去するための第 1 除去工程と、前記上部ハードマスクパターンを除去するための第 2 除去工程とを含み、

前記第 1 除去工程及び第 2 除去工程は、それぞれドライエッチング工程、ウェットエッ

50

チング工程、及びアッシング工程中で選択されるいずれか一つの工程により行なわれ、

前記第1除去工程及び第2除去工程は、相異なる工程で行なわれることを特徴とする請求項17に記載の半導体素子の微細パターン形成方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子の微細パターン形成方法に係り、特に、SARP (Self-Aligned Reverse Patterning) 工程を利用して微細ピッチのハードマスクパターンを形成するに当たって、基板上の相異なる領域で相異なるパターン密度で微細パターンを形成するための半導体素子の微細パターン形成方法に関する。

10

【背景技術】

【0002】

高集積化された半導体素子の製造時において、パターン微細化が必須である。狭い面積に多くの素子を集積させるためには、個別素子のサイズをなるべく小さく形成せねばならず、このためには形成しようとするパターンそれぞれの幅と前記パターン間の間隔との和であるピッチを小さくせねばならない。最近、半導体素子のデザインルールが急減するにつれて、半導体素子の具現に必要なパターンを形成するためのフォトリソグラフィ工程において、解像限界のために微細ピッチを持つパターンを形成するのに限界がある。特に、基板上にラインアンドスペースパターン (line and space pattern、以下、“L/Sパターン”という) の形成のためのフォトリソグラフィ工程時に、解像限界によって微細ピッチを持つ所望のパターンを形成するのに限界がある。

20

【0003】

前記のようなフォトリソグラフィ工程での解像限界を克服するために、微細ピッチを持つハードマスクパターンを形成するための多様な方法が提案された。

しかし、半導体基板上のセルアレイ領域のようにパターン密度が比較的高い領域と、周辺回路領域またはコア領域のようにパターン密度が比較的低い領域とで、相異なるパターン密度を持つ微細パターンを同時に形成するための新たな工程開発が要求される。

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明の目的は、フォトリソグラフィ工程での解像限界を克服できる微細ピッチのパターンを具現するに当たって、同じ基板上にパターン密度、またはパターン幅の異なる多様なサイズ及び多様なピッチのパターンを同時に形成できる半導体素子の微細パターン形成方法を提供することである。

30

【課題を解決するための手段】

【0005】

前記目的を達成するために、本発明による半導体素子の微細パターン形成方法では、第1領域及び第2領域を備える基板上に、前記第1領域及び前記第2領域のうち、前記第1領域のみに第1ピッチで反復配置される複数のモールドパターンを形成するステップと、前記第1領域で前記モールドパターンを覆う微細マスク層を、前記基板上の第1領域及び第2領域に同時に形成するステップと、前記第1領域及び前記第2領域のうち、前記第2領域のみに前記微細マスク層の上面のうち一部を覆う上部ハードマスクパターンを形成するステップと、前記上部ハードマスクパターンをエッチングマスクとして、前記第1領域及び前記第2領域で前記微細マスク層をエッチングし、前記第1領域には、前記微細マスク層の第1部分で形成される複数の微細スペーサを前記複数のモールドパターンそれぞれの両側壁に形成すると同時に、前記第2領域には前記微細マスク層の第2部分で形成される低密度マスクパターンを形成するステップと、を含む。

40

【0006】

前記基板は被エッチング膜を備え、前記複数のモールドパターン及び前記微細マスク層はそれぞれ前記被エッチング膜上に形成され、前記複数の微細スペーサ及び低密度マスク

50

パターンが形成された後、前記複数の微細スペーサ及び低密度マスクパターンをエッチングマスクとして、前記第1領域及び前記第2領域で前記被エッチング膜をエッチングするステップをさらに含む。

【0007】

前記基板は、半導体基板と、前記半導体基板上に形成された下部ハードマスク層とを備え、前記複数のモールドパターン及び前記微細マスク層は、それぞれ前記下部ハードマスク層上に形成される。前記下部ハードマスク層は1種の物質からなる単一層、またはそれぞれ異なる物質からなる複数のハードマスク層が順次積層された多重層で形成される。

【0008】

前記複数の微細スペーサ及び低密度マスクパターンが形成された後、前記複数の微細スペーサ及び前記低密度マスクパターンをエッチングマスクとして、前記第1領域及び前記第2領域で前記下部ハードマスク層を同時にエッチングして、前記第1領域及び前記第2領域でそれぞれ異なるパターン密度を持つ下部ハードマスクパターンを形成する。また、前記下部ハードマスクパターンが形成された後、前記下部ハードマスクパターンをエッチングマスクとして、前記第1領域及び前記第2領域で前記半導体基板をエッチングして、前記第1領域及び前記第2領域でそれぞれ異なる密度を持つ活性領域を同時に定義できる。

10

【0009】

前記複数のモールドパターンと前記上部ハードマスクパターンとは、同じ物質からなってもよく、相異なる物質からなってもよい。

20

前記上部ハードマスクパターンを形成するステップは、前記第1領域及び前記第2領域で前記微細マスク層上に上部ハードマスク層を形成するステップと、前記第1領域及び前記第2領域のうち、前記第2領域のみに前記上部ハードマスク層の上面のうち一部を覆うマスクパターンを形成するステップと、前記マスクパターンをエッチングマスクとして、前記上部ハードマスク層をエッチングして前記上部ハードマスクパターンを形成するステップと、を含む。

【0010】

本発明による半導体素子の微細パターン形成方法で、前記複数の微細スペーサ及び低密度マスクパターンが形成された後、前記複数のモールドパターン及び前記上部ハードマスクパターンを除去するステップをさらに含む。前記複数のモールドパターン及び前記上部ハードマスクパターンは、同時に除去されてもよく、順次除去されてもよい。

30

【発明の効果】

【0011】

本発明による半導体素子の微細パターン形成方法によれば、基板上的相異なる領域で相異なるパターン密度を持つ微細マスクパターンを同時に形成した後、これをエッチングマスクとして利用して前記基板上的相異なる領域に相異なる密度を持つパターンを同時に形成する。したがって、基板上で形成しようとする単位素子の種類及び密度によって基板に多様な幅及び多様なピッチを持つ微細パターンを、単純化された工程により形成できる。特に、高密度パターン領域に具現しようとする微細パターンを形成するに当たって、フォトリソグラフィ工程での解像限界を克服できる微細ピッチのパターンを容易に形成でき、このような微細ピッチのパターンを形成する時に、高密度パターン領域での微細パターン形成工程を低密度パターン領域でのパターン形成工程と同時に進めることによって、同一層上に低密度パターン及び高密度パターンを同時に具現できる。したがって、高集積半導体素子の製造工程が単純化され、低コストになって製品競争力を向上させることができる。

40

【発明を実施するための最良の形態】

【0012】

次いで、本発明の望ましい実施形態について添付図面を参照して詳細に説明する。しかし、本発明の実施形態はいろいろな形態に変形でき、本発明の範囲が後述する実施形態に限定されると解釈されてはならない。図面で、層及び領域の厚さは明細書の明確性のため

50

に誇張されている。図面上で同じ符号は同じ要素を称する。

【0013】

(第1実施形態)

図1Aから図1Kは、本発明の第1実施形態による半導体素子の微細パターン形成方法を説明するために工程順序によって示した断面図である。

図1Aを参照すれば、基板100上に被エッチング膜110を形成し、被エッチング膜110上に下部ハードマスク層120、130を形成する。

本実施形態においては、下部ハードマスク層120、130は、第1ハードマスク層120及び第2ハードマスク層130が順次積層された二重層構造を持つ。しかし、本発明はこれに限定されるものではない。例えば、下部マスク層は1種の物質からなる単一層、またはそれぞれ異なる物質からなる複数のハードマスク層が順次積層された多重層で形成されることもある。

10

【0014】

基板100は、高密度パターン領域A及び低密度パターン領域Bを備える。高密度パターン領域Aは、例えば、半導体素子のセルアレイ領域のように単位面積当たりパターン密度が比較的高い領域である。低密度パターン領域Bは、単位面積当たりパターン密度が比較的低い領域であり、例えば、周辺回路領域またはコア領域、その中でも特に低電圧領域または高電圧領域でありうる。または、低密度パターン領域Bは、セルアレイ領域のうち形成しようとするパターンの密度が比較的低い領域でありうる。

【0015】

20

基板100は、シリコン基板で形成されうる。

被エッチング膜110は、形成しようとするパターンの用途によって多様な物質からなりうる。基板100上にゲート電極を形成する場合には、被エッチング膜110は導電層、例えば、ドーピングされたポリシリコン層、またはドーピングされたポリシリコン層と金属シリサイド層との積層構造になりうる。そして、ビットラインを形成する場合には、被エッチング膜110は、金属、例えば、タングステンまたはアルミニウムからなりうる。被エッチング膜110が絶縁層である場合、例えば、TEOS (tetraethyl orthosilicate)、FSG (fluorine silicate glass)、SiOC、SiLKなどのように比較的低い誘電定数を持つ絶縁物質からなりうる。または、被エッチング膜110は、導電層と絶縁層との組み合わせで形成されうる。最終的に形成しようとする微細パターンが基板100のエッチングにより形成される場合には、被エッチング膜110は省略できる。例えば、基板100に活性領域を定義するために本発明による方法を利用する場合には、被エッチング膜110を省略できる。

30

【0016】

第1ハードマスク層120及び第2ハードマスク層130は、それぞれ被エッチング膜110の材料、後続工程で第2ハードマスク層130上に形成される他のエッチングマスクの材料、及び形成しようとするパターンの用途によって、下部の被エッチング膜のエッチング時にエッチング耐性を持つことができる多様な物質からなりうる。第1ハードマスク層120及び第2ハードマスク層130は、所定のエッチング条件に対して相異なるエッチング選択比を持つ相異なる物質からなる。例えば、第1ハードマスク層120及び第2ハードマスク層130は、それぞれ酸化膜、窒化膜、及びポリシリコン膜で選択される相異なる膜で形成されうる。例えば、第1ハードマスク層120及び第2ハードマスク層130のうち一つは、熱酸化膜、CVD酸化膜、USG膜 (Undoped Silicate Glass film) 及びHDP酸化膜 (High Density Plasma oxide film) からなる群から選択されるいずれか一つの酸化膜で形成されうる。または、第1ハードマスク層120及び第2ハードマスク層130のうち一つは、SiON、SiN、SiBN、BNのような窒化膜、またはポリシリコン膜で形成されうる。

40

【0017】

図1Bを参照すれば、第2ハードマスク層130上にモールド層140及び反射防止膜

50

142を順次形成し、高密度パターン領域Aで、反射防止膜142上にフォトレジストパターン144を形成する。

モールド層140は、例えば、炭素含有膜、酸化膜、ポリシリコン膜、窒化膜、フォトレジスト膜、またはAl、Wのような金属膜で形成されうる。モールド層140が炭素含有膜で形成される場合、モールド層140を構成する炭素含有膜は、芳香族環を含む炭化水素化合物またはその誘導体からなる有機化合物で形成されうる。例えば、モールド層140を構成する炭素含有膜は、フェニル、ベンゼン、またはナフタレンのような芳香族環を含む有機化合物からなりうる。前記炭素含有膜は、モールド層140を構成する有機化合物の総重量を基準に約85～99重量%の比較的高い炭素含有量を持つ膜で形成されうる。前記炭素含有膜は、例えば、スピンコーティングにより形成されうる。前記炭素含有膜を形成するための例示的な方法で、第2ハードマスク層130上に有機化合物を約1000～5000Åの厚さでスピンコーティングした後、得られた有機化合物層を約150～350℃の温度下で1次ベイクして前記炭素含有膜を形成する。前記1次ベイクは約60秒間行なわれうる。次いで、前記炭素含有膜を約300～550℃の温度下で2次ベイクして硬化させる。前記2次ベイクは約30～300秒間行なわれうる。このように、前記炭素含有膜を硬化させることによって、前記炭素含有膜上に他の膜質を形成する時に約400℃以上の比較的高温下で蒸着工程を行っても、蒸着工程中に前記炭素含有膜に悪影響が及ばなくなる。

【0018】

反射防止膜142は、無機物または有機物からなりうる。例えば、反射防止膜142は、SiON膜またはBARC膜(Bottom Anti-Reflective Coating film)で形成されうる。

フォトレジストパターン144は、高密度パターン領域Aで最終的に形成しようとする微細パターンのピッチ(PA)より2倍大きいピッチ(2PA)を持つように形成できる。

【0019】

図1Cを参照すれば、フォトレジストパターン144をエッチングマスクとして、反射防止膜142及びモールド層140をエッチングして複数のモールドパターン140aを形成する。次いで、モールドパターン140a上に残っている反射防止膜142及びフォトレジストパターン144を除去する。

【0020】

高密度パターン領域Aで、複数のモールドパターン140aは、最終的に形成しようとする微細パターンのピッチ(PA)より2倍大きい第1ピッチ(2PA)を持つように形成できる。

図1Dを参照すれば、モールドパターン140a及び第2ハードマスク層130上に微細マスク層150を形成する。微細マスク層150は、高密度パターン領域Aでモールドパターン140aの上面及び側壁と第2ハードマスク層130の上面とを均一な厚さで覆うと同時に、低密度パターン領域Bで第2ハードマスク層130の上面を均一な厚さで覆うように形成される。

【0021】

微細マスク層150は、モールドパターン140a及び第2ハードマスク層130のエッチング時にエッチング耐性を持つことができる物質からなる。例えば、微細マスク層150は、ALD(Atomic Layer Deposition)工程により形成される酸化膜、または窒化膜で形成されうる。例えば、モールドパターン140aは、図1Bを参照して説明した炭素含有膜で形成され、微細マスク層150は、酸化膜で形成されうる。または、モールドパターン140aは酸化膜で形成され、微細マスク層150は窒化膜で形成されうる。

【0022】

図1Eを参照すれば、基板100上の高密度パターン領域A及び低密度パターン領域Bに、それぞれ微細マスク層150を完全に覆う上部ハードマスク層160を形成する。次

10

20

30

40

50

いで、上部ハードマスク層 160 上に反射防止膜 162 を形成し、高密度パターン領域 A に所定形状のフォトレジストパターン 164 を形成する。

【0023】

フォトレジストパターン 164 は、低密度パターン領域 B で最終的に具現しようとするパターンと同じピッチ及び同じ形状を持つように形成できる。

反射防止膜 162 は無機物または有機物からなりうる。例えば、反射防止膜 162 は、SiON 膜または BARC 膜からなりうる。

【0024】

上部ハードマスク層 160 は、炭素含有膜、例えば、芳香族環を含む炭化水素化合物またはその誘導体からなる有機化合物を含む炭素含有膜で形成されうる。例えば、上部ハードマスク層 160 を構成する炭素含有膜は、フェニル、ベンゼン、またはナフタレンのような芳香族環を含む有機化合物からなりうる。前記炭素含有膜は、前記上部ハードマスク層 160 を構成する有機化合物の総重量を基準に約 85～99 重量%の比較的高い炭素含有量を持つ膜で形成されうる。前記炭素含有膜は、例えば、スピコーティングにより形成できる。前記炭素含有膜を形成するための例示的な方法で、前記微細マスク層 150 上に有機化合物を約 1000～5000 Å の厚さでスピコーティングした後、得られた有機化合物層を約 150～350℃の温度下で 1 次ベイクして前記炭素含有膜を形成する。前記 1 次ベイクは、約 60 秒間行なわれうる。次いで、前記炭素含有膜を約 300～550℃の温度下で 2 次ベイクして硬化させる。前記 2 次ベイクは、約 30～300 秒間行なわれうる。このように、前記炭素含有膜を硬化させることによって、前記炭素含有膜上に他の膜質を形成するとき、約 400℃以上の比較的高温下で蒸着工程を行っても、蒸着工程中に前記炭素含有膜に悪影響が及ばなくなる。

【0025】

例示的な方法で、上部ハードマスク層 160 をモールドパターン 140a と同じ物質で形成できる。上部ハードマスク層 160 を形成するために炭素含有膜をスピコーティング工程で形成する場合、高密度パターン領域 A のうち、相互隣接した 2 個のモールドパターン 140a の間で前記微細マスク層 150 の上面に形成された段差によって形成されるリセスの内部にも、上部ハードマスク層 160 がボイドなしによく満たされうる。

【0026】

図 1F を参照すれば、フォトレジストパターン 164 をエッチングマスクとして、反射防止膜 162 及び上部ハードマスク層 160 を異方性ドライエッチングして、低密度パターン領域 B に上部ハードマスクパターン 160a を形成する。

次いで、必要に応じて上部ハードマスクパターン 160a 上に残っている反射防止膜 162 及びフォトレジストパターン 164 を除去できる。反射防止膜 162 及びフォトレジストパターン 164 は、上部ハードマスク層 160 のエッチング過程に消耗されてその一部または全部が除去されることもある。

【0027】

図 1G を参照すれば、上部ハードマスクパターン 160a をエッチングマスクとして、高密度パターン領域 A 及び低密度パターン領域 B で微細マスク層 150 を異方性ドライエッチングして第 2 ハードマスク層 130 の上面を露出させる。

その結果、高密度パターン領域 A では微細マスク層 150 が全面エッチングされて、複数のモールドパターン 140a それぞれの両側壁を覆う複数の微細スペーサ 150a が形成される。これと同時に、低密度パターン領域 B では、微細マスク層 150 に上部ハードマスクパターン 160a の形状が転写されて低密度マスクパターン 150b が形成される。微細スペーサ 150a は、第 1 幅 W1 を持ち、低密度マスクパターン 150b は、微細スペーサ 150a の第 1 幅 W1 より大きい第 2 幅 W2 を持つように形成される。

【0028】

例えば、高密度パターン領域 A で前数の微細スペーサ 150a は、複数のモールドパターン 140a のピッチ (2PA) の 1/2 であるピッチ (PA) で形成される。低密度パターン領域 B で低密度マスクパターン 150b のピッチは、フォトレジストパターン 16

4 のピッチと同一である。

図 1 H を参照すれば、モールドパターン 1 4 0 a 及び上部ハードマスクパターン 1 6 0 a を除去する。

【0029】

その結果、高密度パターン領域 A では、複数の微細スペーサ 1 5 0 a の間に第 2 ハードマスク層 1 3 0 の上面が露出される。高密度パターン領域 A では、第 2 ハードマスク層 1 3 0 上に複数の微細スペーサ 1 5 0 a のみ残り、低密度パターン領域 B では、第 2 ハードマスク層 1 3 0 上に低密度マスクパターン 1 5 0 b のみ残る。

【0030】

モールドパターン 1 4 0 a 及び上部ハードマスクパターン 1 6 0 a を除去するために、ドライエッチング、ウェットエッチング、またはアッシング工程を利用できる。例えば、モールドパターン 1 4 0 a 及び上部ハードマスクパターン 1 6 0 a が同じ炭素含有膜で形成された場合、モールドパターン 1 4 0 a 及び上部ハードマスクパターン 1 6 0 a を除去するためにアッシング及びストリップ工程を利用できる。他の例として、モールドパターン 1 4 0 a は酸化膜で形成され、上部ハードマスクパターン 1 6 0 a は炭素含有膜で形成され、微細スペーサ 1 5 0 a 及び低密度マスクパターン 1 5 0 b は窒化膜で形成された場合、モールドパターン 1 4 0 a を先ずドライエッチング工程で除去した後、上部ハードマスクパターン 1 6 0 a をアッシング及びストリップ工程で除去する方法、または上部ハードマスクパターン 1 6 0 a をアッシング及びストリップ工程で先ず除去した後、モールドパターン 1 4 0 a をウェットエッチング工程で除去する方法を利用できる。

【0031】

場合によって、モールドパターン 1 4 0 a 及び上部ハードマスクパターン 1 6 0 a を除去する工程を省略することもある。

図 1 I を参照すれば、複数の微細スペーサ 1 5 0 a 及び低密度マスクパターン 1 5 0 b をエッチングマスクとして、高密度パターン領域 A 及び低密度パターン領域 B で同時に第 2 ハードマスク層 1 3 0 を異方性ドライエッチングして、高密度パターン領域 A 及び低密度パターン領域 B に、それぞれ高密度第 2 ハードマスクパターン 1 3 0 a 及び低密度第 2 ハードマスクパターン 1 3 0 b を形成する。

【0032】

モールドパターン 1 4 0 a 及び上部ハードマスクパターン 1 6 0 a が、それぞれ第 2 ハードマスク層 1 3 0 と同一物質または同一系列の類似した物質からなるか、所定のエッチング条件に対してこれら相互間のエッチング選択比が互いに同一または類似した場合には、前記図 1 H を参照して説明したモールドパターン 1 4 0 a 及び上部ハードマスクパターン 1 6 0 a の除去工程を省略しても、図 1 I の工程で複数の微細スペーサ 1 5 0 a 及び低密度マスクパターン 1 5 0 b をエッチングマスクとして第 2 ハードマスク層 1 3 0 をエッチングするとき、モールドパターン 1 4 0 a 及び上部ハードマスクパターン 1 6 0 a も共に除去されう。

【0033】

第 2 ハードマスク層 1 3 0 がエッチングされる間に、複数の微細スペーサ 1 5 0 a 及び低密度マスクパターン 1 5 0 b の一部が消耗されう。

図 1 J を参照すれば、高密度第 2 ハードマスクパターン 1 3 0 a 及び低密度第 2 ハードマスクパターン 1 3 0 b をエッチングマスクとして、高密度パターン領域 A 及び低密度パターン領域 B で同時に第 1 ハードマスク層 1 2 0 を異方性ドライエッチングして、高密度パターン領域 A 及び低密度パターン領域 B に、それぞれ高密度第 1 ハードマスクパターン 1 2 0 a 及び低密度第 1 ハードマスクパターン 1 2 0 b を形成する。

【0034】

第 1 ハードマスク層 1 2 0 がエッチングされる間、複数の微細スペーサ 1 5 0 a 及び低密度マスクパターン 1 5 0 b と高密度第 2 ハードマスクパターン 1 3 0 a 及び低密度第 2 ハードマスクパターン 1 3 0 b との一部が消耗されう。

図 1 K を参照すれば、高密度第 1 ハードマスクパターン 1 2 0 a 及び低密度第 1 ハード

マスクパターン 120b をエッチングマスクとして、被エッチング膜 110 を異方性ドライエッチングして、高密度パターン領域 A 及び低密度パターン領域 B に、それぞれ高密度パターン 110a 及び低密度パターン 110b を形成する。

【0035】

被エッチング膜 110 がエッチングされる間、高密度第 2 ハードマスクパターン 130a 及び低密度第 2 ハードマスクパターン 130b と、高密度第 1 ハードマスクパターン 120a 及び低密度第 1 ハードマスクパターン 120b との一部が消耗されうる。

高密度パターン領域 A に形成された高密度パターン 110a は、低密度パターン領域 B に形成された低密度パターン 110b に比べて小さなピッチで反復形成される微細パターンを構成する。高密度パターン 110a は、通常のフォトリソグラフィ工程での解像限界を超える微細ピッチのパターンで構成できる。

10

【0036】

図 1A から図 1K を参照して説明した方法のように、本実施形態による方法により基板上の相異なる領域で相異なるパターン密度を持つ微細マスクパターンを同時に形成した後、これをエッチングマスクとして利用して前記基板上の相異なる領域に相異なる密度を持つパターンを形成することによって、基板上で形成しようとする単位素子の種類及び密度によって、基板に多様な幅及び多様なピッチを持つ微細パターンを、単純化された工程により形成できる。

【0037】

(第 2 実施形態)

20

図 2A から図 2G は、本発明の第 2 実施形態による半導体素子の微細パターン形成方法を説明するために工程順序によって示した断面図である。

本実施形態では、図 1A から図 1K に例示された第 1 実施形態による工程を利用して、基板 100 の高密度領域 A 及び低密度領域 B でそれぞれ異なる密度を持つ活性領域を形成する工程を例として説明する。

【0038】

図 2A から図 2G において、図 1A から図 1K と同じ参照符号は同一部材を表し、これらについての詳細な説明は省略する。

図 2A を参照すれば、基板 100 上の高密度パターン領域 A 及び低密度パターン領域 B に、それぞれパッド酸化膜 210 及び窒化膜 212 を順次形成する。

30

次いで、図 1A 及び図 1B を参照して説明したような方法で、窒化膜 212 上に第 1 ハードマスク層 120、第 2 ハードマスク層 130、モールド層 140 及び反射防止膜 142 を順次形成し、高密度パターン領域 A で反射防止膜 142 上にフォトレジストパターン 144 を形成する。

【0039】

図 2B を参照すれば、図 1C を参照して説明したような方法で、基板 100 上の高密度パターン領域 A で、第 2 ハードマスク層 130 上に複数のモールドパターン 140a を形成する。

次いで、図 1D を参照して説明したような方法で、高密度パターン領域 A でモールドパターン 140a の上面及び側壁と第 2 ハードマスク層 130 の上面とを均一な厚さで覆うと同時に、低密度パターン領域 B で第 2 ハードマスク層 130 の上面を均一な厚さで覆う微細マスク層 150 を形成する。

40

【0040】

図 2C を参照すれば、図 1E から図 1G を参照して説明したような方法で、高密度パターン領域 A でモールドパターン 140a の両側壁に形成される複数の微細スペーサ 150a と、低密度パターン領域 B に形成される低密度マスクパターン 150b とを同時に形成する。低密度マスクパターン 150b は、微細スペーサ 150a の第 1 幅 W1 より大きい第 2 幅 W2 を持つように形成される。

【0041】

図 2D を参照すれば、図 1H を参照して説明したような方法で、モールドパターン 14

50

0 a 及び上部ハードマスクパターン 1 6 0 a を除去した後、図 1 I および図 1 J を参照して説明したような方法で、複数の微細スペーサ 1 5 0 a 及び低密度マスクパターン 1 5 0 b をエッチングマスクとして、高密度パターン領域 A 及び低密度パターン領域 B で同時に第 2 ハードマスク層 1 3 0 を異方性ドライエッチングして、高密度の第 2 ハードマスクパターン 1 3 0 a 及び低密度の第 2 ハードマスクパターン 1 3 0 b を形成した後、これをエッチングマスクとして第 1 ハードマスク層 1 2 0 を異方性ドライエッチングして、高密度パターン領域 A 及び低密度パターン領域 B で、それぞれ窒化膜 2 1 2 上に高密度第 1 ハードマスクパターン 1 2 0 a 及び低密度第 1 ハードマスクパターン 1 2 0 b を形成する。

【0042】

図 2 E を参照すれば、図 1 K を参照して説明した通りに、高密度パターン領域 A 及び低密度パターン領域 B で、それぞれ高密度第 1 ハードマスクパターン 1 2 0 a 及び低密度第 1 ハードマスクパターン 1 2 0 b をエッチングマスクとして、窒化膜 2 1 2 を異方性ドライエッチングする。その結果、高密度パターン領域 A 及び低密度パターン領域 B には、それぞれ高密度窒化膜パターン 2 1 2 a 及び低密度窒化膜パターン 2 1 2 b が形成される。

【0043】

図 2 E には、高密度窒化膜パターン 2 1 2 a 及び低密度窒化膜パターン 2 1 2 b 上に、高密度第 1 ハードマスクパターン 1 2 0 a 及び低密度第 1 ハードマスクパターン 1 2 0 b が残っていないと図示されている。しかし、場合によって高密度窒化膜パターン 2 1 2 a 及び低密度窒化膜パターン 2 1 2 b が形成された後、高密度窒化膜パターン 2 1 2 a 及び低密度窒化膜パターン 2 1 2 b の上面に、それぞれ高密度第 1 ハードマスクパターン 1 2 0 a 及び低密度第 1 ハードマスクパターン 1 2 0 b が残留していることもある。

【0044】

図 2 F を参照すれば、高密度窒化膜パターン 2 1 2 a 及び低密度窒化膜パターン 2 1 2 b をエッチングマスクとして、パッド酸化膜 2 1 0 及び基板 1 0 0 を異方性ドライエッチングする。その結果、高密度パターン領域 A 及び低密度パターン領域 B には、それぞれ高密度活性領域 2 6 0 a 及び低密度活性領域 2 6 0 b を限定する高密度トレンチ 2 6 2 a 及び低密度トレンチ 2 6 2 b が形成される。

【0045】

図 2 G を参照すれば、高密度トレンチ 2 6 2 a 及び低密度トレンチ 2 6 2 b の内部と、高密度窒化膜パターン 2 1 2 a 及び低密度窒化膜パターン 2 1 2 b 上に絶縁物質を蒸着した後、これを高密度窒化膜パターン 2 1 2 a 及び低密度窒化膜パターン 2 1 2 b が露出されるまで CMP (Chemical Mechanical Polishing) 工程により平坦化して、高密度トレンチ 2 6 2 a 及び低密度トレンチ 2 6 2 b 内にそれぞれ素子分離膜 2 7 0 を形成する。

【0046】

図 2 A から図 2 G を参照して説明した方法のように、本実施形態による方法により基板上の相異なる領域で相異なるパターン密度を持つ微細マスクパターンを同時に形成した後、これをエッチングマスクとして利用して前記基板をエッチングしてトレンチを形成することによって、基板上で形成しようとする単位素子の種類及び密度によって、基板に多様な幅及び多様なピッチを持つ活性領域を比較的単純な工程により定義できる。

【0047】

以上、本発明を望ましい実施形態を挙げて詳細に説明したが、本発明は前記実施形態に限定されず、本発明の技術的思想及び範囲内で当業者によっていろいろな変形及び変更が可能である。

【産業上の利用可能性】

【0048】

本発明は、半導体素子関連の技術分野に好適に用いられる。

【図面の簡単な説明】

【0049】

【図 1 A】本発明の第 1 実施形態による半導体素子の微細パターン形成方法を説明するた

10

20

30

40

50

めに、工程順序によって示した断面図である。

【図 1 B】本発明の第 1 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

【図 1 C】本発明の第 1 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

【図 1 D】本発明の第 1 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

【図 1 E】本発明の第 1 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

【図 1 F】本発明の第 1 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

10

【図 1 G】本発明の第 1 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

【図 1 H】本発明の第 1 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

【図 1 I】本発明の第 1 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

【図 1 J】本発明の第 1 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

【図 1 K】本発明の第 1 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

20

【図 2 A】本発明の第 2 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

【図 2 B】本発明の第 2 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

【図 2 C】本発明の第 2 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

【図 2 D】本発明の第 2 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

【図 2 E】本発明の第 2 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

30

【図 2 F】本発明の第 2 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

【図 2 G】本発明の第 2 実施形態による半導体素子の微細パターン形成方法を説明するために、工程順序によって示した断面図である。

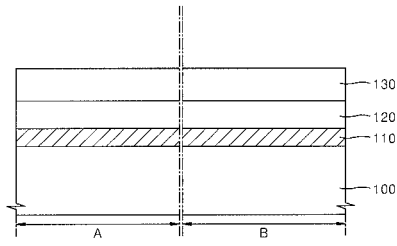
【符号の説明】

【0050】

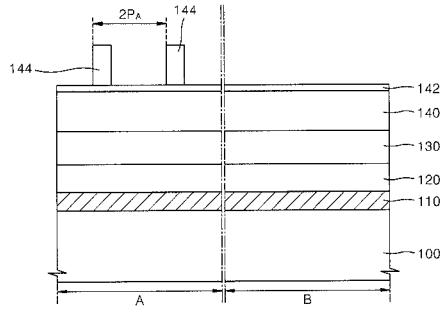
100：基板、110：被エッチング膜、110a：低密度パターン、110b：高密度パターン、120：第1ハードマスク層、120a：高密度第1ハードマスクパターン、120b：低密度第1ハードマスクパターン、130：第2ハードマスク層、130a：高密度第2ハードマスクパターン、130b：低密度第2ハードマスクパターン、140：モールド層、140a：モールドパターン、142：反射防止膜、144：フォトレジストパターン、150：微細マスク層、150a：微細スペーサ、150b：低密度マスクパターン、160：上部ハードマスク層、160a：上部ハードマスクパターン、162：反射防止膜、164：フォトレジストパターン、210：パッド酸化膜、212：窒化膜、212a：高密度窒化膜パターン、212b：低密度窒化膜パターン、260a：高密度活性領域、260b：低密度活性領域、262a：高密度トレンチ、262b：低密度トレンチ、270：素子分離膜、A：高密度パターン領域、B：低密度パターン領域

40

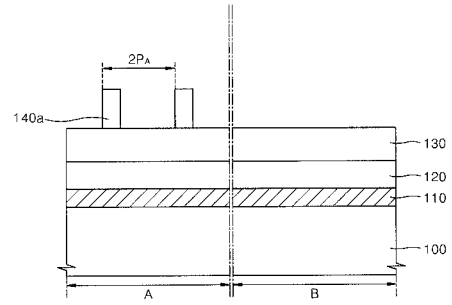
【図 1 A】



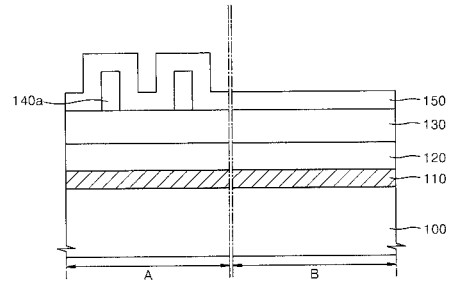
【図 1 B】



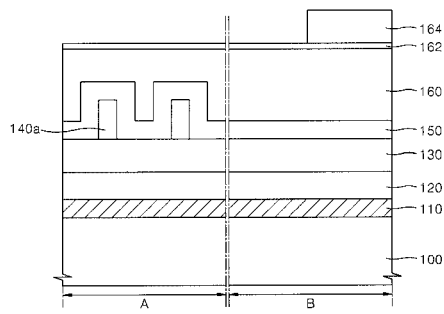
【図 1 C】



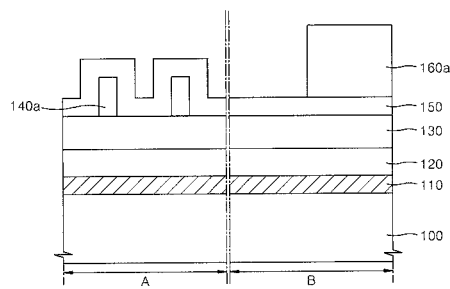
【図 1 D】



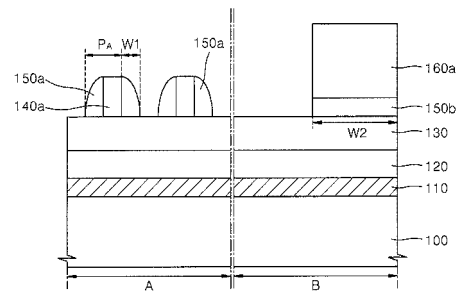
【図 1 E】



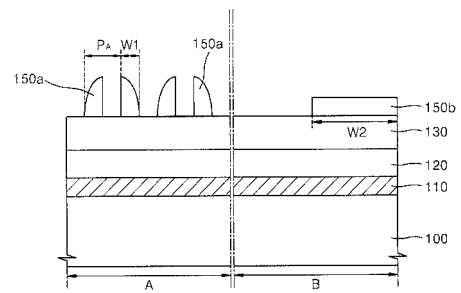
【図 1 F】



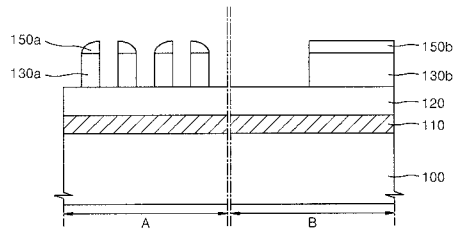
【図 1 G】



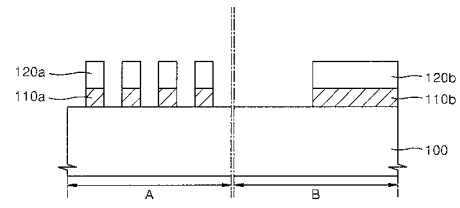
【図 1 H】



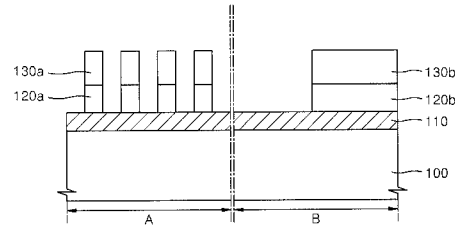
【図 1 I】



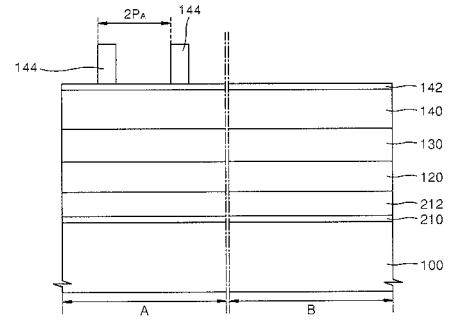
【図 1 K】



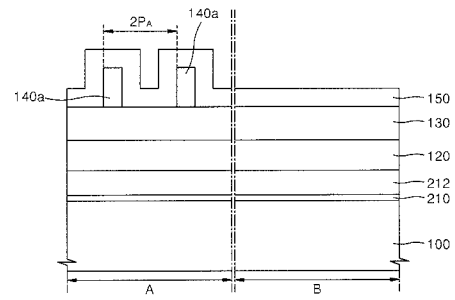
【図 1 J】



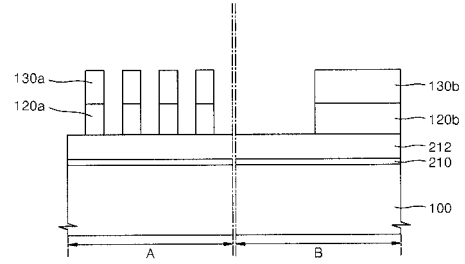
【図 2 A】



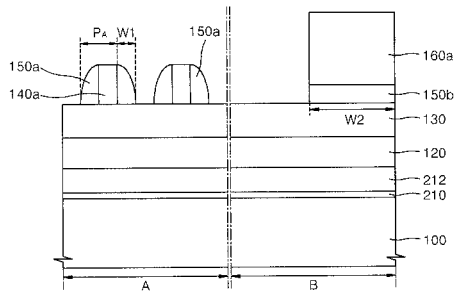
【図 2 B】



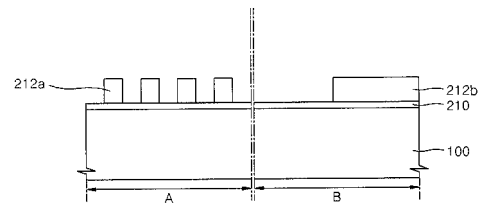
【図 2 D】



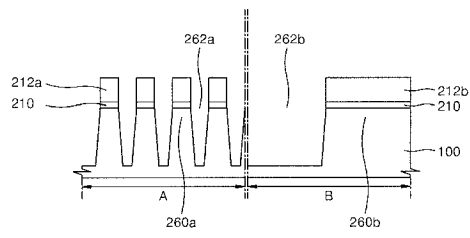
【図 2 C】



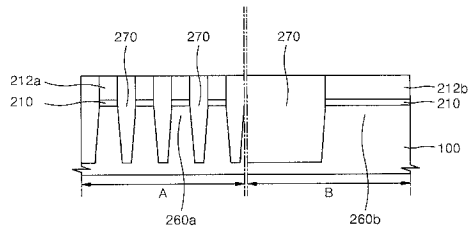
【図 2 E】



【図 2 F】



【図 2 G】



フロントページの続き

(72)発明者 宋 永勳

大韓民国京畿道水原市霊通区網浦洞 2 8 6 - 1 番地防築マウル霊通トルランチェアアパート 1 0 0 2
棟 1 4 0 4 号

(72)発明者 金 明哲

大韓民国京畿道水原市霊通区梅灘 1 洞 8 1 0 番地現代ホームタウンアパート 1 1 0 棟 2 1 0 4 号

(72)発明者 朴 榮周

大韓民国ソウル特別市衿川区始興 2 洞 2 5 2 番地友邦アパート 1 0 7 棟 1 1 0 1 号

(72)発明者 李 時▲庸▼

大韓民国京畿道城南市盆唐区九美洞 6 5 番地カーチマウル住公 2 団地アパート 2 0 1 棟 1 4 0 1 号

Fターム(参考) 5F046 AA11