



明 細 書

発明の名称：半導体デバイスおよび表示装置

技術分野

[0001] 表示パネルの表示を制御する半導体デバイスおよび表示装置に関する。

背景技術

[0002] 液晶表示装置や有機ＥＬ表示装置などのフラットパネル表示装置は、ＴＣＯＮ（Timing Controller）と呼ばれる制御回路を備えている。表示装置は、行列状に配置された画素回路を有する表示パネル基板、複数の画素回路を行単位で駆動する行駆動回路、複数の画素回路を列単位で駆動する列駆動回路、およびＴＣＯＮ等により構成される。ＴＣＯＮは、入力される映像信号に基づいて、行駆動回路および列駆動回路に各種制御信号および映像信号を供給することにより表示パネル基板の表示を制御する。

[0003] 表示パネルの大型化、高解像度化に伴って、表示パネルにおける表示画素数、表示フレームレート等が増加している。上記のＴＣＯＮとして用いられる半導体デバイスは、非圧縮の映像信号を入力するために数Ｇｂｐｓ～数１０Ｇｂｐｓの高速伝送が要求される。

[0004] 例えば、特許文献１（図３３）、に記載されているように、高速伝送に適したＬＶＤＳ（低電圧差動信号）が用いられている。また、特許文献２（図５２Ａ、図５２Ｂ）では、映像信号をＬＶＤＳによりＴＣＯＮに送信している。

先行技術文献

特許文献

[0005] 特許文献１：特開２００２－１５６９５０号公報

特許文献２：特表２００４－５３８５２３号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、従来技術によれば、受信側の半導体デバイスが映像信号を

受信する動作モードに切り替わった直後に映像信号以外のデータを受信してしまう可能性がある。その結果、映像信号以外のデータを映像信号として処理してしまい、例えば、当該半導体デバイスにより表示制御される表示パネルにおいて画像が乱れという不具合が生じ得る。また、映像信号以外のデータを受信する動作モードに切り替わった直後に、映像信号を映像信号以外のデータとして処理してしまうことによる不具合も生じ得る。

[0007] 本開示は、半導体デバイス間の通信においてそれぞれの状態遷移タイミングのずれによる不具合を防止する半導体デバイスおよび表示装置を提供することを目的とする。

課題を解決するための手段

[0008] 上記課題を解決するため本開示における半導体デバイスは、表示パネルの表示を制御する半導体デバイスであって、互いに異なる第1の周期または第2の周期で送信され、同期コードとデータとを含む通信フレームを受信する受信回路と、前記受信回路によって受信された前記通信フレームをデジタル映像信号以外のデータとして処理する第1動作状態と、前記受信回路によって受信された前記通信フレームをデジタル映像信号として処理する第2動作状態とを有するロジック回路と、前記受信回路によって受信された前記通信フレームから同期コードを検出する検出回路と、複数の前記通信フレームにおいて検出された前記同期コードの周期を計測する計測回路と、計測された周期が前記第1の周期であるか前記第2の周期であるかを判定する判定回路とを備え、前記ロジック回路は、前記判定回路の判定結果に応じて前記第1動作状態または前記第2動作状態に実質的に移行する。

発明の効果

[0009] 本開示によれば、半導体デバイス間の通信においてそれぞれの状態遷移タイミングのずれによる影響を防止する半導体デバイスおよび表示装置を提供する。

図面の簡単な説明

[0010] [図1]図1は、実施の形態における表示装置の構成例を示すブロック図である

。

[図2]図2は、実施の形態における制御部の構成例を示すブロック図である。

[図3]図3は、実施の形態における伝送線に送信される通信フレームの構成例を示す図である。

[図4]図4は、マイコン、第1の半導体チップおよび第2の半導体チップの間の通信シーケンス例を示す図である。

[図5]図5は、マイコン、第1の半導体チップおよび第2の半導体チップの間の他の通信シーケンス例を示す図である。

[図6]図6は、送信側の半導体デバイスの状態遷移を示すフローチャートである。

[図7]図7は、受信側の半導体デバイスの状態遷移を伴う動作例を示すフローチャートである。

[図8]図8は、受信側の半導体デバイスの第1動作状態における処理例を示すフローチャートである。

[図9]図9は、受信側の半導体デバイスの第2動作状態における処理例を示すフローチャートである。

発明を実施するための形態

[0011] (本発明の基礎となった知見)

本発明者は、「背景技術」の欄において記載した従来的高速伝送に関し、以下の問題があることを見出した。

[0012] 上述したように、受信側の半導体デバイスが映像信号を受信する動作モードに切り替わった直後に映像信号以外のデータを映像信号として受信してしまう可能性があり、画像が乱れる可能性がある。

[0013] このような動作モードの切り替え時に誤ったデータを受信してしまうことは、例えば、マイコンが、送信側の半導体デバイスおよび受信側の半導体デバイスのそれぞれに動作モードの切り替えを指示するシステムでは、それらの指示タイミングにずれがある場合に起こり得る。つまり、マイコンからの指示が、受信側の半導体デバイスに先に到着し、送信側の半導体デバイスに

後で到着する場合に起こり得る。特に、半導体デバイス間の数Gbpsの高速な伝送速度と比べると、マイコンの動作周波数は例えば数百MHz程度であり格段に遅い。半導体デバイス間の伝送インターフェースは、マイコンからの指示のずれの間に多少のデータを伝送する高速さを持っている。

[0014] この問題の対処として、半導体デバイス間でハンドシェークしながら状態遷移を行うことが考えられる。すなわち、高速伝送インターフェースを持つ半導体デバイス間通信において、各半導体デバイスが同期確立信号をマイコンに送信する。この信号を受けてマイコンは、映像信号を受信する動作モードへの遷移を各半導体デバイスに指示する。この指示を受けて各半導体デバイスは、互いにハンドシェークしながら状態遷移を行う。こうすれば、指示が異なるタイミングで各半導体デバイス到達しても、2つの半導体デバイス間で状態遷移のタイミングを合わせることが可能である。しかしながら、この対処をするには別途、半導体デバイス間にハンドシェーク用の通信線を追加する必要があり、コスト増につながるという別の問題が生じる。

[0015] そこで、本開示は、コストを増加させることなく、半導体デバイス間の通信においてそれぞれの状態遷移タイミングのずれによる影響を防止する半導体デバイスおよび表示装置を提供する。

[0016] (実施の形態)

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

[0017] なお、発明者は、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するのであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。

[0018] 以下、図面を用いて、実施の形態を説明する。

[0019] [1. 表示装置の構成]

図 1 は、実施の形態 1 における表示装置の構成例を示すブロック図である。同図の表示装置 1 は、表示パネル基板 20、ゲート駆動回路 12a、12b、ソース駆動回路 14、制御部 33 を備える。表示装置 1 は、フラットパネル表示装置であり、有機 EL 表示装置、液晶表示装置、プラズマ表示装置等である。以下では、表示装置 1 が有機 EL 表示装置であるものとして説明する。

[0020] 表示パネル基板 20 は、行列状に配置された複数の画素回路 16 を備える。複数の画素回路 16 は、半導体プロセスによって表示パネル基板 20 に形成されている。表示パネル基板 20 の素材は、ガラスまたは樹脂（例えばアクリル）である。

[0021] 複数の画素回路 16 は、n 行 m 列に配置されている。n、m は、表示画面のサイズおよび解像度により異なる。例えば、HD (High Definition) と呼ばれる解像度で、行内に RGB 3 原色に対応する画素回路 16 が隣接する場合、n は少なくとも 1080 行であり、m は少なくとも 1920 × 3 列である。

[0022] 各画素回路 16 は、有機 EL 素子を発光素子として有し、RGB 三原色の何れかの色の発光画素を構成する。

[0023] ゲート駆動回路 12a は、行駆動回路とも呼ばれ、画素回路 16 の行単位にゲート信号を走査する。ここで、ゲート信号とは、画素回路 16 内の各スイッチトランジスタのゲートに入力される信号であり、当該スイッチトランジスタのオンおよびオフを制御する信号である。

[0024] ゲート駆動回路 12b も、ゲート駆動回路 12a と同じ構成である。

[0025] ゲート駆動回路 12a、12b は、表示パネル基板 20 の対向する左辺および右辺から同じゲート信号を同じタイミングで駆動する。これは、大型の表示装置における各信号線の配線容量による信号劣化を抑制するためである。小型の表示装置ではゲート駆動回路 12a または 12b の 1 つだけでよい。

[0026] ソース駆動回路 14 は、列駆動回路とも呼ばれ、制御部 33 から入力され

る映像信号に基づいて、D (1) ~ D (m) 信号線に、それぞれの列に属する画素の明るさを表す電圧を供給する。つまり、D (1) ~ D (m) 信号線にそれぞれの画素の明るさを表す電圧を供給する。供給された電圧は、ゲート駆動回路 1 2 a、1 2 b の走査において選択された行に属する画素回路 1 6 に書き込まれる。また、制御部 3 3 からソース駆動回路 1 4 に入力される映像信号は、例えば、RGB 3 原色の色毎のデジタルシリアルデータとして入力され、ソース駆動回路 1 4 内部で行単位のパラレルデータに変換され、さらに行単位のアナログデータに変換され、D (1) ~ D (m) 信号線に出力される。

[0027] なお、ソース駆動回路 1 4 は、図 1 では 1 つだけ図示しているが、大型の表示装置では上下に 2 つのソース駆動回路を備え、同じ信号を同じタイミングで出力してもよい。

[0028] 制御部 3 3 は、表示装置 1 全体の動作を制御する。具体的には、外部からの映像信号の垂直同期信号、水平同期信号に従って、制御部 3 3 は、ゲート駆動回路 1 2 a、1 2 b に対して走査の開始を指示し、ソース駆動回路 1 4 に対して上記のデジタルシリアルデータを供給する。

[0029] [1 - 1. 制御部の構成]

次に、制御部 3 3 の構成について説明する。

[0030] 図 2 は、制御部 3 3 の構成例を示すブロック図である。同図の上側に示すように制御部 3 3 は、マイコン 3 0、第 1 の半導体チップである半導体デバイス 4 0、第 2 の半導体チップである半導体デバイス 5 0 を備え、TC ON (Timing Controller) としての機能を有する。

[0031] さらに、本実施の形態では、第 2 の半導体チップである半導体デバイス 5 0 から第 1 の半導体チップである半導体デバイス 4 0 への一方向の通信において、半導体デバイス 5 0 がそれ自身の動作状態に応じて異なる周期の通信フレームを送信し、半導体デバイス 4 0 は受信した通信フレームの周期に応じて半導体デバイス 4 0 の動作状態を遷移するように構成されている。

[0032] マイコン 3 0 は、半導体デバイス 4 0、半導体デバイス 5 0 の動作を制御

する。具体的には、マイコン30は、半導体デバイス40および半導体デバイス50は、動作状態（または動作モード）の遷移を指示する通知を送る。

[0033] 半導体デバイス40は、半導体チップであり、例えばFPGA（Field Programmable Gate Array）またはASIC（Application Specific Integrated Circuit）として構成される。この半導体デバイス40は、表示パネル基板20の表示を制御するために、ゲート駆動回路12a、12b、ソース駆動回路14に各種の制御信号を供給する。また、半導体デバイス40は、第1および第2動作状態の少なくとも2つの動作状態を有している。すなわち、半導体デバイス40は、第1動作状態では、半導体デバイス50から伝送線60を介して受信した通信フレームをデジタル映像信号以外のデータとして処理する。また、半導体デバイス40は、第2動作状態では、半導体デバイス50から伝送線60を介して受信した通信フレームをデジタル映像信号として処理する。半導体デバイス40は、マイコン30からの通知および受信した通信フレームの周期に応じて動作状態を遷移する。

[0034] 半導体デバイス50は、半導体チップであり、例えばFPGA（Field Programmable Gate Array）またはASIC（Application Specific Integrated Circuit）として構成される。半導体デバイス50は、半導体デバイス50は、第1および第2動作状態の少なくとも2つの動作状態を有している。すなわち、半導体デバイス50は、第1動作状態では、伝送線60を介して半導体デバイス40にデジタル映像信号以外のデータを周期T1の通信フレームとして送信する。また、半導体デバイス50は、第2動作状態では、伝送線60を介して半導体デバイス40にデジタル映像信号を周期T2の通信フレームとして送信する。半導体デバイス50は、マイコン30からの通知に応じて動作状態を遷移する。

[0035] 制御部33は以上のように構成されている。

[0036] [1-2. 受信側の半導体デバイスの構成]

図2の下側に示すように、半導体デバイス40は、受信回路42、検出回路43、計測回路44、判定回路45、ロジック回路46、伝送線60を備

える。

[0037] 受信回路42は、互いに異なる第1の周期 T_1 または第2の周期 T_2 で半導体デバイス50から伝送線60を介して送信される通信フレームを受信する。ここで、通信フレームは、同期コードとデータとを含む。また、伝送線60は、LVDS (Low Voltage differential signal) によって高速伝送可能な信号線対60p、60nを有する。

[0038] 検出回路43は、受信回路42によって受信された通信フレームから同期コードを検出する。

[0039] 計測回路44は、複数の通信フレームにおいて検出された同期コードの周期を計測する。

[0040] 判定回路45は、計測された周期が第1の周期 T_1 であるか第2の周期 T_2 であるかを判定する。

[0041] ロジック回路46は、受信回路42によって受信された通信フレームをデジタル映像信号以外のデータとして処理する第1動作状態と、受信回路42によって受信された通信フレームをデジタル映像信号として処理する第2動作状態とを有する。また、ロジック回路46は、判定回路45の判定結果に応じて第1動作状態または第2動作状態に遷移する。

[0042] このように、ロジック回路46は、動作状態の遷移の条件として同期コードの周期を利用することにより、例えば、映像信号でないデータを映像信号として処理することを防止できる。

[0043] [1-3. 通信フレームの構成]

続いて、通信フレームの構成について説明する。

[0044] 図3は、伝送線60に送信される通信フレームの構成例を示す図である。図3の(a)は、第1動作状態の半導体デバイス50から伝送線60を介して半導体デバイス40に送信される通信フレーム1を示す。通信フレーム1は、同期コードとデータ（より正確にはデータを載せるペイロード）とを有する。複数の通信フレーム1における同期コードの周期は、第1の周期 T_1 である。通信フレーム1のペイロードは、映像信号以外のデータ、例えば、

半導体デバイス40への制御データやダミーデータ等が載る。

[0045] 図3の(b)は、第2動作状態の半導体デバイス50から伝送線60を介して半導体デバイス40に送信される通信フレーム2を示す。通信フレーム2は、同期コードとデータ（より正確にはデータを載せるペイロード）とを有する。複数の通信フレーム2における同期コードの周期は、第2の周期 T_2 である。図3では、周期 $T_2 > T_1$ であるが、周期 T_2 と周期 T_1 は異なっていればよく、 $T_2 < T_1$ でもよい。通信フレーム2のペイロードには、映像信号が載る。映像信号には、例えば、RGB三原色いずれかの色の画素値を表すデータ、水平同期信号を表すデータ、垂直同期信号を表すデータ等が含まれる。

[0046] 以上のように構成された表示装置について、以下その動作を説明する。

[0047] [2. 動作]

図4は、マイコン30、第2の半導体チップ（つまり半導体デバイス50）および第1の半導体チップ（つまり半導体デバイス40）の間の通信シーケンス例を示す図である。

[0048] 同図においてマイコン30から下に伸びる線は、下方向が正の時間軸を表す。同図の半導体デバイス50、受信回路42、判定回路45、ロジック回路46のそれぞれから下に伸びる線についても同様に時間軸を表す。また、横方向の矢線は、マイコン30からの通知、または、半導体デバイス50からの通信フレームを表す。また、判定回路45から下に伸びる線に付加された T_1 または T_2 は、判定回路45の判定結果を表す。ロジック回路46から下に伸びる線に付加された「OK」は、ロジック回路46により通信フレームが受理され処理されることを表し、「NG」はロジック回路46に通信フレームが受理されずに破棄されることを表す。

[0049] 図4では、マイコン30が、半導体デバイス40に第1動作状態から第2動作状態に遷移することを指示する通知（ T_{40} ）と、半導体デバイス50に第1動作状態から第2動作状態に遷移することを指示する通知（ T_{50} ）を送った場合の通信シーケンス例を示している。

[0050] 通知T40が送信されるまでの期間は、半導体デバイス50、半導体デバイス40はそれぞれ第1動作状態で動作している。この期間では、半導体デバイス50からの複数の通信フレーム1(S40)は、受信回路42で受信され、判定回路45で周期がT1であると判定され、ロジック回路46で受理され、正常なデータとして処理される。

[0051] 通知T40から通知T50までの期間は、半導体デバイス50が第1動作状態であり、半導体デバイス40が第2動作状態になっており、動作状態がずれている。この状態のズレ期間では、半導体デバイス50からの複数の通信フレーム1(S41、S42)は、受信回路42で受信され、判定回路45で周期がT1であると判定され、ロジック回路46で受理されずに破棄される。破棄されるのは、ロジック回路46が第2動作状態では周期T2の通信フレームしか受理しないからである。したがって、この期間に、ロジック回路46が、映像信号でないデータを映像信号として処理することを防止することができる。つまり、このように状態のズレ期間では、半導体デバイス50と、半導体デバイス40との動作状態の不一致による不具合を防止することができる。

[0052] 通知T50の後の期間は、半導体デバイス50、半導体デバイス40が共に第2動作状態である。この期間では、半導体デバイス50からの複数の通信フレーム2(S43~S45)は、受信回路42で受信され、判定回路45で周期がT2であると判定され、ロジック回路46で受理され、映像信号として処理される。その結果、表示パネル基板20に表示される。

[0053] さらに、他の通信シーケンス例について説明する。

[0054] 図5は、マイコン30、第1の半導体チップ(つまり半導体デバイス50)および第2の半導体チップ(つまり半導体デバイス40)の間の他の通信シーケンス例を示す図である。図5は、図4と比べて、マイコンからの通知T50と通知T40の順番が逆になっている点が異なっている。

[0055] 通知T50が送信されるまでの期間は、半導体デバイス50、半導体デバイス40はそれぞれ第1動作状態で動作している。この期間では、半導体デ

バイス 50 からの複数の通信フレーム 1 (S 50) は、受信回路 42 で受信され、判定回路 45 で周期が T1 であると判定され、ロジック回路 46 で受理され、正常なデータとして処理される。

[0056] 通知 T 50 から通知 T 40 が送信されるまでの期間は、半導体デバイス 50 が第 2 動作状態であり、半導体デバイス 40 が第 1 動作状態になっており、動作状態がずれている。この状態のズレ期間では、半導体デバイス 50 からの複数の通信フレーム 2 (S 51、S 52) は、受信回路 42 で受信され、判定回路 45 で周期が T2 であると判定され、ロジック回路 46 で受理されずに破棄される。破棄されるのは、ロジック回路 46 が第 1 動作状態では周期 T1 の通信フレーム 1 しか受理しないからである。このように、この期間に、ロジック回路 46 が、映像信号を、映像信号以外のデータとして受理し、処理することを防止することができる。つまり、半導体デバイス 50 と、半導体デバイス 40 との動作状態の不一致による不具合を防止することができる。

[0057] 通知 T 50 が送信された後の期間は、半導体デバイス 50、半導体デバイス 40 が共に第 2 動作状態である。この期間では、半導体デバイス 50 からの複数の通信フレーム 2 (S 53～S 55) は、受信回路 42 で受信され、判定回路 45 で周期が T2 であると判定され、ロジック回路 46 で受理され、映像信号として処理される。その結果、表示パネル基板 20 に表示される。

[0058] 以上のように、マイコン 30 からの半導体デバイス 50 および半導体デバイス 40 に状態遷移を指示する通知のタイミングがずれていても、言い換えれば、送信側の半導体デバイス 5 と受信側の半導体デバイス 40 の動作状態が不一致であっても、通信フレームの周期と動作状態とが対応していなければ半導体デバイス 40 は通信フレームを破棄するので、映像信号を映像信号以外のデータとして処理すること、映像信号以外のデータを映像信号として処理することを防止することができる。

[0059] [2-1. 送信側の半導体デバイスの動作]

続いて、送信側の半導体デバイス 50 の状態遷移について説明する。

[0060] 図 6 は、送信側の半導体デバイス 50 の状態遷移を示すフローチャートである。同図のように、半導体デバイス 50 は、マイコン 30 からの通知を受けると (S 60)、その通知が状態遷移の指示であるかどうかを判定し (S 61)、通知が第 2 動作状態への遷移を指示する場合には、第 2 動作状態に遷移し (S 62)、伝送線 60 に送信する通信フレームの周期を T 2 に変更する (S 63)。また、半導体デバイス 50 は、通知が第 1 動作状態への遷移を指示する場合には、第 1 動作状態に遷移し (S 64)、伝送線 60 に送信する通信フレームの周期を T 1 に変更する (S 65)。

[0061] この状態遷移の例では、半導体デバイス 50 はマイコン 30 からの通知のみに従って動作状態を遷移する。

[0062] [2-2. 受信側の半導体デバイスの動作]

次に、受信側の半導体デバイス 40 の状態遷移を伴う動作例について説明する。

[0063] 図 7 は、受信側の半導体デバイス 40 の状態遷移を伴う動作例を示すフローチャートである。同図のように、半導体デバイス 40 内のロジック回路 46 は、まず、マイコン 30 から状態遷移の通知を受信したか否かを判定する (S 70)。当該通知を受信した場合 (S 70 で y e s)、さらに、ロジック回路 46 は、どの状態への遷移指示であるかを判定し (S 72)、第 1 動作状態への遷移指示と判定した場合には第 1 動作状態に遷移し (S 73)、第 2 動作状態への遷移指示と判定した場合には第 2 動作状態に遷移する (S 74)。

[0064] この状態遷移の例では、ロジック回路 46 は、マイコン 30 から最後に受信した通知が第 1 動作状態への遷移を指示するとき、通信フレームを映像信号以外のデータとして処理する第 1 動作状態に遷移する。同様に、ロジック回路 46 は、最後に受信した通知が第 2 動作状態への遷移を指示するとき、通信フレームと映像信号として処理する第 2 動作状態に遷移する。

[0065] また、上記ステップ S 70 で n o の場合、ロジック回路 46 は、受信回路

42において通信フレームを受信したか否かを判定する(S71)。ロジック回路46は、通信フレームを受信していないと判定した場合は(S71でno)ステップS70の処理に戻り、通信フレームを受信したと判定した場合は(S71でyes)現在の動作状態を判定する(S75)。さらに、ロジック回路46は、現在の動作状態が第1動作状態であると判定した場合は第1動作状態の処理を行い(S76)、現在の動作状態が第2動作状態であると判定した場合は第2動作状態の処理を行う(S77)。

[0066] つづいて、ステップS76の第1動作状態の処理、ステップS77の第2動作状態の処理についてそれぞれ説明する。

[0067] 図8は、受信側の半導体デバイス40の第1動作状態における処理例を示すフローチャートである。同図のようにロジック回路46は、ステップS71において受信した通信フレームについて判定回路45でその周期を判定し(S80)、判定した周期がT2であれば(S80でT2)当該通信フレームを破棄し(S81)、判定した周期がT1であれば(S80でT1)当該通信フレームのデータ処理をする(S82)、具体的には受信した通信フレームをデジタル映像信号以外のデータとして処理する。

[0068] 図9は、受信側の半導体デバイス40の第2動作状態における処理例を示すフローチャートである。同図のようにロジック回路46は、ステップS71において受信した通信フレームについて判定回路45でその周期を判定し(S90)、判定した周期がT1であれば(S90でT1)当該通信フレームを破棄し(S91)、判定した周期がT2であれば(S90でT2)当該通信フレームのデータ処理をする(S92)、具体的には受信した通信フレームをデジタル映像信号として処理する。

[0069] このように、ロジック回路46は、マイコン30からの通知が指示する動作状態と、半導体デバイス50からの通信フレームの周期とが対応している場合には、通信フレームを受信し処理する。

[0070] また、ロジック回路46は、マイコン30から最後に受信した通知が第1動作状態への遷移を指示し、かつ、判定回路45による判定結果が前記第1

の周期を示していないとき、受信回路42によって受信された通信フレームを破棄する。この通信フレームの破棄は、図8ではステップS81に該当し、図5に示した状態のズレ期間においてなされる。この状態のズレ期間は、上述したように、送信側の半導体デバイス50と受信側の半導体デバイス40との間の動作状態のズレが起きている期間である。この状態のズレ期間において受信側の半導体デバイス40は、形式的には第1動作状態であるが、第1動作状態で予定された意味のある処理を行っていない点で実質的には第1動作状態ではない。この観点から、状態のズレ期間は、実質的な処理を行う動作状態に至っていない状態遷移の途上にある状態遷移期間でもある。例えば、図5の通信フレームの受信(S50)のように、受信側の半導体デバイス40は、形式的な第1動作状態と、受信した通信フレームの周期T1とが対応している場合に、実質的にも第1の動作状態になっている。この意味で、図8に示した処理は形式的な第1の動作状態における処理であり、図8のステップS82は実質的な第1動作状態における処理である。

[0071] 同様に、ロジック回路46は、マイコン30から最後に受信した通知が第2動作状態への遷移を指示し、かつ、判定回路45による判定結果が第2の周期を示していないとき、受信回路42によって受信された通信フレームを破棄する。この通信フレームの破棄は、図9ではステップS91に該当し、図4に示した状態のズレ期間においてなされる。この状態のズレ期間において受信側の半導体デバイス40は、形式的には第2動作状態であるが、第2動作状態で予定された意味のある処理を行っていない点で実質的には第2動作状態ではない。この観点から、状態のズレ期間は、実質的な処理を行う動作状態に至っていない状態遷移の途上にある状態遷移期間である。例えば、図4の通信フレームの受信(S43)のように、受信側の半導体デバイス40は、形式的な第2動作状態と、受信した通信フレームの周期T2とが対応している場合に、実質的にも第2の動作状態になっている。この意味で、図9に示した処理は形式的な第2の動作状態における処理であり、図9のステップS92は実質的な第2動作状態における処理である。

[0072] このように、ロジック回路46は、マイコン30からの通知が指示する動作状態と、半導体デバイス50からの通信フレームの周期とが対応していない場合には、通信フレームを破棄する。これにより、ロジック回路46は、マイコン30からの通知タイミングのずれ、状態遷移のずれに起因して、映像信号を映像信号以外のデータとして処理すること、映像信号以外のデータを映像信号として処理することを防止することができる。

[0073] 以上説明してきたように、本開示の一態様における半導体デバイスは、表示パネルの表示を制御する半導体デバイス40であって、互いに異なる第1の周期または第2の周期で送信され、同期コードとデータとを含む通信フレームを受信する受信回路42と、受信回路42によって受信された通信フレームをデジタル映像信号以外のデータとして処理する第1動作状態と、受信回路42によって受信された通信フレームをデジタル映像信号として処理する第2動作状態とを有するロジック回路46と、受信回路42によって受信された通信フレームから同期コードを検出する検出回路43と、複数の通信フレームにおいて検出された同期コードの周期を計測する計測回路44と、計測された周期が第1の周期であるか第2の周期であるかを判定する判定回路45とを備え、ロジック回路46は、判定回路45の判定結果に応じて第1動作状態または第2動作状態に実質的に移行する。

[0074] この構成によれば、受信した通信フレームに含まれる同期コードが第1の周期であるか第2の周期であるかに応じて、状態遷移するので、第1動作状態で第2の周期の通信フレームを処理するという誤動作を防止し、第2動作状態で第1の周期の通信フレームを処理するという誤動作を防止することができる。

[0075] ここで、半導体デバイス40は、第1または第2動作状態への遷移を指示する通知を外部から受信し、ロジック回路46は、最後に受信した通知が第1動作状態への遷移を指示し、かつ、判定回路45による判定結果が第1の周期を示すとき、第1動作状態に実質的に遷移し、最後に受信した通知が第2動作状態への遷移を指示し、かつ、判定回路45による判定結果が第2の

周期を示すとき、第2動作状態に実質的に遷移してもよい。

[0076] この構成によれば、外部からの通知と、通信フレームの周期との両方を条件とする場合でも、上記の誤動作を防止することができる。言い換えれば、外部からの通知のタイミングのずれ、半導体デバイス間での状態遷移のずれに起因して、映像信号を映像信号以外のデータとして処理すること、映像信号以外のデータを映像信号として処理することを防止することができる。

[0077] ここで、ロジック回路46は、最後に受信した通知が第1動作状態への遷移を指示し、かつ、判定回路45による判定結果が第1の周期を示していないとき、受信回路42によって受信された通信フレームを破棄し、最後に受信した通知が第2動作状態への遷移を指示し、かつ、判定回路45による判定結果が第2の周期を示していないとき、受信回路42によって受信された通信フレームを破棄してもよい。

[0078] ここで、半導体デバイス40は、行列状に配置された複数の画素を有する表示パネルを画素行単位に駆動する行駆動回路（ゲート駆動回路12a）と、表示パネルを画素列単位に駆動する列駆動回路（ソース駆動回路14）とを制御してもよい。

[0079] ここで、半導体デバイス40はFPGA（Field Programmable Gate Array）であってもよい。

[0080] また、本開示の一態様における表示装置は、半導体デバイス40である第1の半導体チップと、通信フレームを第1の半導体チップに一方向に送信する第2の半導体チップ（半導体デバイス50）と、第1または第2動作状態への遷移を指示する通知を第1および第2の半導体チップに出力するマイコン30と、行列状に配置された複数の画素を有する表示パネルと、第1の半導体チップにより制御され表示パネルの画素行を駆動する行駆動回路12aと、第1の半導体チップにより制御され表示パネルの画素列を駆動する列駆動回路14とを備え、第2半導体チップは、第1動作状態への遷移を指示する通知を受けた後、通信フレームを第1の周期で送信し、第2動作状態への遷移を指示する通知を受けた後、通信フレームを第2の周期で送信する。

[0081] この構成によれば、受信した通信フレームに含まれる同期コードが第1の周期であるか第2の周期であるかに応じて、状態遷移するので、第1動作状態で第2の周期の通信フレームを処理するという誤動作を防止し、第2動作状態で第1の周期の通信フレームを処理するという誤動作を防止することができる。

[0082] ここで、ロジック回路46は、最後に受信した通知が第1動作状態への遷移を指示し、かつ、判定回路45による判定結果が第1の周期を示すとき、第1動作状態に実質的に遷移し、最後に受信した通知が第2動作状態への遷移を指示し、かつ、判定回路45による判定結果が第2の周期を示すとき、第2動作状態に実質的に遷移してもよい。

[0083] この構成によれば、外部からの通知と、通信フレームの周期との両方を条件とする場合でも、上記の誤動作を防止することができる。

[0084] (変形例)

以上、半導体デバイス、それを用いた表示装置について、実施の形態に基づいて説明したが、本開示は、この実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、一つまたは複数の態様の範囲内に含まれても良い。

[0085] したがって、添付図面および詳細な説明に記載された構成要素の中には、課題解決のために必須な構成要素だけでなく、上記技術を例示するために、課題解決のためには必須でない構成要素も含まれ得る。そのため、それらの必須ではない構成要素が添付図面や詳細な説明に記載されていることをもって、直ちに、それらの必須ではない構成要素が必須であるとの認定をするべきではない。

[0086] また、上述の実施の形態は、本開示における技術を例示するためのものであるから、請求の範囲またはその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

[0087] 例えば、以下のような構成とすることができる。

- [0088] (1) 実施の形態では、伝送線 60 が 1 対の差動信号線 60 p、60 n である例を示したが、複数の差動信号対であってもよい。
- [0089] (2) 半導体デバイス 40、50 間の伝送インターフェースは、差動信号以外の通信方式でもよい。
- [0090] (3) 実施の形態では、半導体デバイス 50 から半導体デバイス 40 への一方向通信の例を説明したが、双方向であってもよい。
- [0091] (4) 実施の形態では、半導体デバイス 40 が、マイコン 30 からの通知と、通信フレームの周期の 2 つを状態遷移の条件としているが、通信フレームの周期だけを状態遷移の条件としてもよい。
- [0092] (5) 実施の形態では、半導体デバイス 40、半導体デバイス 50 のそれぞれが第 1 動作状態と、第 2 動作状態とを有している例を説明したが、3 つ以上の動作状態を有していてもよい。また、3 つ以上の動作状態のうち少なくとも 2 つの動作状態において互いに異なる周期の通信フレームを用いる構成としてもよい。

産業上の利用可能性

- [0093] 本開示は、テレビ受像機、情報機器などのフラットパネル表示装置の表示パネル基板を制御する半導体デバイス、およびそれを用いた表示装置に利用できる。

符号の説明

- [0094] 1 表示装置
- 12 a、12 b ゲート駆動回路
- 14 ソース駆動回路
- 16 画素回路
- 20 表示パネル基板
- 30 マイコン
- 33 制御部
- 35 バス
- 40、50 半導体デバイス

- 4 2 受信回路
- 4 3 検出回路
- 4 4 計測回路
- 4 5 判定回路
- 4 6 ロジック回路
- 6 0 伝送線

請求の範囲

[請求項1]

表示パネルの表示を制御する半導体デバイスであって、
互いに異なる第1の周期または第2の周期で送信され、同期コードとデータとを含む通信フレームを受信する受信回路と、
前記受信回路によって受信された前記通信フレームをデジタル映像信号以外のデータとして処理する第1動作状態と、前記受信回路によって受信された前記通信フレームをデジタル映像信号として処理する第2動作状態とを有するロジック回路と、
前記受信回路によって受信された前記通信フレームから同期コードを検出する検出回路と、
複数の前記通信フレームにおいて検出された前記同期コードの周期を計測する計測回路と、
計測された周期が前記第1の周期であるか前記第2の周期であるかを判定する判定回路とを備え、
前記ロジック回路は、前記判定回路の判定結果に応じて前記第1動作状態または前記第2動作状態に実質的に移行する半導体デバイス。

[請求項2]

前記半導体デバイスは、前記第1または前記第2動作状態への遷移を指示する通知を外部から受信し、
前記ロジック回路は、
最後に受信した前記通知が前記第1動作状態への遷移を指示し、かつ、前記判定回路による判定結果が前記第1の周期を示すとき、前記第1動作状態に実質的に遷移し、
最後に受信した前記通知が前記第2動作状態への遷移を指示し、かつ、前記判定回路による判定結果が前記第2の周期を示すとき、前記第2動作状態に実質的に遷移する請求項1に記載の半導体デバイス。

[請求項3]

前記ロジック回路は、

最後に受信した前記通知が前記第 1 動作状態への遷移を指示し、かつ、前記判定回路による判定結果が前記第 1 の周期を示していないとき、前記受信回路によって受信された通信フレームを破棄し、

最後に受信した前記通知が前記第 2 動作状態への遷移を指示し、かつ、前記判定回路による判定結果が前記第 2 の周期を示していないとき、前記受信回路によって受信された通信フレームを破棄する

請求項 1 または 2 に記載の半導体デバイス。

[請求項4]

前記半導体デバイスは、

行列状に配置された複数の画素を有する前記表示パネルを画素行単位に駆動する行駆動回路と、前記表示パネルを画素列単位に駆動する列駆動回路とを制御する

請求項 1 ～ 3 の何れか 1 項に記載の半導体デバイス。

[請求項5]

前記半導体デバイスは F P G A (Field Programmable Gate Array) である

請求項 1 ～ 4 の何れか 1 項に記載の半導体デバイス。

[請求項6]

請求項 1 に記載の半導体デバイスである第 1 の半導体チップと、
前記通信フレームを前記第 1 の半導体チップに一方向に送信する第 2 の半導体チップと、

前記第 1 または前記第 2 動作状態への遷移を指示する通知を前記第 1 および前記第 2 の半導体チップに出力するマイコンと、

行列状に配置された複数の画素を有する表示パネルと、

前記第 1 の半導体チップにより制御され前記表示パネルの画素行を駆動する行駆動回路と、

前記第 1 の半導体チップにより制御され前記表示パネルの画素列を駆動する列駆動回路と

を備え、

前記第 2 半導体チップは、前記第 1 動作状態への遷移を指示する前記通知を受けた後、前記通信フレームを前記第 1 の周期で送信し、前

記第 2 動作状態への遷移を指示する前記通知を受けた後、前記通信フレームを前記第 2 の周期で送信する表示装置。

[請求項 7]

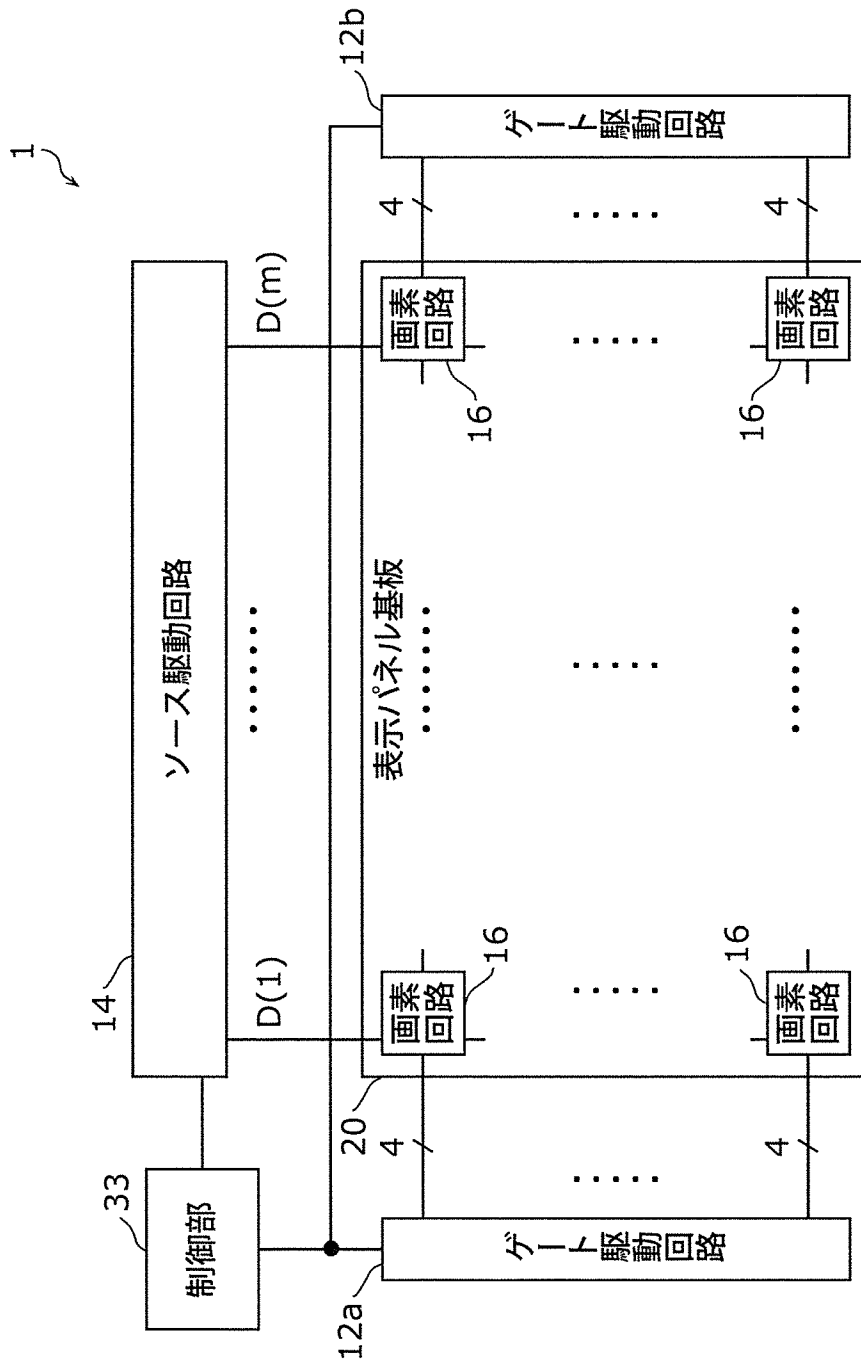
前記ロジック回路は、

最後に受信した前記通知が前記第 1 動作状態への遷移を指示し、かつ、前記判定回路による判定結果が前記第 1 の周期を示すとき、前記第 1 動作状態に実質的に遷移し、

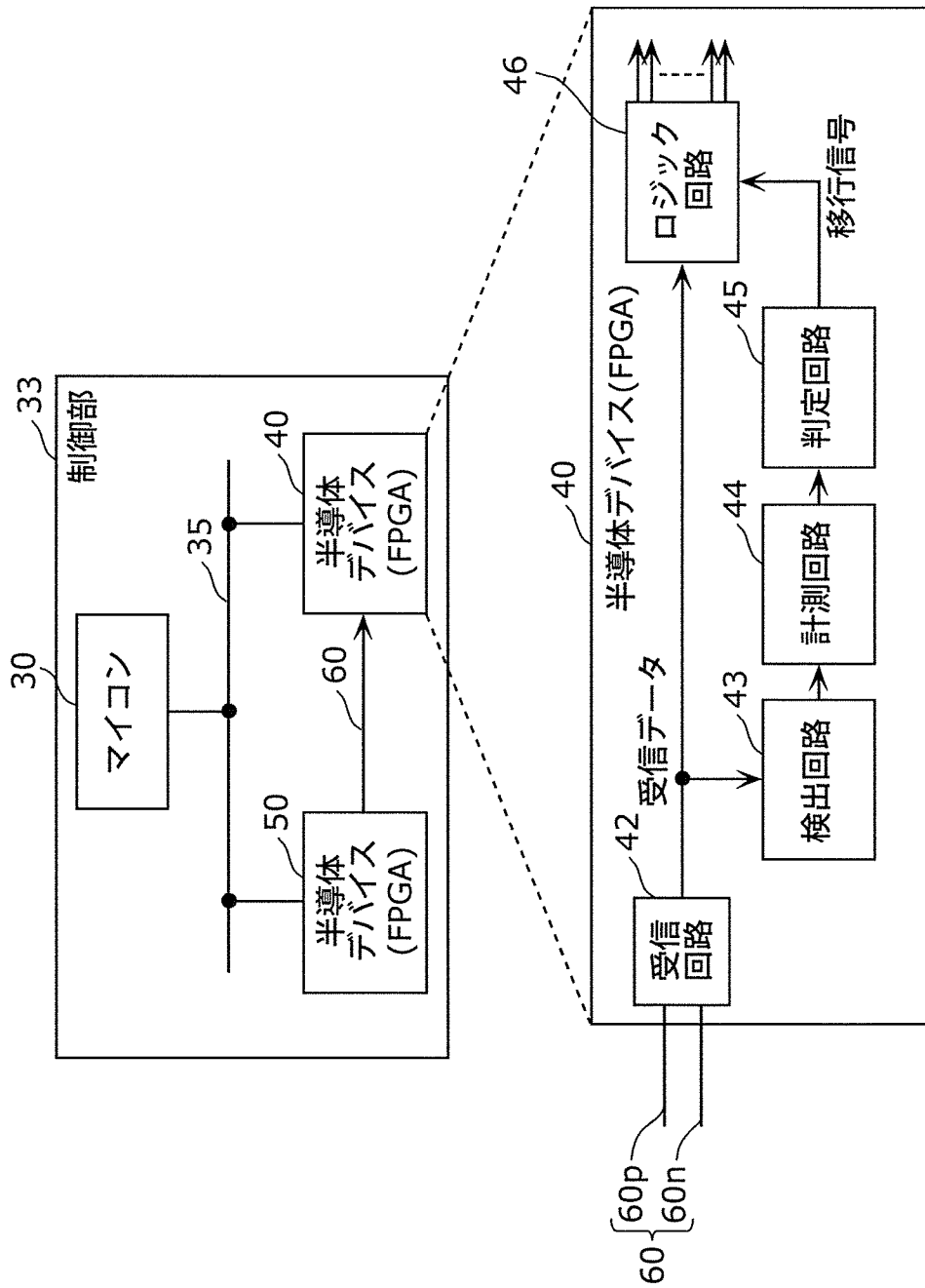
最後に受信した前記通知が前記第 2 動作状態への遷移を指示し、かつ、前記判定回路による判定結果が前記第 2 の周期を示すとき、前記第 2 動作状態に実質的に遷移する

請求項 6 に記載の表示装置。

[図1]

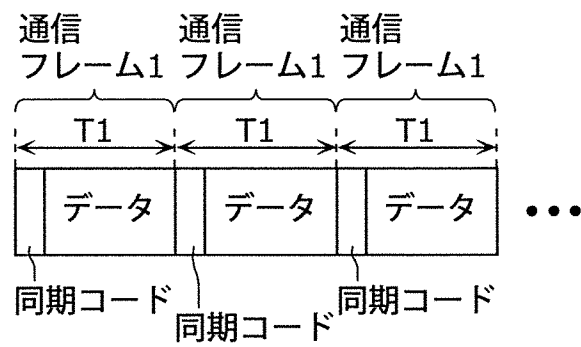


[図2]

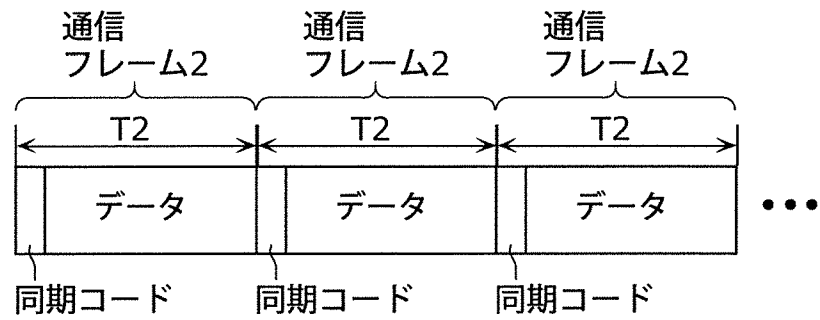


[図3]

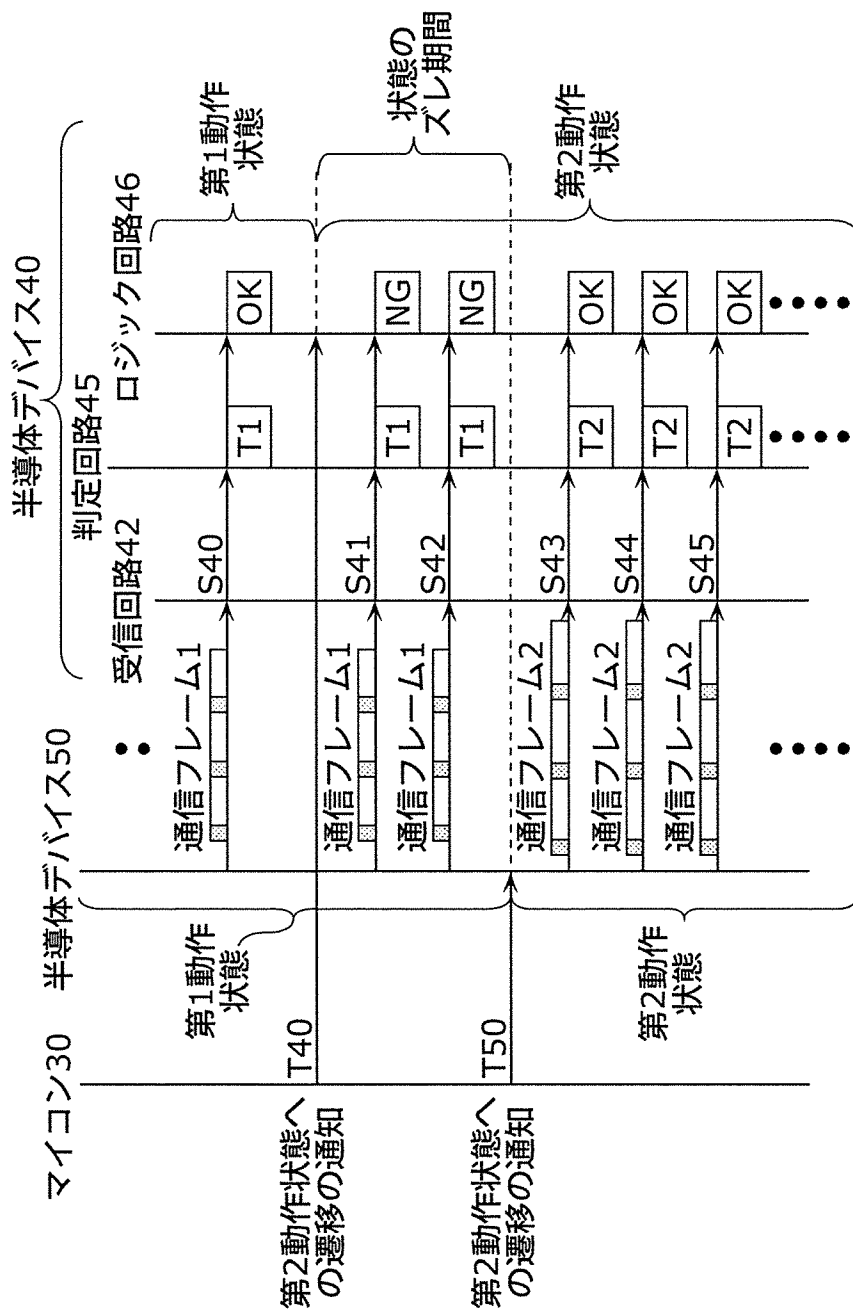
(a)



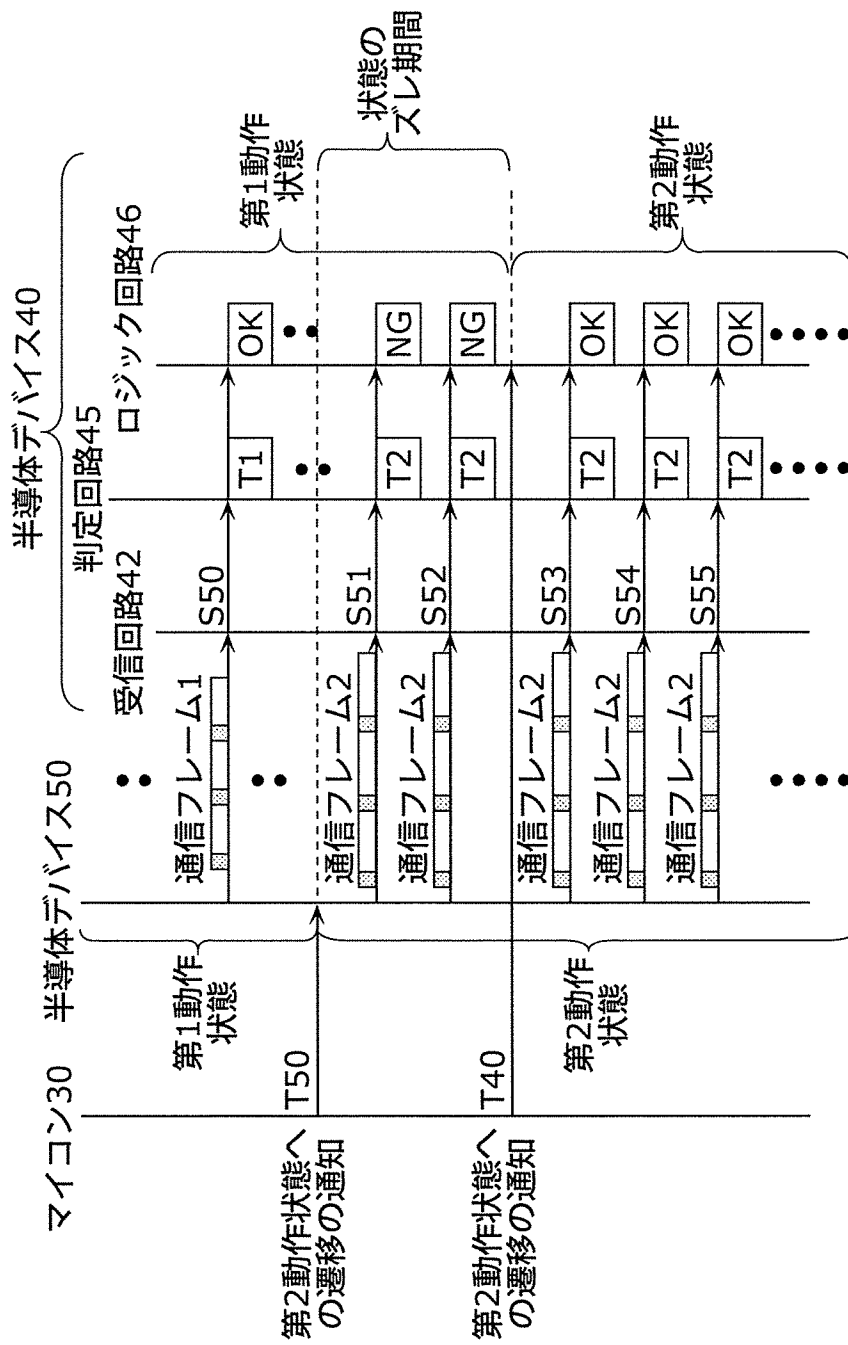
(b)



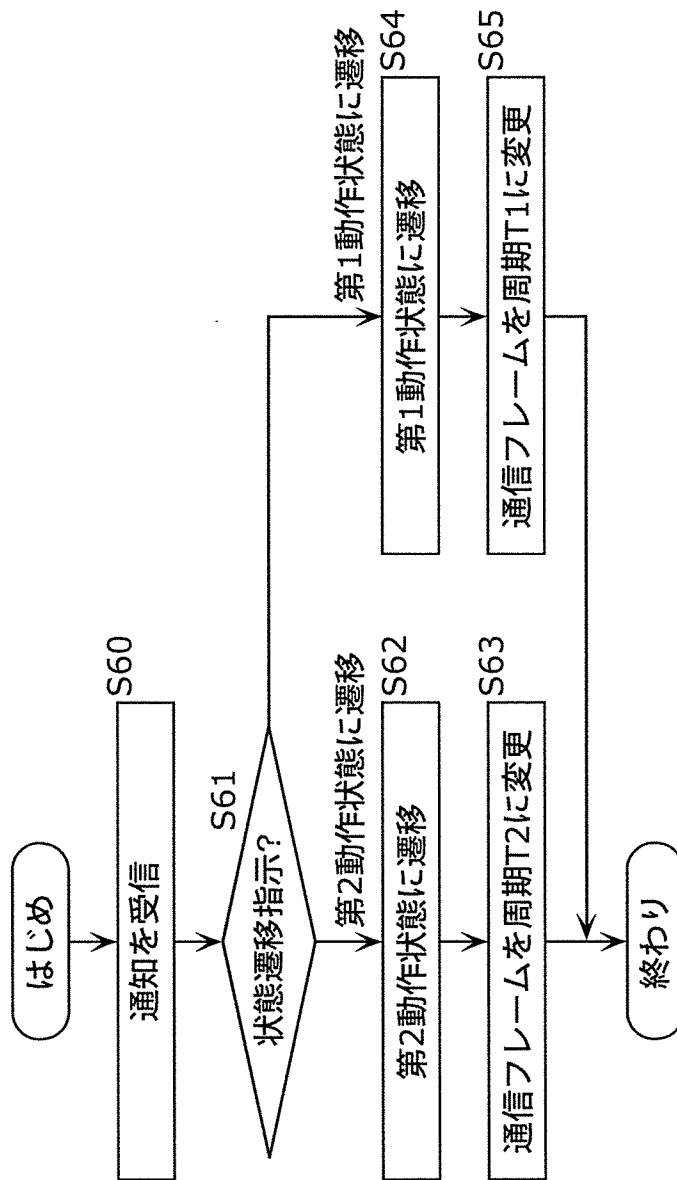
[図4]



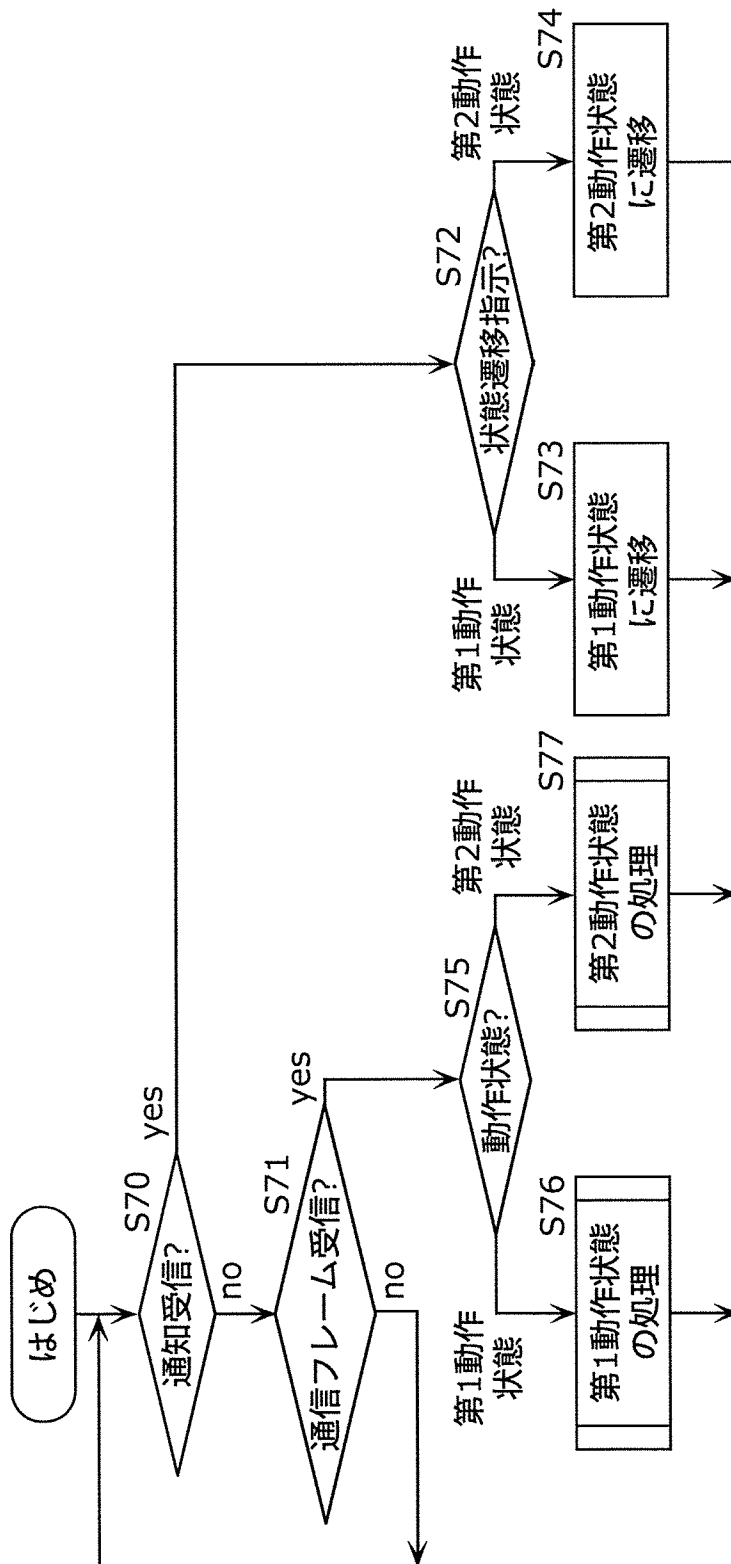
[図5]



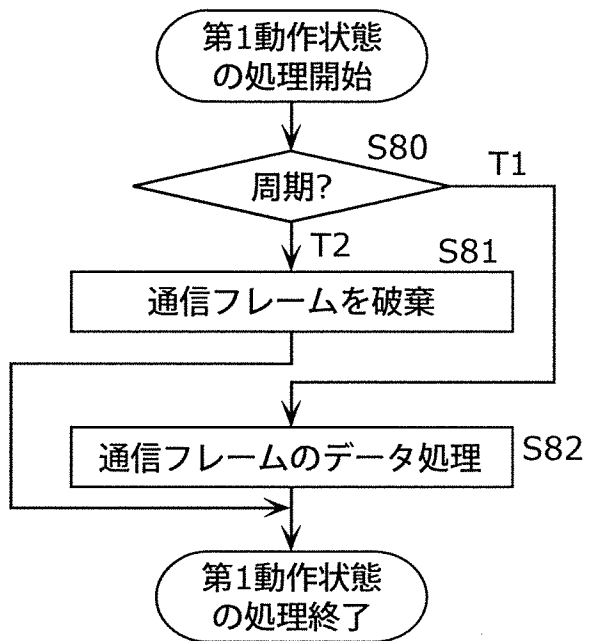
[図6]



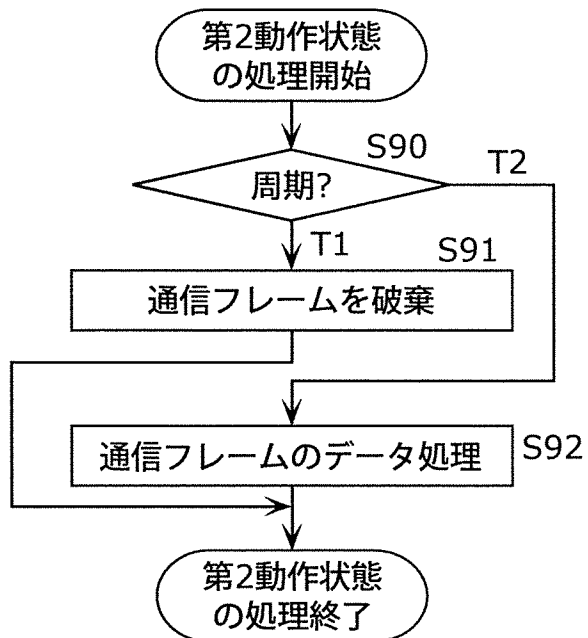
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006303

A. CLASSIFICATION OF SUBJECT MATTER

H04L29/06(2006.01)i, G09G3/20(2006.01)i, H04L7/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L29/06, G09G3/20, H04L7/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-235151 A (Fujitsu Hitachi Plasma Display Ltd.), 07 September 2006 (07.09.2006), entire text; all drawings & US 2006/0214927 A1 & KR 10-2006-0094463 A & CN 1825404 A	1-7
A	JP 2008-76989 A (Matsushita Electric Industrial Co., Ltd.), 03 April 2008 (03.04.2008), entire text; all drawings (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 February 2015 (04.02.15)

Date of mailing of the international search report
17 February 2015 (17.02.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006303

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-221487 A (Silicon Works Co., Ltd.), 04 November 2011 (04.11.2011), entire text; all drawings & US 2011/0242066 A1 & KR 10-2011-0111812 A & CN 102214429 A & TW 201135699 A	1-7
A	JP 2009-42659 A (Toshiba Matsushita Display Technology Co., Ltd.), 26 February 2009 (26.02.2009), entire text; all drawings (Family: none)	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04L29/06(2006.01)i, G09G3/20(2006.01)i, H04L7/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04L29/06, G09G3/20, H04L7/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-235151 A（富士通日立プラズマディスプレイ株式会社） 2006.09.07, 全文、全図 & US 2006/0214927 A1 & KR 10-2006-0094463 A & CN 1825404 A	1-7
A	JP 2008-76989 A（松下電器産業株式会社）2008.04.03, 全文、全図 （ファミリーなし）	1-7

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 2 . 2 0 1 5

国際調査報告の発送日

1 7 . 0 2 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

森谷 哲朗

5 K

4 7 7 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-221487 A (シリコン・ワークス・カンパニー・リミテッド) 2011.11.04, 全文、全図 & US 2011/0242066 A1 & KR 10-2011-0111812 A & CN 102214429 A & TW 201135699 A	1-7
A	JP 2009-42659 A (東芝松下ディスプレイテクノロジー株式会社) 2009.02.26, 全文、全図 (ファミリーなし)	1-7