[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H01L 21/324

[12]发明专利说明书

[21] ZL 专利号 95101855.8

[45]授权公告日 2002 年 3 月 13 日

[11]授权公告号 CN 1080930C

[22]申请日 1995.2.25 [24]颁证日 2002.3.13

[21]申请号 95101855.8

[30]优先权

[32]1994.2.28 [33]US [31]203094

[73]专利权人 摩托罗拉公司

地址 美国伊利诺斯

[72]发明人 埃道德·D·德弗里萨特

约翰·W·斯蒂尔

N·戴维·西奥多

[56]参考文献

IDM TRCHNICAL DIS－CLOSURE BULLEFIN 第 35 卷第 6 期 1992.11. 2 DZSPOSABLE UXIDE

审查员 韩 锦

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

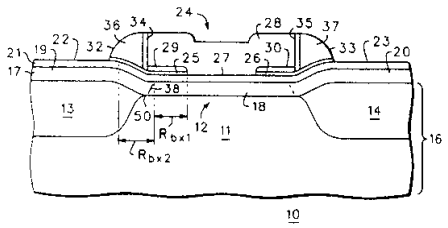
代理人 王以平

权利要求书 2 页 说明书 8 页 附图页数 3 页

[54]发明名称 制造半导体结构的方法 SZDEWALL FOR LATERAC SELF－ALIGNMENT IN EPITAZALBASE, SINGL DOLY, BTPOLAP TRANSISTORS

[57]摘要

制造半导体结构的一种优选的方法，包括改变一种外延基区双 极晶体管(10)的基区层(17、21)中多晶晶界(38)的方向和使其位置 最佳。通过淀积将形成较低的基区部分的基区层(17)后对半导体结 构进行退火，可以实现晶界(38)的改变。改变晶界(38)对降低基区 电阻(Rbx1, Rbx2)有明显作用。降低基区电阻(Rbx1, Rbx2)能显著 地改善器件的性能。



ISSN1008-4274

权　利　要　求　书

1. 一种制造半导体结构（10）的方法，包括下列步骤:

设置底层结构（16），包括外延区（11）和相邻的隔离区（13），该外延区与隔离区在界面（50）处相接；以及

在底层结构（16）上面形成半导体层（17），半导体层（17）包括起源于界面（50）处的晶界（38），该晶界（38）有一个取向，该方法的特征是:

通过退火该晶界来改变晶界方向而不移动晶界起点，从而改变晶界的取向。

2. 按照权利要求 1 的一种方法，其中，晶界（38）在界面（50）处有一个起点，晶界取向有一个方向。

3. 根据权利要求 1 的一种方法，其中晶界（38）在界面（50）处有一个起点，晶界取向有一个方向，所述改变晶界取向的步骤包括改变方向并移动起来。

4. 根据权利要求 3 的一种方法，其特征是包括下列步骤:

在半导体层（17）上面形成基区层（21），在基区层中心部分上面形成掩模（62），以及各基区层（21）注入杂质（63）。

5. 根据权利要求 1 的一种方法，其特征是包括下列步骤:

在底层结构（16）上面淀积的半导体层（17）的特征是包括外延部分（18）和多晶硅部分（19），晶界（38）向位于多晶硅部分（19）中的外延区（11）延伸;

改变多晶硅部分（19）的晶界（38），以使晶界背离外延区（11）向外延伸。

6. 根据权利要求 5 的一种方法，其中，改变晶界的步骤包括对半导体层进行退火。

7. 按照权利要求 6 的一种方法，其中，晶界（38）有一个起点，改变晶界的步骤不使该起点有明显的移动。

8. 按照权利要求 6 的一种方法，其中，晶界（38）有一个起点，而改变晶界的步骤明显地移动了该起点。

9. 按照权利要求 5 的一种方法，其中，在把杂质（63）注入到半导体层（17）之后，进行在半导体层（17）上面淀积基区层（21）的步骤。

10. 根据权利要求 1 的一种方法，其特征是包括下列步骤:

在半导体层（17）上面淀积基区层（21）; 以及

在基区层上面形成发射区层（28）.

说　　明　　书

制造半导体结构的方法

本发明涉及半导体结构，特别是涉及改变某些半导体层晶界的取向。

一种在半导体工业和在模拟射频（RF）器件工业中特别有用的器件是外延基区双极晶体管。在某些结构中，外延基区双极晶体管包括由邻近多晶硅部分的外延部分组成的基区。一种晶体的“晶界”存在于多晶部分和基区的外延部分之间的界面处。晶界有一个特别的取向。这种取向的特性对器件的基区电阻（Rb）有着明显的影响。本领域技术人员众所周知，对射频器件来说，基区电阻影响重要的特性参数，例如，功率增益和噪声数值。故希望把 Rb 减到最小。

因此，本发明的目的是提供一种有于影响或改变半导体层中晶界取向的方法，以便有利地影响器件的基区电阻。本发明的目的特别是用于定向外延基区双极晶体管基区中晶界的取向，以便有利地影响 Rb。

本发明的制造半导体结构的方法，包括下列步骤：设置底层结构，包括外延区和相邻的隔离区，该外延区与隔离区在界面处相接；以及在底层结构上面形成半导体层，半导体层包括起源于界面处的晶界，该晶界有一个取向，该方法的特征是：通过退火该晶界来改变晶界方向而不移动晶界起点，从而改变晶界的取向。

可以利用本发明的方法根据所需特性调整外延基区双极晶体管中晶界的取向，从而可以影响基区电阻，起到控制晶体管特性参数的效果。

图 1 是外延基区双极晶体管的一部分的剖面图。

图 2－5 是表示制造过程的各步骤中一种外延基区双极晶体管一部分的剖面图。

图 6—8 是表示按照另一种制造方法制造的各步骤中外延基区双极晶体管的一部分的剖面图。

图 9—11 是表示按照又一种制造方法的各工艺步骤中外延基区双极晶体管的一部分的剖面图。

图 1 是外延基区双极晶体管的一部分的剖面图。图 1 表示按照本发明优选的方法制造的结构，特别表示了本说明书前述部分略述的 *Rb*。图 1 描述的外延基区双极晶体管 10 包括外延集电区部分 11。通过形成 *Locos*(硅的局部氧化)氧化隔离区 13、14 限定一个通常朝向如箭头 12 所示的器件中心的有源区。隔离区 13、14 与外延集电区部分 11 共同构成底层结构 16。为了提供器件的基区，在底层结构 16 的上面淀积未掺杂的(也称为本征的)半导体层 17。典型地，采用众所周知的低温外延(*LTE*)技术进行淀积。在本申请中，利用硅烷和氢气的混合物在 800℃由减压化学汽相淀积技术(*RPCVD*)淀积未掺杂的硅。当淀积未掺杂的半导体层 17 时，会有一外延部分 18 形成在外延集电极部分 11 上面，同时，多晶硅部分 19、20 将要分别形成在 *LOCOS* 隔离部分 13、14 上面。

接着，按着典型方法，用 *LTE* 技术淀积就地掺杂基区层 21。这层可能是用硼作为 *P* 型杂质掺杂的硅或者硅锗合金。通过把锗烷和乙硼烷气体加入硅烷和氢气中，在 *RPCVD* 生长过程中把锗和硼掺进该膜中。典型的硼浓度范围为 10^{18}—10^{19} 原子/cm^3，锗含量在 10—20%原子/cm^3 范围内。如图所示，在形成非掺杂层 17 之后紧接着

相对于多晶硅部分和外延部分形成基区层21。然后，把层21中的掺杂剂扩散到未掺杂层17中，这两层共同作为基区。

其次，形成通常由箭头24表示的“发射区叠层”。发射区叠层包括限定发射极接触区27的氧化隔离层25、26。形成在发射极接触区27处与有源区12接触的多晶硅发射极28。由氮化物部分29、30把部分多晶硅发射极28和有源区12隔开。此外，沿发射区叠层24的两侧设置侧壁隔离层32、33，该隔离层分别由*TEOS*隔离部分34、35和氮化物侧壁36、37组成。隔离层32、33分别将基区接触区22、23与有源区12隔离，并且为掺杂提供掩模和必要的对准。

在形成发射区叠层24之前，对于一个典型的器件，可以把一薄层发射区掺杂剂(如砷)朝着有源区12的中心注入到基区层21中。

图1的结构具有与按照本发明方法有关的具体特征。如前所述，对器件特性有重要影响的一个特性参数是*Rb*。参看图1，对*Rb*起主要作用的是*Rbx*1和*Rbx*2。*Rbx*1是位于多晶硅区19端部和发射极接触区27之间的层21和17中外延部分的电阻，如图1所示。*Rbx*2是位于发射区叠层之下的层21和17中多晶硅部分的电阻，如图1所示。

虽然希望使*Rb*减到最小，因此也就是希望使*Rbx*1、*Rbx*2减到最小，但有几个因素限制使这些参数减少到最小。例如，如果在区22、23中注入的掺杂剂(其为基区提供导电接触)能至少到达*Rbx*2区，则可减少*Rb*。然而，区19、20的多晶硅性质防止掺杂剂向有源

区 12 进行横向扩散。而且，*Rbx*2 包括多晶硅材料而不是外延材料，其结果增加了基区电阻。此外，*Rbx*1 和 *Rbx*2 的组合长度直接影响 *Rb*，该长度必须至少足以在晶界 38 的端部和发射区 27 之间（即表示 *Rbx*1 的点线之间的距离）提供 0.3μ 长度。本领域的普通技术人员都知道需要这个最小距离以避免产生不希望的发射区/基区漏电流。

为了清楚和简化的目的，下面讨论的优选方法仅仅集中在器件的一半（左边的一半）。应该知道，该方法对称地适用于两边。按照与本发明一致的优选方法，减少 *Rb* 的一种方案是对已经淀积了的未掺杂层 17 进行退火，以便改变多晶硅部分 19 的晶粒边界 38 的取向。如以前讨论的那样，当初始淀积未掺杂层 17 时，晶粒边界起源于 *LOCOS* 隔离区 13 和集电区外延部分 11 之间的界面处。本领域的普通技术人员均知道 *LOCOS* 隔离区 13 有在其靠近有源区 12 的边缘处形成变尖了的“鸟嘴”50 的倾向。当淀积未掺杂的层 17 时，首先在边缘 50 处形成晶界 38。由于在靠近边缘 50 的 *LOCOS* 区 13 向下倾斜的方向，晶粒边界 38 有向内延伸、朝向有源区 12 中心的倾向。

参考图 2，按照优选的方法，在形成集电极外延区 11 和 *LOCOS* 隔离结构 13 之后，利用 *LTE* 技术淀积厚度大约为 1000—2000*A* 的未掺杂层 17。为了在 *LOCOS* 区 13 上面形成籽晶层，可以利用硅烷气体，以便形成多晶硅部分 19。

在淀积层 17 之后，用相当高的温度，例如比 1000℃还高的温度，进行退火，以便再结晶多晶硅层 17(部分 19、20)，由此，改变晶界 38 的取向。这样得到如图 3 所示的结构。

通过退火改变了晶界 38，并且形成了新的晶界 55。现在晶界 55 背向有源区 12，而不是像晶界 38 那样朝向有源区 12。请注意，按照现在所述的方法，晶界 55 的起点基本上保持在 *LOCOS* 区 13 的边缘 50 处。

参看图 4，用 *LTE* 技术生长基区 21。典型地，基区层 21 就地掺杂 *Si* 或 *SiGe* 合金。注意，层 21 的多晶硅斜面要按照层 17 的斜面形成，像晶界 55 延伸所示那样。参看图 5，接着按照公知的方法形成发射区叠层 24。

上述方法最大的优点是显著地减少了 *Rbx*2 的长度。如上所述，*Rbx*1 的长度必须保持大约 0.3μm，以便防止发射区/基区漏电。然而，因为晶界 55 现在的指向是背离有源区 12，而不是朝向有源区 12 的，故 *Rbx*2 的长度得到了明显的减小。在某些器件中，可以使 *Rbx*2 的长度减少到初始的 50%。因此，减小了 *Rb* 的总长度，结果，大大地减小了 *Rb* 的数值。

图 6—8 表示按照本发明的另一种方法。这另一种方法类似于前面讨论的方法。然而，采用更剧烈的退火使未掺杂层 17 再结晶，以便重新定位多晶硅的晶界，使其与有源层 12 相距相当大的距离。这种方法对进一步减小非本征基区电阻 *Rb* 提供了附加的有利条件，

因为晶界 60 不再在与基区接触的表面(已完成的器件的区域 22)和有源区 12 的之间。此外,因晶界 60 被移动到离开有源区 12 一段距离的地方,为了增强与基区接触而注入的掺杂剂就可以横向扩散接近有源区 12。

具体地说,该工艺按如下方法进行。参考图 6,按照以前讨论的方法淀积未掺杂的层 17。接着,按照以前的方法将未掺杂的层 17 退火,只是要 用非常高的温度和较长的时间,典型的条件是 1150℃和 3 分钟,以便使大部分未掺杂的层 17 再结晶。结果,单晶部分 18 基本上在背离有源区 12 的方向上延伸,因此晶界 60 被推离有源区 12。

参看图 7,与前述的方法类似,利用前面讨论的方法就地淀积 *Si* 或 *SiGe* 基区层。如图 7 所示,基区层 21 的晶界 61 自然按照未掺杂层 17 的晶界 60。因此,晶界 60、61 右边的整个部分基本上是单晶。

在淀积层 21 以后,采用公知的光刻方法设置掩模部分 62。接着,在箭头 63 所指的区域注入外部掺杂剂(例如,硼),以便提供与器件基区的有效接触。

参看图 8,已按照公知的方法除去了掩模 62,并形成了发射区叠层 24。由图 8 所示的一个显著的特征是区域 65,在进行与发射区叠层 24 有关的 工艺过程中,如图 7 中 63 所示的注入能穿过区 65 进行横向扩散。与晶界位于发射区叠层之下而防止掺杂剂的横向扩散的结构相比,这种横向扩散具有以前讨论的 *Rb* 较低的优点。

图 9—11 表示按照本发明的第 3 种方法。这种方法考虑到有关由掺杂剂注入(如图 7 中 63 所示的那样)引起的位错向有源区 12 的传播。按照这一种方法,像前面讨论的方法那样,淀积未掺杂的层 17,接着,像前面多次讨论的方法那样,将未掺杂层 17 退火,以便重新对晶界 60 定位使其背离有源区 12。

按照现在讨论的方法,在层 17 退火以后,进行离子注入步骤。如图 9 所示,按照公知的光刻方法形成掩模 68。接着,如箭头 69 所示那样注入掺杂剂,掺杂剂提供一个器件的有效基区接触,像本领域普通技术人员公知的那样,掺杂剂可以是硼。

参看图 10,在掺杂步骤之后,为了激活掺杂剂对该结构进行退火,使掺杂剂向有源区 12 横向扩散,很重要的是把晶体缺陷通过退火除掉,参看图 11,形成基区层 21。接着制造发射区叠层 24,结果,该结构与图 8 所示的结构很类似。这种方法和前面讨论的大多数方法之间的明显区别是外部掺杂剂注入(这为器件提供了有效的基区接触)发生在淀积基区层 21 之前面不是之后。此外,进行退火以激活和横向扩散掺杂剂。并除去缺陷。当基区包含外延 *SiGe* 时,除掉缺陷是特别重要的。*SiGe* 是假外延应变层,而且在机械方向是易碎的。来自该底层的缺陷可能在 *SiGe* 层中产生位错,该位错在接下来的各工艺过程中将在有源区中传播。上述的位错有产生不希望的发射区/基区电气漏电的倾向。

正如将要进行评估的那样,提供按照本发明的新方法,以便减小

像外延基区双极晶体管结构那样的器件的基区电阻。其它方面的优点是改变和移动晶界，以便在本质上降低基区电阻。

上面已说明了一些具体的方法，对于本领域普通技术人员来说，自然可进行显而易见的修改和改进。因此，应当知道，本发明并不局限于上述讨论和表示的具体方法，所附的权利要求包括了所有不脱离本发明的精神实质和范围的改型。

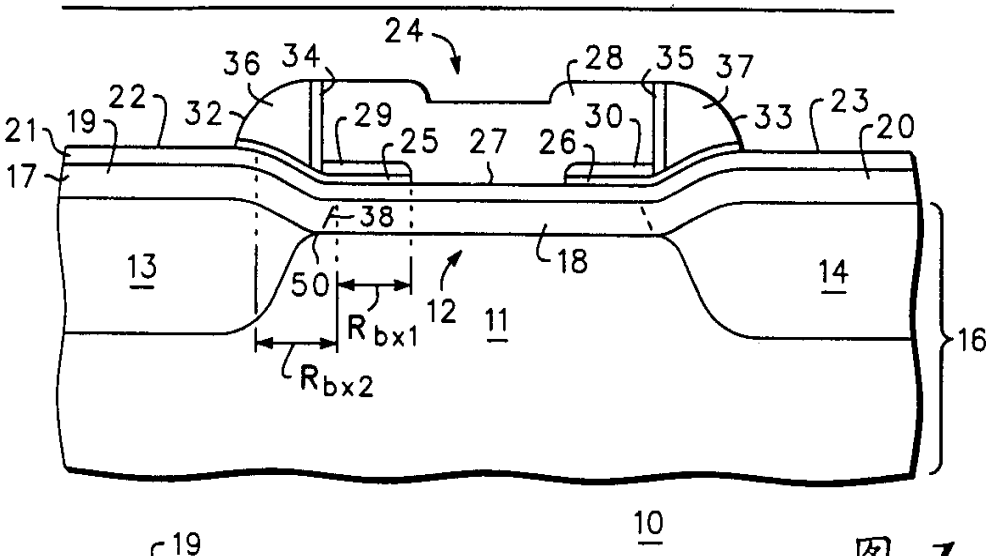

24
36
34
28
35
37
22
32
29
25
27
26
30
33
23
21
19
20
17
38
18
13
50
14
12
11
16
R_{bx1}
R_{bx2}
10

图 1

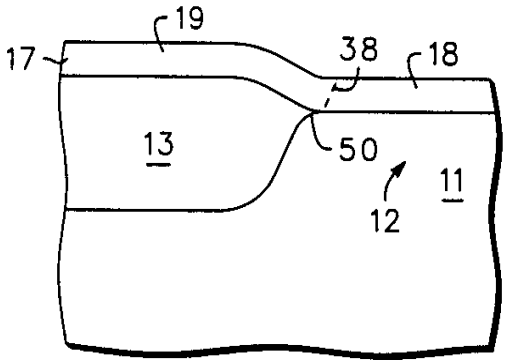

19
17
38
18
13
50
11
12

图 2

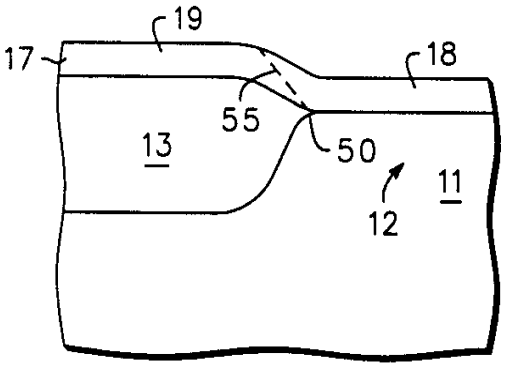

19
17
18
55
13
50
11
12

图 3

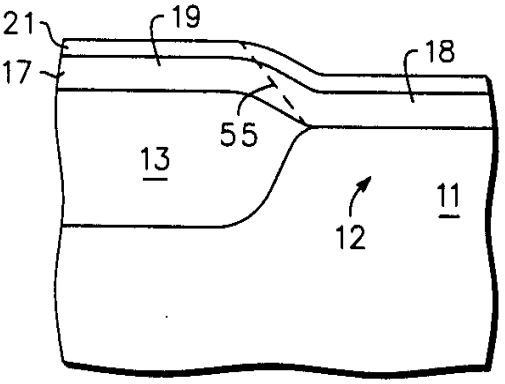

21
19
17
18
55
13
11
12

图 4

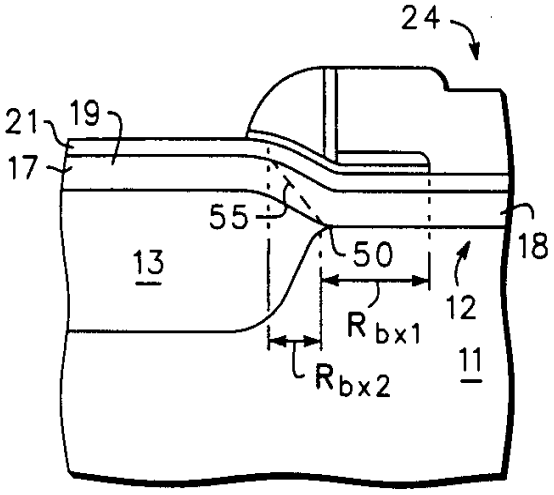

24
21
19
17
55
50
18
13
12
R_{bx1}
R_{bx2}
11

图 5

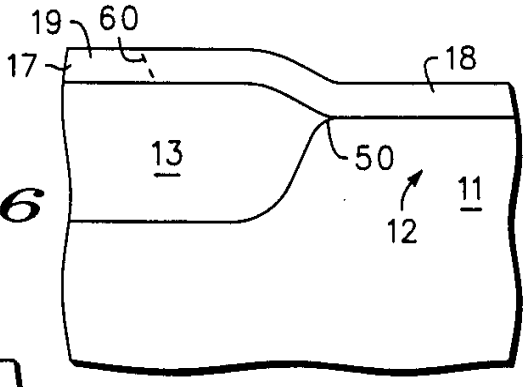

19
60
17
18
13
50
11
12

图 6

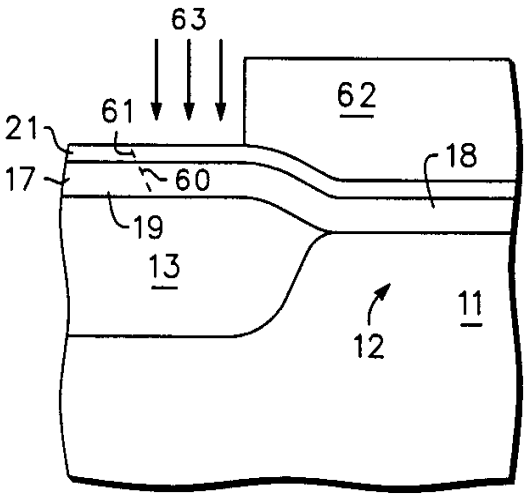

63
61
62
21
18
17
60
19
13
11
12

图 7

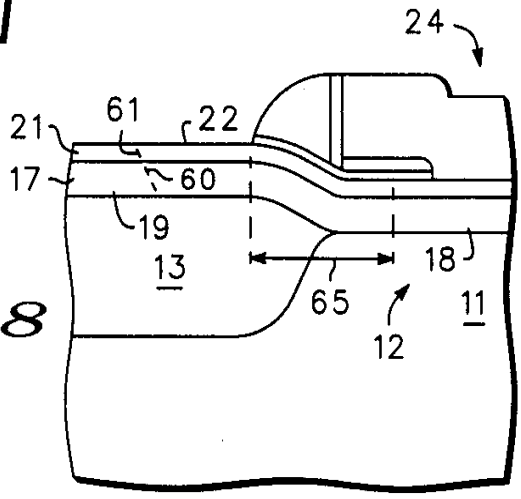

24
21
61
22
17
60
19
18
13
65
11
12

图 8

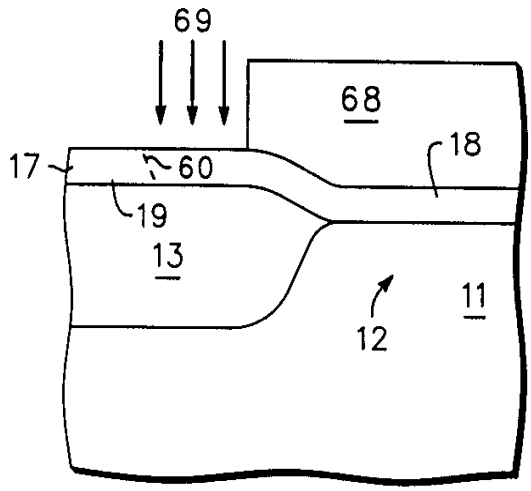


图 9

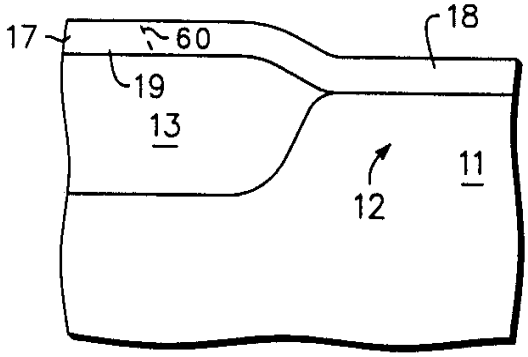


图 10

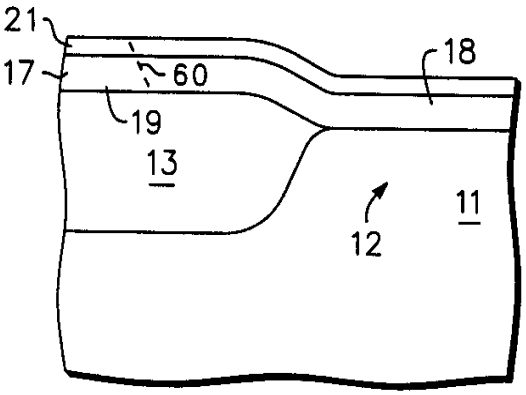


图 11