(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0087919
(43) 공개일자 2018년08월03일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) *G09G 3/3275* (2016.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3275 (2013.01)
(21) 출원번호 10-2017-0012128
(22) 출원일자 2017년01월25일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
김상국
서울특별시 관악구 낙성대역8길 34, 302호
황문상
서울특별시 광진구 구의강변로3가길 39, 702동 302호
(뒷면에 계속)
(74) 대리인
박영우

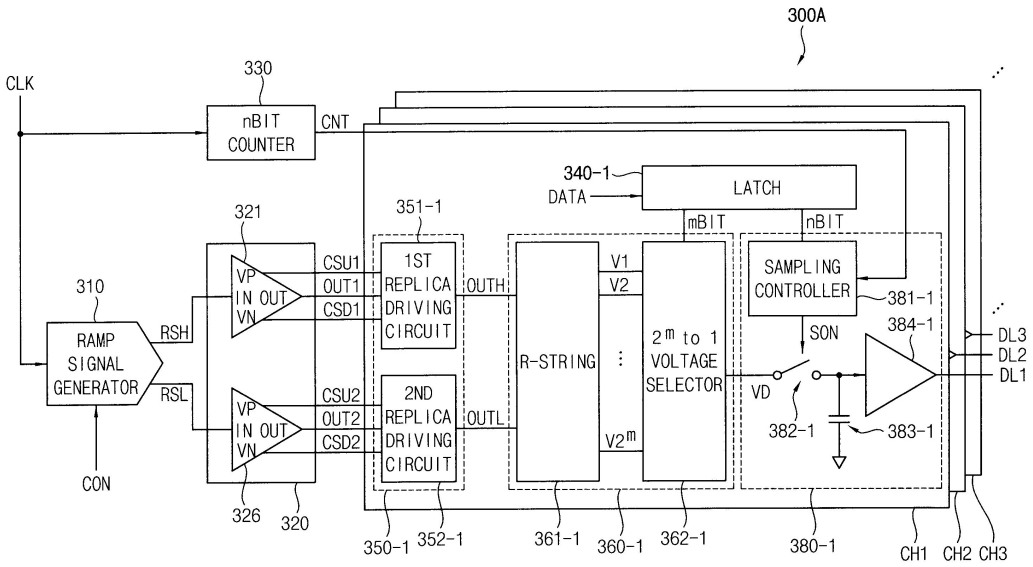
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **데이터 구동 회로 및 이를 포함하는 표시 장치**

(57) 요 약

데이터 구동 회로는 제1 램프 신호 및 제2 램프 신호를 생성하는 램프 신호 생성부, 클럭 신호의 클럭 개수를 카운트함으로써 카운트 신호를 생성하는 카운터, 및 제1 램프 신호, 제2 램프 신호, 및 카운트 신호에 기초하여 영상 데이터에 상응하는 데이터 신호를 각각 생성하는 복수의 채널들을 포함한다. 복수의 채널들 각각은 영상 데이터를 제1 부분 데이터 및 제2 부분 데이터로 분할하고, 제1 부분 데이터 및 제2 부분 데이터를 래치하는 래치부, 제1 램프 신호 및 제2 램프 신호를 복제하여 제1 기준 신호 및 제2 기준 신호를 생성하는 복제 구동부, 제1 기준 신호 및 제2 기준 신호에 기초하여, 제1 부분 데이터에 상응하는 구동 신호를 생성하는 디지털-아날로그 변환기, 및 데이터 신호를 출력하기 위해 제2 부분 데이터와 카운트 신호를 비교함으로써 구동 신호를 샘플링하는 출력부를 포함한다.

대 표 도



(52) CPC특허분류
G09G 2300/0828 (2013.01)
G09G 2310/0289 (2013.01)
(72) 발명자
최원준
경기도 화성시 동탄중앙로 200, D동 2404호
안태지
서울특별시 마포구 백범로10길 26, 105호
이승훈
서울특별시 용산구 이촌로 310, 101동 2303호
김원강
경기도 군포시 금산로 91, 107동 2503호
박준상
서울특별시 동작구 사당로2길 2-32, 102동 1203호

명 세 서

청구범위

청구항 1

제1 램프(RAMP) 신호 및 상기 제1 램프 신호보다 낮은 제2 램프 신호를 생성하는 램프 신호 생성부;

클럭 신호의 클럭 개수를 카운트함으로써 카운트 신호를 생성하는 카운터; 및

상기 제1 램프 신호, 상기 제2 램프 신호, 및 상기 카운트 신호에 기초하여 영상 데이터에 상응하는 데이터 신호를 각각 생성하는 복수의 채널들을 포함하고,

상기 복수의 채널들 각각은

상기 영상 데이터를 제1 부분 데이터 및 제2 부분 데이터로 분할하고, 상기 제1 부분 데이터 및 상기 제2 부분 데이터를 래치하는 래치부;

상기 제1 램프 신호 및 상기 제2 램프 신호를 복제하여 제1 기준 신호 및 제2 기준 신호를 생성하는 복제 구동부;

상기 제1 기준 신호 및 상기 제2 기준 신호에 기초하여, 상기 제1 부분 데이터에 상응하는 구동 신호를 생성하는 디지털-아날로그 변환기; 및

상기 데이터 신호를 출력하기 위해 상기 제2 부분 데이터와 상기 카운트 신호를 비교함으로써 상기 구동 신호를 샘플링하는 출력부를 포함하는 것을 특징으로 하는 데이터 구동 회로.

청구항 2

제1 항에 있어서,

상기 램프 신호 생성부와 상기 복수의 채널들 각각 사이에 연결되고, 상기 제1 램프 신호 및 상기 제2 램프 신호를 수신하고 출력하는 램프 구동부를 더 포함하는 것을 특징으로 하는 데이터 구동 회로.

청구항 3

제2 항에 있어서, 상기 램프 구동부는

상기 제1 램프 신호에 기초하여 제1 풀업 제어 신호, 제1 풀다운 제어 신호, 및 제1 램프 구동 신호를 생성하는 제1 증폭기; 및

상기 제2 램프 신호에 기초하여 제2 풀업 제어 신호, 제2 풀다운 제어 신호, 및 제2 램프 구동 신호를 생성하는 제2 증폭기를 포함하는 것을 특징으로 하는 데이터 구동 회로.

청구항 4

제3 항에 있어서, 상기 복제 구동부는

상기 제1 풀업 제어 신호 및 상기 제1 풀다운 제어 신호에 기초하여 상기 제1 기준 신호를 생성하는 제1 기준 신호 생성부; 및

상기 제2 풀업 제어 신호 및 상기 제2 풀다운 제어 신호에 기초하여 상기 제2 기준 신호를 생성하는 제2 기준 신호 생성부를 포함하는 것을 특징으로 하는 데이터 구동 회로.

청구항 5

제4 항에 있어서, 상기 제1 기준 신호 생성부는

상기 제1 풀업 제어 신호를 수신하는 게이트 전극, 제1 전원 전압을 수신하는 제1 전극, 및 제1 출력 단자에 연결된 제1 노드에 연결된 제2 전극을 포함하는 제1 트랜지스터; 및

상기 제1 풀다운 제어 신호를 수신하는 게이트 전극, 상기 제1 전원 전압보다 낮은 제2 전원 전압을 수신하는

제1 전극, 및 상기 제1 노드에 연결된 제2 전극을 포함하는 제2 트랜지스터를 포함하는 것을 특징으로 하는 데이터 구동 회로.

청구항 6

제5 항에 있어서, 상기 제1 노드는 상기 제1 램프 구동 신호를 수신하는 것을 특징으로 하는 데이터 구동 회로.

청구항 7

제1 항에 있어서, 상기 디지털-아날로그 변환기는

상기 제1 기준 신호 및 상기 제2 기준 신호를 분배하는 저항 스트링; 및

상기 제1 부분 데이터에 기초하여 상기 저항 스트링에 의해 분배된 전압들 중 하나를 상기 구동 신호로서 선택하는 선택기를 포함하는 것을 특징으로 하는 데이터 구동 회로.

청구항 8

제1 항에 있어서, 상기 출력부는

상기 제2 부분 데이터와 상기 카운트 신호를 비교함으로써 스위치 제어 신호를 생성하는 샘플링 제어부;

상기 데이터 신호를 출력하는 출력 버퍼; 및

상기 스위치 제어 신호에 응답하여 상기 구동 신호를 상기 출력 버퍼에 제공하는 스위치를 포함하는 것을 특징으로 하는 데이터 구동 회로.

청구항 9

제1 항에 있어서, 상기 제1 램프 신호 및 상기 제2 램프 신호는 단위 수평 시간 동안 점차 감소하고,

상기 제1 램프 신호 및 상기 제2 램프 신호의 전압 차이는 상기 단위 수평 시간 동안 일정한 것을 특징으로 하는 데이터 구동 회로.

청구항 10

제9 항에 있어서, 상기 제1 램프 신호는 상기 클럭 신호에 동기화되고,

상기 제2 램프 신호는 상기 제1 램프 신호에 적어도 하나의 클럭 개수가 증가된 신호에 상응하는 것을 특징으로 하는 데이터 구동 회로.

청구항 11

램프 신호를 생성하는 램프 신호 생성부;

클럭 신호의 클럭 개수를 카운트함으로써 카운트 신호를 생성하는 카운터; 및

상기 램프 신호 및 상기 카운트 신호에 기초하여 영상 데이터에 상응하는 데이터 신호를 각각 생성하는 복수의 채널들을 포함하고,

상기 복수의 채널들 각각은

상기 영상 데이터를 래치하는 래치부; 및

상기 데이터 신호를 출력하기 위해 상기 래치된 영상 데이터와 상기 카운트 신호를 비교함으로써 상기 램프 신호를 샘플링하는 출력부를 포함하는 것을 특징으로 하는 데이터 구동 회로.

청구항 12

제11 항에 있어서, 상기 출력부는

상기 데이터 신호를 출력하는 출력 버퍼;

상기 래치된 영상 데이터와 상기 카운트 신호를 비교함으로써 샘플링 신호를 생성하는 샘플링 제어부;

상기 샘플링 신호를 온 전압 또는 오프 전압을 갖는 스위치 제어 신호로 변환하는 레벨 시프터; 및

상기 스위치 제어 신호에 응답하여 상기 램프 신호를 상기 출력 버퍼에 제공하는 스위치를 포함하는 것을 특징으로 하는 데이터 구동 회로.

청구항 13

제11 항에 있어서, 상기 램프 신호 생성부는 상기 복수의 채널들 사이에 배치되는 것을 특징으로 하는 데이터 구동 회로.

청구항 14

제11 항에 있어서, 상기 램프 신호 생성부는

상기 복수의 채널들 중 적색 영상 데이터에 상응하는 제1 채널 그룹에 제1 램프 신호를 제공하는 제1 램프 신호 생성부;

상기 복수의 채널들 중 녹색 영상 데이터에 상응하는 제2 채널 그룹에 제2 램프 신호를 제공하는 제2 램프 신호 생성부; 및

상기 복수의 채널들 중 청색 영상 데이터에 상응하는 제3 채널 그룹에 제3 램프 신호를 제공하는 제3 램프 신호 생성부를 포함하는 것을 특징으로 하는 데이터 구동 회로.

청구항 15

제11 항에 있어서, 상기 램프 신호 생성부는

상기 복수의 채널들 중 적색 영상 데이터 또는 녹색 영상 데이터에 상응하는 제4 채널 그룹에 제4 램프 신호를 제공하는 제4 램프 신호 생성부; 및

상기 복수의 채널들 중 청색 영상 데이터에 상응하는 제5 채널 그룹에 제5 램프 신호를 제공하는 제5 램프 신호 생성부를 포함하는 것을 특징으로 하는 데이터 구동 회로.

청구항 16

복수의 화소들을 포함하는 표시 패널;

상기 화소들에 스캔 신호를 제공하는 스캔 구동 회로; 및

상기 화소들에 데이터 신호를 제공하는 데이터 구동 회로를 포함하고,

상기 데이터 구동 회로는

제1 램프 신호 및 상기 제1 램프 신호보다 낮은 제2 램프 신호를 생성하는 램프 신호 생성부;

클럭 신호의 클럭 개수를 카운트함으로써 카운트 신호를 생성하는 카운터; 및

상기 제1 램프 신호, 상기 제2 램프 신호, 및 상기 카운트 신호에 기초하여 영상 데이터에 상응하는 상기 데이터 신호를 각각 생성하는 복수의 채널들을 포함하고,

상기 복수의 채널들 각각은

상기 영상 데이터를 제1 부분 데이터 및 제2 부분 데이터로 분할하고, 상기 제1 부분 데이터 및 상기 제2 부분 데이터를 래치하는 래치부;

상기 제1 램프 신호 및 상기 제2 램프 신호를 복제하여 제1 기준 신호 및 제2 기준 신호를 생성하는 복제 구동부;

상기 제1 기준 신호 및 상기 제2 기준 신호에 기초하여, 상기 제1 부분 데이터에 상응하는 구동 신호를 생성하는 디지털-아날로그 변환기; 및

상기 데이터 신호를 출력하기 위해 상기 제2 부분 데이터와 상기 카운트 신호를 비교함으로써 상기 구동 신호를 샘플링하는 출력부를 포함하는 것을 특징으로 하는 표시 장치.

청구항 17

제16 항에 있어서, 상기 데이터 구동 회로는

상기 램프 신호 생성부와 상기 복수의 채널들 각각 사이에 연결되고, 상기 제1 램프 신호 및 상기 제2 램프 신호를 수신하고 출력하는 램프 구동부를 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 18

제17 항에 있어서, 상기 램프 구동부는

상기 제1 램프 신호에 기초하여 제1 풀업 제어 신호, 제1 풀다운 제어 신호, 및 제1 램프 구동 신호를 생성하는 제1 증폭기; 및

상기 제2 램프 신호에 기초하여 제2 풀업 제어 신호, 제2 풀다운 제어 신호, 및 제2 램프 구동 신호를 생성하는 제2 증폭기를 포함하는 것을 특징으로 하는 표시 장치.

청구항 19

제18 항에 있어서, 상기 복제 구동부는

상기 제1 풀업 제어 신호 및 상기 제1 풀다운 제어 신호에 기초하여 상기 제1 기준 신호를 생성하는 제1 기준 신호 생성부; 및

상기 제2 풀업 제어 신호 및 상기 제2 풀다운 제어 신호에 기초하여 상기 제2 기준 신호를 생성하는 제2 기준 신호 생성부를 포함하는 것을 특징으로 하는 표시 장치.

청구항 20

제19 항에 있어서, 상기 제1 기준 신호 생성부는

상기 제1 풀업 제어 신호를 수신하는 게이트 전극, 제1 전원 전압을 수신하는 제1 전극, 및 제1 출력 단자에 연결된 제1 노드에 연결된 제2 전극을 포함하는 제1 트랜지스터; 및

상기 제1 풀다운 제어 신호를 수신하는 게이트 전극, 상기 제1 전원 전압보다 낮은 제2 전원 전압을 수신하는 제1 전극, 및 상기 제1 노드에 연결된 제2 전극을 포함하는 제2 트랜지스터를 포함하고,

상기 제1 노드는 상기 제1 램프 구동 신호를 수신하는 것을 특징으로 하는 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 표시 장치에 관한 것으로, 보다 상세하게는 데이터 구동 회로 및 데이터 구동 회로를 포함하는 표시 장치에 관한 것이다.

배 경 기 술

[0002] 표시 장치는 표시 패널 및 패널 구동부를 포함한다. 표시 패널은 복수의 스캔 라인들, 복수의 데이터 라인들 및 복수의 화소들을 포함한다. 구동부는 복수의 스캔 라인들에 스캔 출력 신호를 공급하는 스캔 구동 회로 및 데이터 라인들에 데이터 전압을 공급하는 데이터 구동 회로를 포함한다.

[0003] 일반적으로, 데이터 구동 회로는 디지털 영상 데이터를 아날로그 데이터 신호로 변환하기 위해 데이터 라인들 각각에 연결된 채널들을 포함하고, 각 채널은 저항 스트링을 이용한 디지털-아날로그 컨버터를 포함한다. 상기 저항 스트링을 이용한 디지털-아날로그 컨버터는 표시 장치의 색 깊이(color depth)가 높아짐에 따라 저항, 스위치, 배선의 개수가 지수의 배로 증가하고, 이에 따라, 패널 구동부의 면적이 크게 증가될 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 상대적으로 작은 크기로 구현되고 고해상도 표시 장치를 구동할 수 있는 데이터 구동 회로를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 상기 데이터 구동 회로를 포함하는 표시 장치를 제공하는 것이다.

[0006] 다만, 본 발명의 목적은 상기 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0007] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 데이터 구동 회로는 제1 램프(RAMP) 신호 및 상기 제1 램프 신호보다 낮은 제2 램프 신호를 생성하는 램프 신호 생성부, 클럭 신호의 클럭 개수를 카운트함으로써 카운트 신호를 생성하는 카운터, 및 상기 제1 램프 신호, 상기 제2 램프 신호, 및 상기 카운트 신호에 기초하여 영상 데이터에 상응하는 데이터 신호를 각각 생성하는 복수의 채널들을 포함할 수 있다. 상기 복수의 채널들 각각은 상기 영상 데이터를 제1 부분 데이터 및 제2 부분 데이터로 분할하고, 상기 제1 부분 데이터 및 상기 제2 부분 데이터를 래치하는 래치부, 상기 제1 램프 신호 및 상기 제2 램프 신호를 복제하여 제1 기준 신호 및 제2 기준 신호를 생성하는 복제 구동부, 상기 제1 기준 신호 및 상기 제2 기준 신호에 기초하여, 상기 제1 부분 데이터에 상응하는 구동 신호를 생성하는 디지털-아날로그 변환기, 및 상기 데이터 신호를 출력하기 위해 상기 제2 부분 데이터와 상기 카운트 신호를 비교함으로써 상기 구동 신호를 샘플링하는 출력부를 포함할 수 있다.

[0008] 일 실시예에 의하면, 상기 램프 신호 생성부와 상기 복수의 채널들 각각 사이에 연결되고, 상기 제1 램프 신호 및 상기 제2 램프 신호를 수신하고 출력하는 램프 구동부를 더 포함할 수 있다.

[0009] 일 실시예에 의하면,상기 램프 구동부는 상기 제1 램프 신호에 기초하여 제1 풀업 제어 신호, 제1 풀다운 제어 신호, 및 제1 램프 구동 신호를 생성하는 제1 증폭기, 및 상기 제2 램프 신호에 기초하여 제2 풀업 제어 신호, 제2 풀다운 제어 신호, 및 제2 램프 구동 신호를 생성하는 제2 증폭기를 포함할 수 있다.

[0010] 일 실시예에 의하면, 상기 복제 구동부는 상기 제1 풀업 제어 신호 및 상기 제1 풀다운 제어 신호에 기초하여 상기 제1 기준 신호를 생성하는 제1 기준 신호 생성부, 및 상기 제2 풀업 제어 신호 및 상기 제2 풀다운 제어 신호에 기초하여 상기 제2 기준 신호를 생성하는 제2 기준 신호 생성부를 포함할 수 있다.

[0011] 일 실시예에 의하면, 상기 제1 기준 신호 생성부는 상기 제1 풀업 제어 신호를 수신하는 게이트 전극, 제1 전원 전압을 수신하는 제1 전극, 및 제1 출력 단자에 연결된 제1 노드에 연결된 제2 전극을 포함하는 제1 트랜지스터, 및 상기 제1 풀다운 제어 신호를 수신하는 게이트 전극, 상기 제1 전원 전압보다 낮은 제2 전원 전압을 수신하는 제1 전극, 및 상기 제1 노드에 연결된 제2 전극을 포함하는 제2 트랜지스터를 포함할 수 있다.

[0012] 일 실시예에 의하면, 상기 제1 노드는 상기 제1 램프 구동 신호를 수신할 수 있다.

[0013] 일 실시예에 의하면, 상기 디지털-아날로그 변환기는 상기 제1 기준 신호 및 상기 제2 기준 신호를 분배하는 저항 스트링, 및 상기 제1 부분 데이터에 기초하여 상기 저항 스트링에 의해 분배된 전압들 중 하나를 상기 구동 신호로서 선택하는 선택기를 포함할 수 있다.

[0014] 일 실시예에 의하면, 상기 출력부는 상기 제2 부분 데이터와 상기 카운트 신호를 비교함으로써 스위치 제어 신호를 생성하는 샘플링 제어부, 상기 데이터 신호를 출력하는 출력 버퍼, 및 상기 스위치 제어 신호에 응답하여 상기 구동 신호를 상기 출력 버퍼에 제공하는 스위치를 포함할 수 있다.

[0015] 일 실시예에 의하면, 상기 제1 램프 신호 및 상기 제2 램프 신호는 단위 수평 시간 동안 점차 감소할 수 있다. 상기 제1 램프 신호 및 상기 제2 램프 신호의 전압 차이는 상기 단위 수평 시간 동안 일정할 수 있다.

[0016] 일 실시예에 의하면, 상기 제1 램프 신호는 상기 클럭 신호에 동기화될 수 있다. 상기 제2 램프 신호는 상기 제1 램프 신호에 적어도 하나의 클럭 개수가 증가된 신호에 상응할 수 있다.

[0017] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 데이터 구동 회로는 램프 신호를 생성하는 램프 신호 생성부, 클럭 신호의 클럭 개수를 카운트함으로써 카운트 신호를 생성하는 카운터, 및 상기 램프 신호 및 상기 카운트 신호에 기초하여 영상 데이터에 상응하는 데이터 신호를 각각 생성하는 복수의 채널들을 포함할 수 있다. 상기 복수의 채널들 각각은 상기 영상 데이터를 래치하는 래치부, 및 상기 데이터 신호를 출력하

기 위해 상기 래치된 영상 데이터와 상기 카운트 신호를 비교함으로써 상기 램프 신호를 샘플링하는 출력부를 포함할 수 있다.

[0018] 일 실시예에 의하면, 상기 출력부는 상기 데이터 신호를 출력하는 출력 버퍼, 상기 래치된 영상 데이터와 상기 카운트 신호를 비교함으로써 샘플링 신호를 생성하는 샘플링 제어부, 상기 샘플링 신호를 온 전압 또는 오프 전압을 갖는 스위치 제어 신호로 변환하는 레벨 시프터, 및 상기 스위치 제어 신호에 응답하여 상기 램프 신호를 상기 출력 버퍼에 제공하는 스위치를 포함할 수 있다.

[0019] 일 실시예에 의하면, 상기 램프 신호 생성부는 상기 복수의 채널들 사이에 배치될 수 있다.

[0020] 일 실시예에 의하면, 상기 램프 신호 생성부는 상기 복수의 채널들 중 적색 영상 데이터에 상응하는 제1 채널 그룹에 제1 램프 신호를 제공하는 제1 램프 신호 생성부, 상기 복수의 채널들 중 녹색 영상 데이터에 상응하는 제2 채널 그룹에 제2 램프 신호를 제공하는 제2 램프 신호 생성부, 및 상기 복수의 채널들 중 청색 영상 데이터에 상응하는 제3 채널 그룹에 제3 램프 신호를 제공하는 제3 램프 신호 생성부를 포함할 수 있다.

[0021] 일 실시예에 의하면, 상기 램프 신호 생성부는 상기 복수의 채널들 중 적색 영상 데이터 또는 녹색 영상 데이터에 상응하는 제4 채널 그룹에 제4 램프 신호를 제공하는 제4 램프 신호 생성부, 및 상기 복수의 채널들 중 청색 영상 데이터에 상응하는 제5 채널 그룹에 제5 램프 신호를 제공하는 제5 램프 신호 생성부를 포함할 수 있다.

[0022] 본 발명의 다른 목적을 달성하기 위하여, 발명의 실시예들에 따른 표시 장치는 복수의 화소들을 포함하는 표시 패널, 상기 화소들에 스캔 신호를 제공하는 스캔 구동 회로, 및 상기 화소들에 데이터 신호를 제공하는 데이터 구동 회로를 포함할 수 있다. 상기 데이터 구동 회로는 제1 램프 신호 및 상기 제1 램프 신호보다 낮은 제2 램프 신호를 생성하는 램프 신호 생성부, 클럭 신호의 클럭 개수를 카운트함으로써 카운트 신호를 생성하는 카운터, 및 상기 제1 램프 신호, 상기 제2 램프 신호, 및 상기 카운트 신호에 기초하여 영상 데이터에 상응하는 상기 데이터 신호를 각각 생성하는 복수의 채널들을 포함할 수 있다. 상기 복수의 채널들 각각은 상기 영상 데이터를 제1 부분 데이터 및 제2 부분 데이터로 분할하고, 상기 제1 부분 데이터 및 상기 제2 부분 데이터를 래치하는 래치부, 상기 제1 램프 신호 및 상기 제2 램프 신호를 복제하여 제1 기준 신호 및 제2 기준 신호를 생성하는 복제 구동부, 상기 제1 기준 신호 및 상기 제2 기준 신호에 기초하여, 상기 제1 부분 데이터에 상응하는 구동 신호를 생성하는 디지털-아날로그 변환기, 및 상기 데이터 신호를 출력하기 위해 상기 제2 부분 데이터와 상기 카운트 신호를 비교함으로써 상기 구동 신호를 샘플링하는 출력부를 포함할 수 있다.

[0023] 일 실시예에 의하면, 상기 데이터 구동 회로는 상기 램프 신호 생성부와 상기 복수의 채널들 각각 사이에 연결되고, 상기 제1 램프 신호 및 상기 제2 램프 신호를 수신하고 출력하는 램프 구동부를 더 포함할 수 있다.

[0024] 일 실시예에 의하면, 상기 램프 구동부는 상기 제1 램프 신호에 기초하여 제1 풀업 제어 신호, 제1 풀다운 제어 신호, 및 제1 램프 구동 신호를 생성하는 제1 증폭기, 및 상기 제2 램프 신호에 기초하여 제2 풀업 제어 신호, 제2 풀다운 제어 신호, 및 제2 램프 구동 신호를 생성하는 제2 증폭기를 포함할 수 있다.

[0025] 일 실시예에 의하면, 상기 복제 구동부는 상기 제1 풀업 제어 신호 및 상기 제1 풀다운 제어 신호에 기초하여 상기 제1 기준 신호를 생성하는 제1 기준 신호 생성부, 및 상기 제2 풀업 제어 신호 및 상기 제2 풀다운 제어 신호에 기초하여 상기 제2 기준 신호를 생성하는 제2 기준 신호 생성부를 포함할 수 있다.

[0026] 일 실시예에 의하면, 상기 제1 기준 신호 생성부는 상기 제1 풀업 제어 신호를 수신하는 게이트 전극, 제1 전원 전압을 수신하는 제1 전극, 및 제1 출력 단자에 연결된 제1 노드에 연결된 제2 전극을 포함하는 제1 트랜지스터, 및 상기 제1 풀다운 제어 신호를 수신하는 게이트 전극, 상기 제1 전원 전압보다 낮은 제2 전원 전압을 수신하는 제1 전극, 및 상기 제1 노드에 연결된 제2 전극을 포함하는 제2 트랜지스터를 포함할 수 있다. 상기 제1 노드는 상기 제1 램프 구동 신호를 수신할 수 있다.

발명의 효과

[0027] 본 발명의 실시예들에 따른 데이터 구동 회로는 채널들에서 공유되는 램프 신호에 기초하여 영상 데이터를 데이터 신호로 변환하므로, 데이터 구동 회로가 상대적으로 좁은 면적에서 구현될 수 있다.

[0028] 본 발명의 실시예들에 따른 데이터 구동 회로는 램프 신호에 기초하여 구동 신호를 생성하는 디지털-아날로그 변환기를 포함함으로써 색 깊이(color depth)가 상대적으로 높은 표시 장치를 구동할 수 있다. 이 경우, 램프 신호의 주기가 과도하게 짧아지지 않으므로, 표시 장치의 소비 전력이 감소될 수 있다. 또한, 데이터 구동 회로는 램프 구동부 및 각 채널의 복제 구동부를 포함함으로써 복수의 채널들 사이의 편차를 줄이고, 각 채널의 출

력의 균일성을 높일 수 있다.

[0029] 본 발명의 실시예들에 따른 표시 장치는 상기 데이터 구동 회로를 포함함으로써 구동 회로가 실장되는 비표시 영역의 크기를 줄일 수 있다.

[0030] 다만, 본 발명의 효과는 상기 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0031] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.

도 2는 도 1의 표시 장치에 포함된 데이터 구동 회로의 일 예를 나타내는 도면이다.

도 3은 도 2의 데이터 구동 회로에 포함된 출력부가 구동 신호를 샘플링하는 방법을 설명하기 위한 도면이다.

도 4는 도 2의 데이터 구동 회로에 포함된 램프 구동부 및 복제 구동부의 일 예를 나타내는 도면이다.

도 5a 및 도 5b는 도 4의 램프 구동부 및 복제 구동부의 효과를 설명하기 위한 도면들이다.

도 6은 도 1의 표시 장치에 포함된 데이터 구동 회로의 다른 예를 나타내는 도면이다.

도 7은 도 6의 데이터 구동 회로에 포함된 출력부가 램프 신호를 샘플링하는 방법을 설명하기 위한 도면이다.

도 8 및 도 9는 도 6의 데이터 구동 회로에 포함된 램프 신호 생성부가 배치되는 예들을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0032] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일하거나 유사한 참조 부호를 사용한다.

[0033] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.

[0034] 도 1을 참조하면, 표시 장치(1000)는 표시 패널(100), 스캔 구동 회로(200), 데이터 구동 회로(300), 및 타이밍 제어부(500)를 포함할 수 있다.

[0035] 표시 패널(100)은 복수의 화소(PX)들을 포함할 수 있다. 표시 패널(100)은 스캔 라인들(SL1 내지 SLn)을 통해 스캔 구동 회로(200)와 연결될 수 있다. 표시 패널(100)은 데이터 라인들(DL1 내지 DLm)을 통해 데이터 구동 회로(300)와 연결될 수 있다. 표시 패널(100)은 스캔 라인들(SL1 내지 SLn) 및 데이터 라인들(DL1 내지 DLm)의 교차부마다 위치되는 n*m 개의 화소(PX)들을 포함할 수 있다.

[0036] 스캔 구동 회로(200)는 제1 제어 신호(CTL1)에 기초하여 스캔 라인들(SL1 내지 SLn)을 통해 화소(PX)들에 스캔 신호를 공급할 수 있다.

[0037] 데이터 구동 회로(300)는 제2 제어 신호(CTL2)에 기초하여 데이터 라인들(DL1 내지 DLm)을 통해 화소(PX)들에 데이터 신호를 공급할 수 있다. 데이터 구동 회로(300)는 램프(ramp) 신호를 샘플링함으로써 디지털 영상 데이터에 상응하는 아날로그 구동 신호(예를 들어, 데이터 신호)를 각각 생성하고, 생성된 데이터 신호를 데이터 라인들(DL1 내지 DLm)에 각각 출력하는 복수의 채널들(CH1 내지 CHm)을 포함할 수 있다. 램프 신호는 단위 시간(예를 들어, 단위 수평 주기)마다 반복하여 출력되며, 단위 시간 동안 점차 감소되거나 증가될 수 있다.

[0038] 복수의 채널들(CH1 내지 CHm) 각각은 영상 데이터(즉, 디지털 영상 데이터)에 상응하는 클럭 카운트에서 램프 신호를 샘플링함으로써 데이터 신호(즉, 아날로그 구동 신호)를 생성하고 출력할 수 있다. 일 실시예에서, 데이터 구동 회로(300)는 고해상도 표시 장치 또는 색 깊이가 상대적으로 높은 표시 장치를 구동하기 위해 각 채널에서 아날로그-디지털 변환기를 이용하여 램프 신호를 샘플링하고, 복수의 채널들 사이의 전압 편차를 줄이기 위해 램프 구동부 및 각 채널의 복제 구동부를 포함할 수 있다. 다른 실시예에서, 데이터 구동 회로(300)는 복수의 채널들 사이의 전압 편차를 줄이기 위해 복수의 채널들(CH1 내지 CHm) 사이(예를 들어, 복수의 채널들(CH1 내지 CHm)의 중앙)에 램프 신호 생성부를 배치하고, 각 채널에서 램프 신호 생성부에서 출력된 램프 신호를 샘플링할 수 있다. 다만, 데이터 구동 회로(300)의 구조에 대해서는 도 2 및 도 6을 참조하여 자세히 설명하기로 한다.

[0039] 타이밍 제어부(500)는 스캔 구동 회로(200) 및 데이터 구동 회로(300)를 각각 제어하기 위해 제1 및 제2 제어 신호들(CTL1 및 CTL2)을 생성할 수 있다. 예를 들어, 스캔 구동 회로(200)를 제어하기 위한 제1 제어 신호

(CTL1)는 수직 개시 신호, 스캔 클럭 신호, 등을 포함할 수 있다. 데이터 구동 회로(300)를 제어하기 위한 제2 제어 신호(CTL2)는 디지털 형태의 영상 데이터, 수평 개시 신호, 클럭 신호, 등을 포함할 수 있다.

[0040] 이 외에도, 표시 장치(1000)는 표시 패널(100), 스캔 구동 회로(200), 및 데이터 구동 회로(300)에 전원을 제공하는 전원 공급부 등을 더 포함할 수 있다.

[0041] 도 2는 도 1의 표시 장치에 포함된 데이터 구동 회로의 일 예를 나타내는 도면이다.

[0042] 도 2를 참조하면, 데이터 구동 회로(300A)는 램프 신호 생성부(310), 램프 구동부(320), 카운터(330), 및 복수의 채널들(CH1, CH2, CH3, 등)을 포함할 수 있다.

[0043] 램프 신호 생성부(310)는 클럭 신호(CLK)에 기초하여 주기적으로 제1 램프 신호(RSH) 및 제1 램프 신호(RSH)보다 낮은 제2 램프 신호(RSL)를 생성하여 출력할 수 있다. 즉, 램프 신호 생성부(310)는 상위 기준 전압 및 하위 기준 전압을 각 채널의 디지털-아날로그 변환기(360-1)에 제공하기 위해 제1 램프 신호(RSH) 및 제2 램프 신호(RSL)를 생성할 수 있다. 일 실시예에서, 제1 램프 신호(RSH) 및 제2 램프 신호(RSL)는 단위 수평 시간 동안 점차 감소하고, 제1 램프 신호(RSH) 및 제2 램프 신호(RSL)의 전압 차이는 단위 수평 시간 동안 일정할 수 있다. 일 실시예에서, 제1 램프 신호(RSH)는 클럭 신호(CLK)에 동기화되어 생성될 수 있다. 제2 램프 신호(RSL)는 제1 램프 신호(RSH)에 적어도 하나의 클럭 개수가 증가된 신호에 상응할 수 있다. 램프 신호 생성부(310)는 제1 램프 신호(RSH) 및 제2 램프 신호(RSL)를 간단하게 구현할 수 있는 저항 스트링 기반 DAC(digital analog converter) 구조로 구현될 수 있으나, 이에 한정되지 않는다.

[0044] 램프 구동부(320)는 램프 신호 생성부(310)와 복수의 채널들(CH1, CH2, CH3, 등) 각각 사이에 연결되고, 제1 램프 신호(RSH) 및 제2 램프 신호(RSL)를 수신하고 출력할 수 있다. 즉, 램프 구동부(320)는 램프 신호 생성부(310)와 복수의 채널들(CH1, CH2, CH3, 등) 각각 사이에 위치하여 구동 능력을 향상하기 위한 버퍼 역할을 수행할 수 있다. 일 실시예에서, 램프 구동부(320)는 제1 증폭기(321) 및 제2 증폭기(326)를 포함할 수 있다. 제1 증폭기(321)는 제1 램프 신호(RSH)에 기초하여 제1 풀업 제어 신호(CSU1), 제1 풀다운 제어 신호(CSD1), 및 제1 램프 구동 신호(OUT1)를 생성할 수 있다. 제2 증폭기(326)는 제2 램프 신호(RSL)에 기초하여 제2 풀업 제어 신호(CSU2), 제2 풀다운 제어 신호(CSD2), 및 제2 램프 구동 신호(OUT2)를 생성할 수 있다.

[0045] 카운터(330)는 클럭 신호(CLK)의 클럭 개수를 카운트함으로써 카운트 신호(CNT)를 생성할 수 있다. 일 실시예에서, 카운터(330)는 n-비트(bit) 카운터로서 일 수평 주기마다 클럭 신호(CLK)의 상승 에지(edge) 또는 하강 에지의 개수를 카운트함으로써 카운트 신호(CNT)를 생성할 수 있다.

[0046] 복수의 채널들(CH1, CH2, CH3, 등) 각각은 제1 램프 신호(RSH), 제2 램프 신호(RSL), 및 카운트 신호(CNT)에 기초하여 영상 데이터(DATA)에 상응하는 데이터 신호를 생성할 수 있다. 각 채널은 램프 구동부(320)의 출력 회로와 동일한 회로를 디지털-아날로그 변환기의 전에 배치함으로써 큰 면적 및 소비 전력의 증가 없이 각 채널 간 균일한 출력을 얻을 수 있다. 일 실시예에서, 각 채널(예를 들어, 제1 채널(CH1))은 래치부(340-1), 복제 구동부(350-1), 디지털-아날로그 변환기(360-1), 및 출력부(380-1)를 포함할 수 있다.

[0047] 래치부(340-1)는 영상 데이터(DATA)를 제1 부분 데이터(mBIT) 및 제2 부분 데이터(nBIT)로 분할하고, 제1 부분 데이터(mBIT) 및 제2 부분 데이터(nBIT)를 래치할 수 있다. 예를 들어, 래치부(340-1)는 10비트의 영상 데이터(DATA)를 수신하고, 영상 데이터(DATA)의 하위 3비트를 제1 부분 데이터(mBIT)로 설정하고, 영상 데이터(DATA)의 상위 7비트를 제2 부분 데이터(nBIT)로 설정할 수 있다.

[0048] 복제 구동부(350-1)는 제1 램프 신호(RSH) 및 제2 램프 신호(RSL)를 복제하여 제1 기준 신호(OUTH) 및 제2 기준 신호(OUTL)를 생성할 수 있다. 일 실시예에서, 복제 구동부(350-1)는 제1 기준 신호 생성부(351-1) 및 제2 기준 신호 생성부(352-1)를 포함할 수 있다. 제1 기준 신호 생성부(351-1)는 램프 구동부(320)에서 출력된 제1 풀업 제어 신호(CSU1) 및 제1 풀다운 제어 신호(CSD1)에 기초하여 제1 기준 신호(OUTH)를 생성할 수 있다. 제2 기준 신호 생성부(352-1)는 제2 풀업 제어 신호(CSU2) 및 제2 풀다운 제어 신호(CSD2)에 기초하여 제2 기준 신호(OUTL)를 생성할 수 있다. 예를 들어, 각 채널에 포함된 복제 구동부(350-1)는 램프 구동부(320)의 출력 회로와 동일한 구조를 가질 수 있다. 복제 구동부(350-1)의 구조에 대해서는 도 4를 참조하여 자세히 설명하기로 한다.

[0049] 디지털-아날로그 변환기(360-1)는 제1 기준 신호(OUTH) 및 제2 기준 신호(OUTL)에 기초하여, 제1 부분 데이터(mBIT)에 상응하는 구동 신호(VD)를 생성할 수 있다. 즉, 디지털-아날로그 변환기(360-1)는 상위 기준 전압으로서 제1 기준 신호(OUTH) 및 하위 기준 전압으로서 제2 기준 신호(OUTL)를 수신하고, 제1 부분 데이터(mBIT)(예를 들어, 영상 데이터(DATA)의 하위 3비트)에 기초하여 상위 기준 전압 및 하위 기준 전압 사이의 전압을 선택하여 구동 신호(VD)로서 출력할 수 있다. 일 실시예에서, 디지털-아날로그 변환기(360-1)는 저항 스트링(361-1)

및 선택기(362-1)를 포함할 수 있다. 저항 스트링(361-1)는 제1 기준 신호(OUTH) 및 제2 기준 신호(OUTL)를 분배할 수 있다. 선택기(362-1)는 제1 부분 데이터(mBIT)에 기초하여 저항 스트링(361-1)에 의해 분배된 전압들(즉, V1 내지 $V2^m$) 중 하나를 구동 신호(VD)로서 선택할 수 있다.

[0050] 출력부(380-1)는 데이터 신호를 출력하기 위해 제2 부분 데이터(nBIT) (예를 들어, 영상 데이터(DATA)의 상위 7비트)와 카운트 신호(CNT)를 비교함으로써 구동 신호(VD)를 샘플링할 수 있다. 즉, 출력부(380-1)는 디지털-아날로그 변환기(360-1)에서 출력된 시간에 따라 변동하는 구동 신호(VD)를 제2 부분 데이터(nBIT)에 따른 타이밍에서 샘플링함으로써 데이터 신호를 출력할 수 있다. 일 실시예에서, 출력부(380-1)는 샘플링 제어부(381-1), 스위치(382-1), 커패시터(383-1), 및 출력 버퍼(384-1)를 포함할 수 있다.

[0051] 샘플링 제어부(381-1)는 제2 부분 데이터(nBIT)와 카운트 신호(CNT)를 비교함으로써 스위치 제어 신호(SON)를 생성할 수 있다. 예를 들어, 샘플링 제어부(381-1)는 제2 부분 데이터(nBIT)에 대응되는 클럭 카운트 타이밍에서 스위치(382-1)가 턴-온되도록 제2 부분 데이터(nBIT)에 대응되는 클럭 카운트와 카운트 신호(CNT)를 비교할 수 있다.

[0052] 스위치(382-1)는 스위치 제어 신호(SON)에 응답하여 디지털-아날로그 변환기(360-1)에서 출력되는 구동 신호(VD)를 출력 버퍼(384-1)에 제공할 수 있다.

[0053] 커패시터(383-1)는 데이터 신호를 노이즈를 줄이기 위해 출력 버퍼(384-1)의 입력 단자와 접지 전압 사이에 배치될 수 있다.

[0054] 출력 버퍼(384-1)는 데이터 신호를 연결된 데이터 라인(DL1)에 출력할 수 있다.

[0055] 일 실시예에서, 데이터 구동 회로(300A)는 단위 수평 주기에서 샘플링이 종료된 채널에 대해 복제 구동부(350-1) 및 디지털-아날로그 변환기(360-1)를 셧-다운(shut-down)함으로써 소비 전력을 최소화시킬 수 있다. 즉, 각 채널의 복제 구동부(350-1)는 아날로그 전압을 샘플링 할 때만 동작하고, 그 이외의 구간에서는 셧-다운되도록 제어됨으로써 소비 전력을 절감할 수 있다.

[0056] 비록, 도 2에서는 제1 램프 신호 및 제2 램프 신호가 램프 구동부를 통해 각 채널의 복제 구동부로 제공되는 것으로 도시하였으나, 이에 한정되지 않는다. 예를 들어, 램프 신호 생성부에서 출력된 제1 램프 신호 및 제2 램프 신호는 각 채널의 복제 구동부에 직접 제공되거나, 램프 구동부를 통해 각 채널의 디지털-아날로그 변환기에 제공될 수 있다.

[0057] 비록, 도 2에서는 램프 신호 생성부가 배치되는 위치에 대해서는 언급하지 않았으나, 채널들 사이의 전압 편차를 최소화하기 위해 램프 신호 생성부는 채널들 사이에 배치될 수 있다.

[0058] 도 3은 도 2의 데이터 구동 회로에 포함된 출력부가 구동 신호를 샘플링하는 방법을 설명하기 위한 도면이다.

[0059] 도 3을 참조하면, 단위 수평 시간 동안 클럭 카운트가 증가함에 따라 순차적으로 감소하는 제1 램프 신호(RSH) 및 제2 램프 신호(RSL)가 생성될 수 있다. 일 실시예에서, 제1 램프 신호(RSH) 및 제2 램프 신호(RSL)의 전압 차이는 단위 수평 시간 동안 일정할 수 있다. 예를 들어, 제2 램프 신호(RSL)는 제1 램프 신호(RSH)에 하나의 클럭 개수가 증가된 신호에 상응할 수 있다. 즉, 제2 램프 신호(RSL)는 제1 램프 신호(RSH)가 일 클럭 만큼 시프트된 신호일 수 있다.

[0060] 각 클럭 구간에서, 영상 데이터의 제1 부분 데이터(예를 들어, 하위 3비트)에 대응하는 제1 램프 신호(RSH) 및 제2 램프 신호(RSL) 사이의 전압이 구동 신호로서 선택되고, 영상 데이터의 제2 부분 데이터(예를 들어, 상위 7비트)에 상응하는 타이밍에서, 선택된 구동 신호가 데이터 전압으로서 출력될 수 있다.

[0061] 예를 들어, 영상 데이터의 제1 부분 데이터가 제1 램프 신호(RSH) 및 제2 램프 신호(RSL)가 디지털-아날로그 변환기에 의해 분배된 제1 전압 내지 제8 전압들(V1 내지 V8) 중 제3 전압(V3)에 상응하고, 영상 데이터의 제2 부분 데이터가 제3 클럭 카운트(C3) 구간에 상응할 수 있다. 이 경우, 스위치 제어 신호(SON)는 제3 클럭 카운트(C3) 구간에서 온 전압 레벨을 가질 수 있다. 제3 클럭 카운트(C3) 구간에서 제1 램프 신호(RSH)는 제3 전압 레벨(L3)을 갖고, 제2 램프 신호(RSL)은 제4 전압 레벨(L4)을 가질 수 있다. 이에 따라, 제1 램프 신호(RSH) 및 제2 램프 신호(RSL)가 디지털-아날로그 변환기에 의해 분배된 제3 전압 레벨(L3) 및 제4 전압 레벨(L4) 사이의 제1 전압 내지 제8 전압들(V1 내지 V8) 중 제3 전압(V3)이 데이터 신호로서 출력될 수 있다.

[0062] 일 실시예에서, 스위치 제어 신호(SON)는 영상 데이터의 제2 부분 데이터에 상응하는 타이밍에서만 온 전압 레벨로 설정되고, 나머지 구간에서는 오프 전압 레벨로 설정될 수 있다. 이 경우, 출력 버퍼의 불필요한 스위칭

전력 소모가 감소될 수 있다.

[0063] 비록, 도 3에서는 제1 램프 신호 및 제2 램프 신호가 클럭 카운트가 증가함에 따라 감소하는 것으로 설명하였으나, 이에 한정되지 않는다. 예를 들어, 제1 램프 신호 및 제2 램프 신호가 클럭 카운트가 증가함에 따라 증가할 수 있다.

[0064] 도 4는 도 2의 데이터 구동 회로에 포함된 램프 구동부 및 복제 구동부의 일 예를 나타내는 도면이다. 도 5a 및 도 5b는 도 4의 램프 구동부 및 복제 구동부의 효과를 설명하기 위한 도면들이다.

[0065] 도 2, 도 4, 도 5a, 및 도 5b를 참조하면, 데이터 구동 회로(300A)는 복수의 채널들(CH1, CH2, CH3, 등) 사이의 전압 편차를 줄이기 위해 램프 구동부(320) 및 각 채널에 배치되는 복제 구동부(350-1)를 포함할 수 있다.

[0066] 도 2 및 도 4에 도시된 바와 같이, 램프 구동부(320)는 제1 증폭기(321) 및 제2 증폭기(326)를 포함할 수 있다. 복제 구동부(350-1)는 제1 기준 신호 생성부(351-1) 및 제2 기준 신호 생성부(352-1)를 포함할 수 있다. 제2 증폭기(326)의 구조는 제1 증폭기(321)의 구조와 실질적으로 동일하고, 제2 기준 신호 생성부(352-1)의 구조는 제1 기준 신호 생성부(351-1)의 구조와 실질적으로 동일하므로, 이하, 제1 증폭기(321)와 제1 기준 신호 생성부(351-1)를 기준으로 설명하기로 한다.

[0067] 제1 증폭기(321)는 제1 램프 신호(RSH)에 기초하여 제1 풀업 제어 신호(CSU1), 제1 풀다운 제어 신호(CSD1), 및 제1 램프 구동 신호(OUT1)를 생성할 수 있다. 제1 증폭기(321)는 구동 능력을 향상하기 위한 버퍼 역할을 수행할 수 있다.

[0068] 일 실시예에서, 제1 증폭기(321)는 레일 투 레일(rail to rail) 입력단 구조를 가지는 폴디드 캐스코드(folded cascode) 연산증폭기 회로(322)와 풀업 트랜지스터(MU), 풀다운 트랜지스터(MD) 및 보상 커패시터들(CC0, CC1)을 구비하는 출력 회로(323)를 구비할 수 있다. 폴디드 캐스코드 연산증폭기 회로(322)는 입력 전원 전압(BP1, BP2, BP3, BN1, BN2, BN3)를 수신하고, 제1 입력 단자(IN1)와 제2 입력 단자(IN2)가 수신하는 신호들의 차이를 증폭할 수 있다. 예를 들어, 제1 입력 단자(IN1)는 제1 램프 신호(RSH)를 수신하고, 제2 입력 단자(IN2)는 출력 단자(OUT)에서 출력되는 신호를 수신할 수 있다. 출력 회로(323)는 폴디드 캐스코드 연산증폭기 회로(322)로부터 출력된 신호를 증폭하여 출력할 수 있다. 즉, 출력 회로(323)는 풀업 트랜지스터(MU)의 게이트 전극에 인가되는 제1 풀업 제어 신호(CSU1)를 풀업 제어 단자(VP)에 출력하고, 풀다운 트랜지스터(MD)의 게이트 전극에 인가되는 제1 풀다운 제어 신호(CSD1)를 풀다운 제어 단자(VD)에 출력하며, 제1 램프 구동 신호(OUT1)를 출력 단자(OUT)로 출력할 수 있다.

[0069] 각 채널에 구비되는 제1 기준 신호 생성부(351-1)는 간단한 구조의 복제 구동 회로로 구현됨으로써 채널 간 전압 편차 문제를 효율적으로 해결할 수 있다. 제1 기준 신호 생성부(351-1)는 제1 증폭기(321)의 출력 회로(323)와 유사한 회로 구조를 가질 수 있다. 일 실시예에서, 제1 기준 신호 생성부(351-1)는 제1 증폭기(321)의 풀업 트랜지스터(MU) 및 풀다운 트랜지스터(MD)와 동일한 동작을 수행하는 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 포함할 수 있다. 제1 트랜지스터(T1)는 제1 풀업 제어 신호(CSU1)를 수신하는 게이트 전극, 제1 전원 전압(VDD)을 수신하는 제1 전극, 및 제1 기준 신호(OUTH)가 출력되는 제1 출력 단자에 연결된 제1 노드(N1)에 연결된 제2 전극을 포함할 수 있다. 제2 트랜지스터(T2)는 제1 풀다운 제어 신호(CSD1)를 수신하는 게이트 전극, 제1 전원 전압보다 낮은 제2 전원 전압(VSS)을 수신하는 제1 전극, 및 제1 노드(N1)에 연결된 제2 전극을 포함할 수 있다. 제1 노드(N1)는 제1 램프 구동 신호(OUT1)를 수신할 수 있다.

[0070] 비록, 도 4에서는 제1 증폭기 및 제2 증폭기가 Class AB 타입의 증폭기인 것으로 도시하였으나, 제1 증폭기 및 제2 증폭기는 버퍼 역할을 수행하는 다양한 구조로 구현될 수 있다.

[0071] 도 5a 및 도 5b에 도시된 바와 같이, 데이터 구동 회로(300A)가 320개의 채널들을 포함하고, 램프 신호 생성부가 채널들의 중앙에 배치된 경우, 디지털-아날로그 변환기에 입력되는 램프 신호의 편차를 측정하였다.

[0072] 도 5A에서, 각 채널에 복제 구동부(350-1)가 구비되지 않고, 디지털-아날로그 변환기에 램프 신호를 직접 제공하는 경우, 라우팅 금속의 저항 성분(예를 들어, 기생 RC 및 샘플링 커패시터, 등)에 의해 중앙부에 위치한 채널(예를 들어 제160 채널)과 가장자리에 위치한 채널(예를 들어, 제320 채널)에 입력되는 램프 신호의 전압 편차가 발생하였다. 즉, 제160 채널에 인가되는 제1 램프 신호(VH_CH160)와 제320 채널에 인가되는 제1 램프 신호(VH_CH320)의 전압 편차(dVH)는 약 5.2mV로 측정되었다. 또한, 제160 채널에 인가되는 제2 램프 신호(VL_CH160)와 제320 채널에 인가되는 제2 램프 신호(VL_CH320)의 전압 편차(dVL)는 약 6.1mV로 측정되었다.

[0073] 반면에, 도 5B에서, 각 채널에 복제 구동부(350-1)가 구비된 경우, 제160 채널에 인가되는 제1 램프 신호

(VH_CH160)와 제320 채널에 인가되는 제1 램프 신호(VH_CH320)의 전압 편차(dVH)는 약 0.2mV로 측정되었다. 또한, 제160 채널에 인가되는 제2 램프 신호(VL_CH160)와 제320 채널에 인가되는 제2 램프 신호(VL_CH320)의 전압 편차(dVL)는 약 0.3mV로 측정되었다.

[0074] 따라서, 데이터 구동 회로(300A)는 각 채널에 복제 구동부(350-1)를 포함함으로써 채널 간 입력되는 램프 전압의 편차를 줄일 수 있다.

[0075] 도 6은 도 1의 표시 장치에 포함된 데이터 구동 회로의 다른 예를 나타내는 도면이다.

[0076] 도 6을 참조하면, 데이터 구동 회로(300B)는 램프 신호 생성부(410), 카운터(430), 및 복수의 채널들(CH1, CH2, CH3, 등)을 포함할 수 있다.

[0077] 램프 신호 생성부(410)는 주기적으로 램프 신호(RS)를 생성하고, 생성된 램프 신호(RS)를 모든 채널들의 출력 버퍼에 스위치를 통해 제공할 수 있다. 일 실시예에서, 램프 신호(RS)는 단위 수평 시간 동안 점차 감소할 수 있다. 일 실시예에서, 램프 신호 생성부(410)는 램프 제어 신호를 수신하고, 램프 제어 신호에 기초하여 출력하는 램프 신호(RS)의 전압을 조정할 수 있다. 이에 따라, 램프 신호 생성부(410)는 표시 장치의 계조 정밀도(즉, 색 깊이), 해상도, 타겟 휘도에 따라 램프 신호(RS)의 전압, 기울기를 조정하여 출력할 수 있다.

[0078] 카운터(430)는 클럭 신호(CLK)의 클럭 개수를 카운트함으로써 카운트 신호(CNT)를 생성할 수 있다. 일 실시예에서, 카운터(430)는 n-비트 카운터로서 일 수평 주기마다 클럭 신호(CLK)의 상승 에지(edge) 또는 하강 에지의 개수를 카운트함으로써 카운트 신호(CNT)를 생성할 수 있다.

[0079] 복수의 채널들(CH1, CH2, CH3, 등) 각각은 램프 신호(RS) 및 카운트 신호(CNT)에 기초하여 영상 데이터(DATA)에 상응하는 데이터 신호를 생성하고, 연결된 데이터 라인에 출력할 수 있다. 각 채널(예를 들어, 제1 채널(CH1))은 래치부(440-1) 및 출력부(480-1)를 포함할 수 있다.

[0080] 래치부(440-1)는 영상 데이터(DATA)를 래치할 수 있다.

[0081] 출력부(480-1)는 n-비트의 래치된 영상 데이터(nBIT)와 카운트 신호(CNT)를 비교함으로써 램프 신호(RS)를 샘플링할 수 있다. 즉, 출력부(480-1)는 시간에 따라 변동하는 램프 신호(RS)를 래치된 영상 데이터에 따른 타이밍에서 샘플링함으로써 데이터 신호를 출력할 수 있다. 일 실시예에서, 출력부(480-1)는 샘플링 제어부(481-1), 레벨 시프터(482-1), 스위치(483-1), 커패시터(484-1), 및 출력 버퍼(485-1)를 포함할 수 있다.

[0082] 샘플링 제어부(481-1)는 래치된 영상 데이터(nBIT)와 카운트 신호(CNT)를 비교함으로써 샘플링 신호(SAM)를 생성하고, 레벨 시프터(482-1)는 샘플링 신호(SAM)를 온 전압 또는 오프 전압을 갖는 스위치 제어 신호(SON)로 변환할 수 있다. 즉, 샘플링 제어부(481-1)는 래치된 영상 데이터(nBIT)에 대응되는 클럭 카운트 타이밍에서 스위치(483-1)가 턴-온되도록 래치된 영상 데이터(nBIT)에 대응되는 클럭 카운트와 카운트 신호(CNT)를 비교할 수 있다.

[0083] 스위치(483-1)는 스위치 제어 신호(SON)에 응답하여 램프 신호(RS)를 출력 버퍼(485-1)에 제공할 수 있다. 커패시터(484-1)는 데이터 신호를 노이즈를 줄이기 위해 출력 버퍼(485-1)의 입력 단자와 접지 전압 사이에 배치될 수 있다. 출력 버퍼(485-1)는 데이터 신호를 연결된 데이터 라인(DL1)에 출력할 수 있다.

[0084] 일 실시예에서, 출력 버퍼(485-1)에서 발생하는 불필요한 스위칭 전력 소모를 방지하기 위해 출력 버퍼(485-1)의 입력 단자에 추가적인 스위치(미도시)를 구비할 수 있다. 이 경우, 샘플링 시점에만 출력 버퍼(485-1)가 데이터 신호를 출력하도록 제어할 수 있다.

[0085] 따라서, 데이터 구동 회로(300B)는 모든 채널들에서 램프 신호 생성부(410)에서 출력된 램프 신호(RS)를 이용하여 데이터 신호를 생성하므로, 색 깊이가 증가함에 따라, 면적이 지수적으로 증가하지 않으므로, 상대적으로 작은 크기로 구현될 수 있다. 예를 들어, 본 발명에 따른 데이터 구동 회로(300B)는 저항 스트링을 포함하는 DAC 기반의 데이터 구동 회로보다 구현에 필요한 면적이 약 35% 감소될 수 있다.

[0086] 도 7은 도 6의 데이터 구동 회로에 포함된 출력부가 램프 신호를 샘플링하는 방법을 설명하기 위한 도면이다.

[0087] 도 7을 참조하면, 데이터 구동 회로는 영상 데이터에 상응하는 타이밍에서 일 수평 주기 내에서 점차 감소하는 램프 신호(RS)를 샘플링함으로써, 디지털 영상 데이터를 아날로그 데이터 신호로 변환할 수 있다.

[0088] 예를 들어, 초기 설정 신호(SET)가 설정되고, 카운터는 카운트 신호를 초기화할 수 있다. 시간이 경과함에 따라, 서로 다른 제1 내지 제16 타이밍(S1 내지 S16)에서 스위치 제어 신호(SON)을 온 전압에서 오프 전압으로

설정하였을 때, 데이터 라인에 출력되는 서로 다른 제1 내지 제16 데이터 신호(DS1 내지 DS16)가 출력되었다. 이에 따라, 영상 데이터에 상응하는 타이밍에서 스위치 제어 신호(SON)를 온 전압 레벨로 설정함으로써, 디지털 영상 데이터가 아날로그 데이터 신호로 변환될 수 있다.

[0089] 도 8 및 도 9는 도 6의 데이터 구동 회로에 포함된 램프 신호 생성부가 배치되는 예들을 나타내는 도면이다.

[0090] 도 8 및 도 9를 참조하면, 램프 신호 생성부(410A, 410B)는 복수의 채널들 사이에 배치될 수 있다. 일 실시예에서, 채널들 사이에 인가되는 램프 전압의 편차를 최소화하기 위해, 램프 신호 생성부(410A, 410B)는 제1 내지 제m(단, m은 1보다 큰 정수) 채널들(CH1 내지 CHm) 사이에 배치될 수 있다. 예를 들어, 램프 신호 생성부(410A, 410B)는 채널들이 배치된 영역의 중심부(예를 들어, 제(2/m) 채널과 제(2/m+1) 채널 사이)에 위치할 수 있다.

[0091] 램프 신호 생성부(410A, 410B)는 영상 데이터의 색상에 따라 서로 다른 램프 신호를 제공할 수 있다.

[0092] 일 실시예에서, 도 8에 도시된 바와 같이, 램프 신호 생성부(410A)는 적색 영상 데이터(예를 들어, D1, D(m-2))에 상응하는 제1 채널 그룹(예를 들어, 제1 채널(CH1), 제(m-2) 채널(CH(m-2)), 등)에 제1 램프 신호(RS-R)를 제공하는 제1 램프 신호 생성부(411), 녹색 영상 데이터(예를 들어, D2, D(m-1))에 상응하는 제2 채널 그룹(예를 들어, 제2 채널(CH2), 제(m-1) 채널(CH(m-1)), 등)에 제2 램프 신호(RS-G)를 제공하는 제2 램프 신호 생성부(412), 및 청색 영상 데이터(예를 들어, D3, Dm)에 상응하는 제3 채널 그룹(예를 들어, 제3 채널(CH3), 제m) 채널(CHm), 등)에 제3 램프 신호(RS-B)를 제공하는 제3 램프 신호 생성부(413)를 포함할 수 있다. 즉, 적색 감마 전압, 녹색 감마 전압, 및 청색 감마 전압의 편차가 상대적으로 큰 유기 발광 표시 장치에서, 서로 다른 램프 신호들을 이용하여 영상 데이터를 데이터 신호로 변환할 수 있다.

[0093] 다른 실시예에서, 도 9에 도시된 바와 같이, 램프 신호 생성부(410B)는 적색 영상 데이터 또는 녹색 영상 데이터에 상응하는 제4 채널 그룹(예를 들어, 제1 채널(CH1), 제2 채널(CH2), 제(m-2) 채널(CH(m-2)), 제(m-1) 채널(CH(m-1)), 등)에 제4 램프 신호(RS-RG)를 제공하는 제4 램프 신호 생성부(414), 및 청색 영상 데이터에 상응하는 제5 채널 그룹(예를 들어, 제3 채널(CH3), 제m) 채널(CHm), 등)에 제5 램프 신호(RS-B)를 제공하는 제5 램프 신호 생성부(415)를 포함할 수 있다. 즉, 적색 감마 전압과 녹색 감마 전압의 편차가 상대적으로 작은 유기 발광 표시 장치에서, 동일한 램프 신호를 이용하여 적색 영상 데이터 및 녹색 영상 데이터를 데이터 신호로 변환할 수 있다.

[0094] 비록, 도 8 및 도 9에서는 표시 장치가 적색 화소, 녹색 화소, 및 청색 화소를 포함하는 RGB 타입의 유기 발광 표시 장치인 것으로 설명하였으나, 이에 한정되지 않는다. 예를 들어, 표시 장치는 흰색 화소를 추가적으로 포함하는 RGBW 타입의 유기 발광 표시 장치일 수 있다. 이 경우, 흰색 영상 데이터에 다른 램프 신호를 제공하는 램프 신호 생성부가 추가되거나, 감마 전압의 편차가 상대적으로 작은 청색 영상 데이터와 동일한 램프 신호를 이용하여 흰색 영상 데이터가 데이터 신호로 변환될 수 있다.

[0095] 이상, 본 발명의 실시예들에 따른 데이터 구동 회로 및 이를 포함하는 표시 장치에 대하여 도면을 참조하여 설명하였지만, 상기 설명은 예시적인 것으로 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다. 예를 들어, 상기에서는 표시 장치가 유기 발광 표시 장치인 것으로 설명하였으나, 표시 장치의 종류는 이에 한정되는 것이 아니다.

산업상 이용가능성

[0096] 본 발명은 표시 장치를 구비한 전자 기기에 다양하게 적용될 수 있다. 예를 들어, 본 발명은 컴퓨터, 노트북, 휴대폰, 스마트폰, 스마트패드, 피엠피(PMP), 피디에이(PDA), MP3 플레이어, 디지털 카메라, 비디오 캠코더 등에 적용될 수 있다.

[0097] 상기에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

부호의 설명

[0098] 100: 표시 패널 200: 스캔 구동 회로

300, 300A, 300B: 데이터 구동 회로

310: 램프 신호 생성부 320: 램프 구동부

330: 카운터　　340-1: 래치부

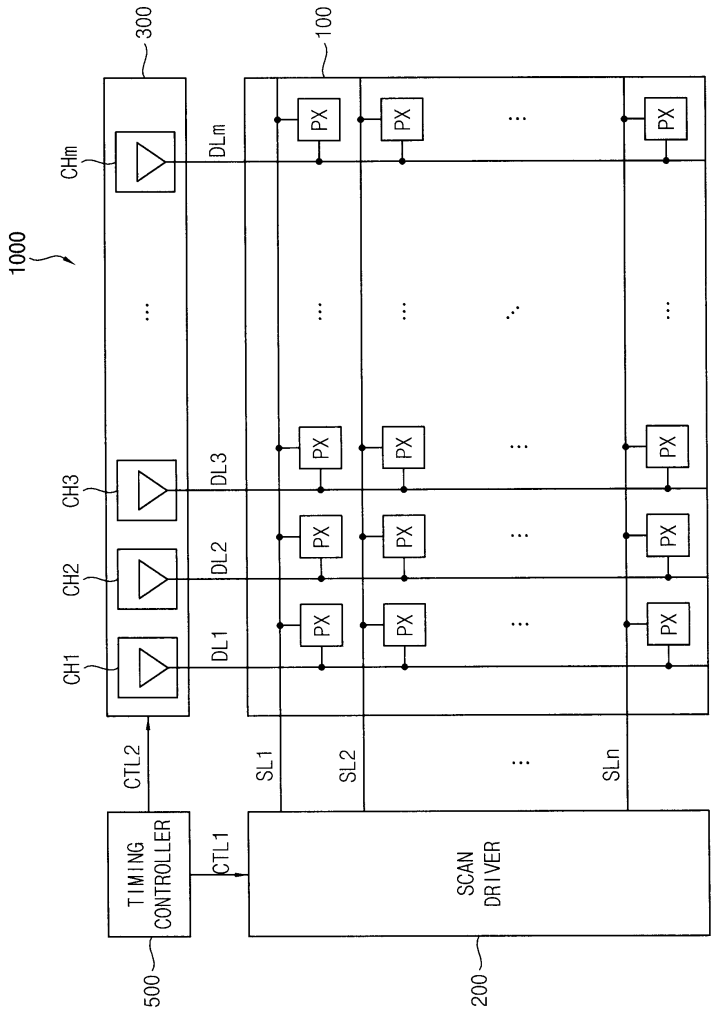
350-1: 복제 구동부　360-1: 디지털-아날로그 변환기

380-1: 출력부　　500: 타이밍 제어부

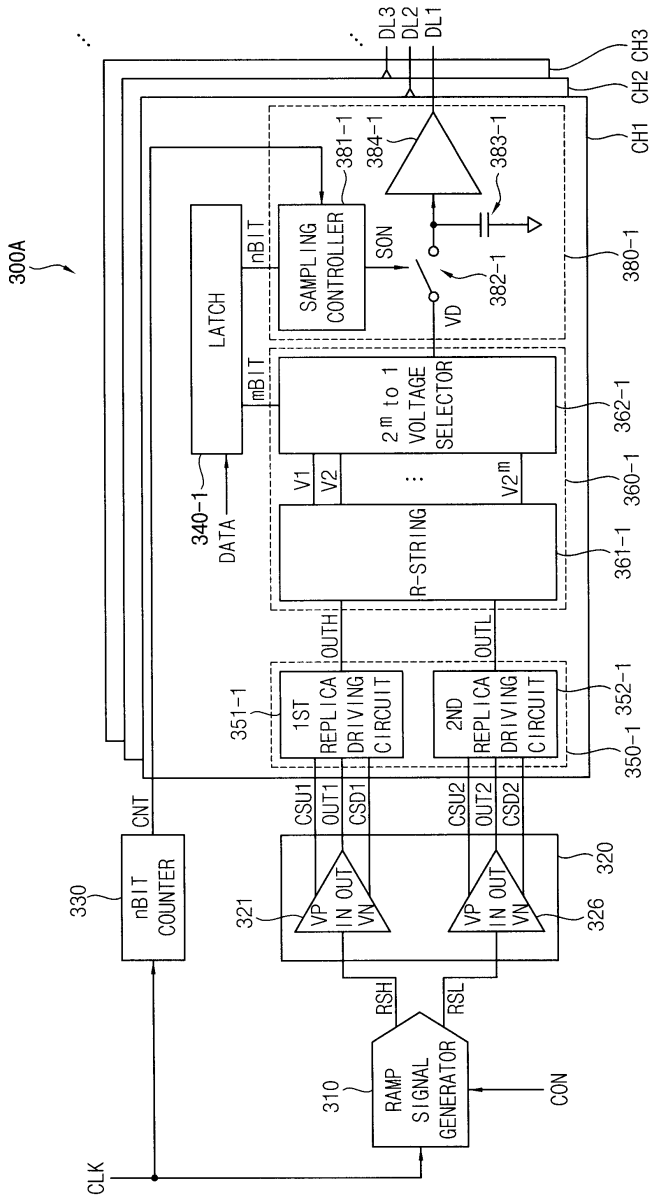
1000: 표시 장치

도면

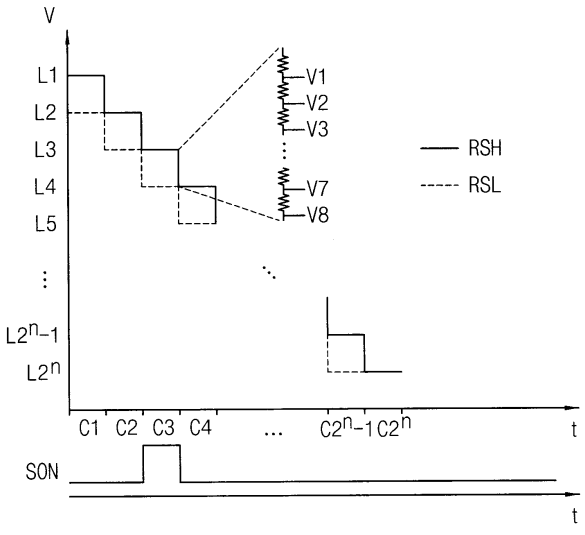
도면1



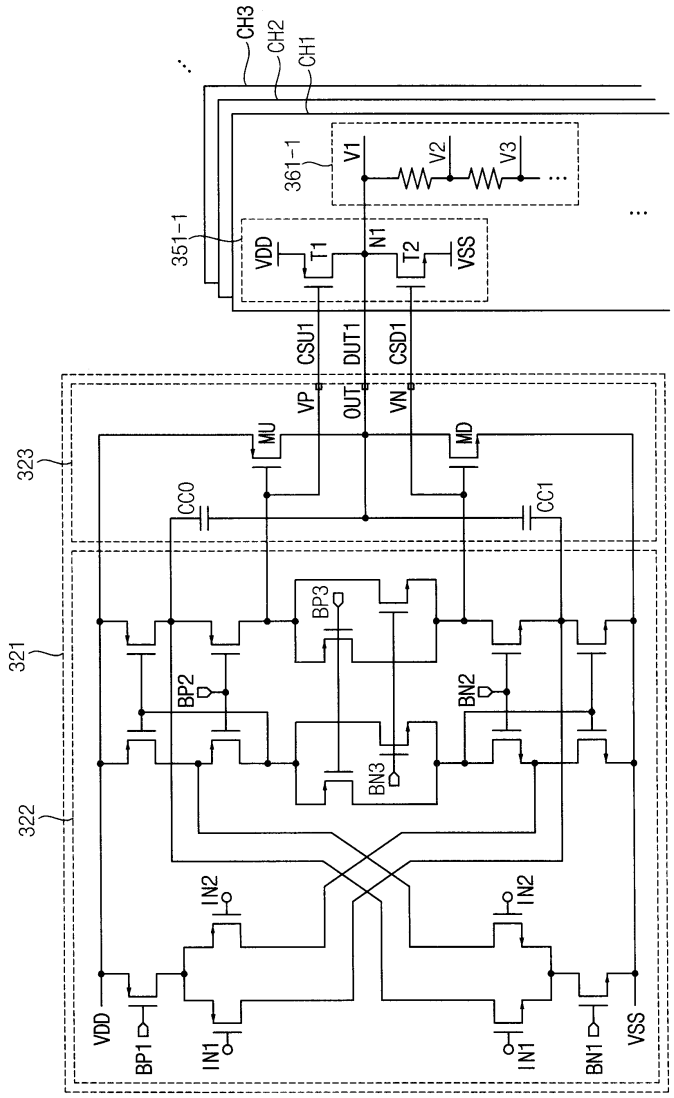
도면2


300A
DL3
DL2
DL1
CH3
CH2
CH1
381-1
384-1
383-1
SAMPLING CONTROLLER
SON
VD
382-1
380-1
LATCH
nBIT
mBIT
2 m to 1 VOLTAGE SELECTOR
362-1
V1
V2
V2m
360-1
R-STRING
361-1
340-1
DATA
OUTH
OUTL
351-1
1ST REPLICA DRIVING CIRCUIT
2ND REPLICA DRIVING CIRCUIT
352-1
350-1
CNT
CSU1
OUT1
CSD1
CSU2
OUT2
CSD2
320
330
nBIT COUNTER
321
VP
IN OUT
VN
326
RSH
RSL
310
RAMP SIGNAL GENERATOR
CON
CLK

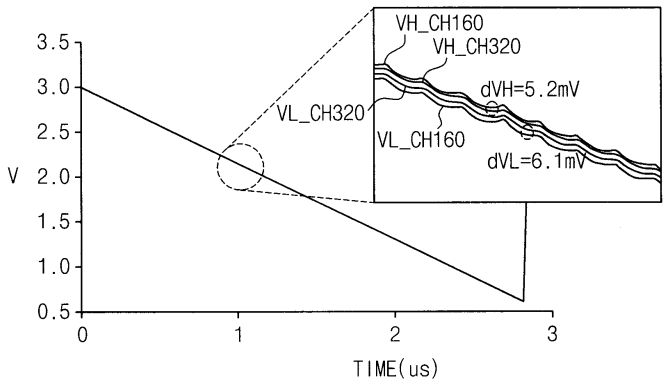
도면3


V
L1
L2
L3
L4
L5
L2n-1
L2n
V1
V2
V3
V7
V8
RSH
RSL
C1
C2
C3
C4
C2n-1
C2n
t
SON
t

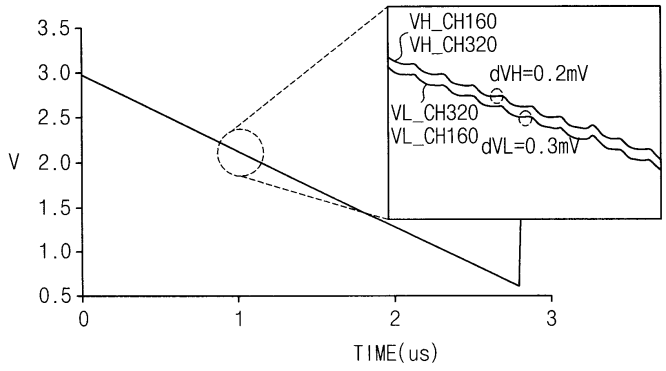
도면4


CH3
CH2
CH1
361-1
V1
V2
V3
351-1
VDD
T1
N1
T2
VSS
CSU1
DUT1
CSD1
VP
OUT
VN
323
MU
MD
CC0
CC1
321
BP3
BP2
BN2
BN3
322
IN2
IN2
VDD
BP1
IN1
IN1
BN1
VSS

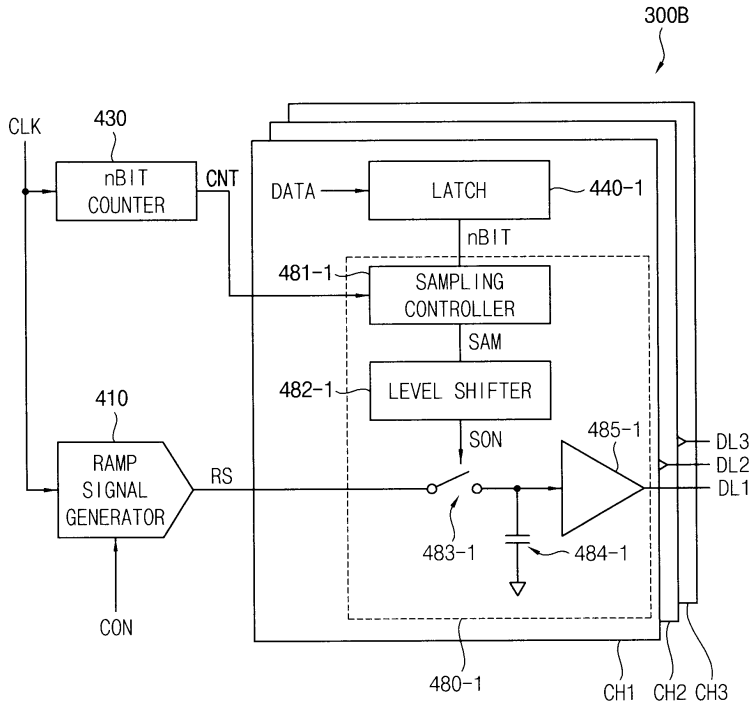
도면5a


VH_CH160
VH_CH320
dVH=5.2mV
VL_CH320
VL_CH160
dVL=6.1mV
V
3.5
3.0
2.5
2.0
1.5
1.0
0.5
0
1
2
3
TIME(us)

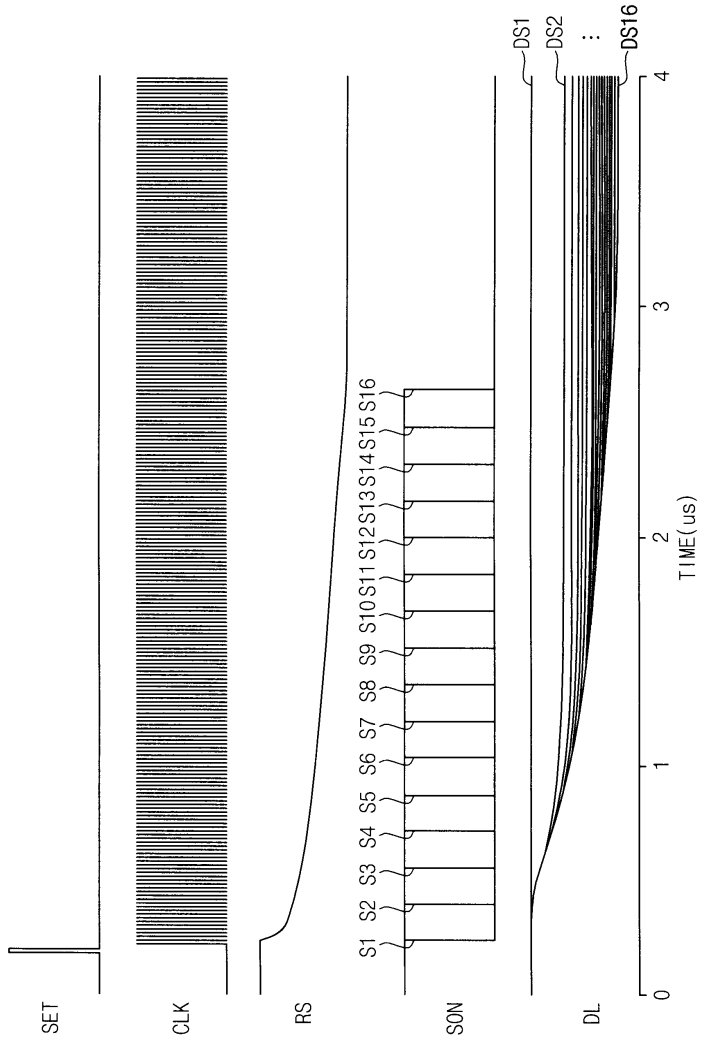
도면5b


3.5
3.0
2.5
V 2.0
1.5
1.0
0.5
0
1
2
3
TIME(us)
VH_CH160
VH_CH320
dVH=0.2mV
VL_CH320
VL_CH160
dVL=0.3mV

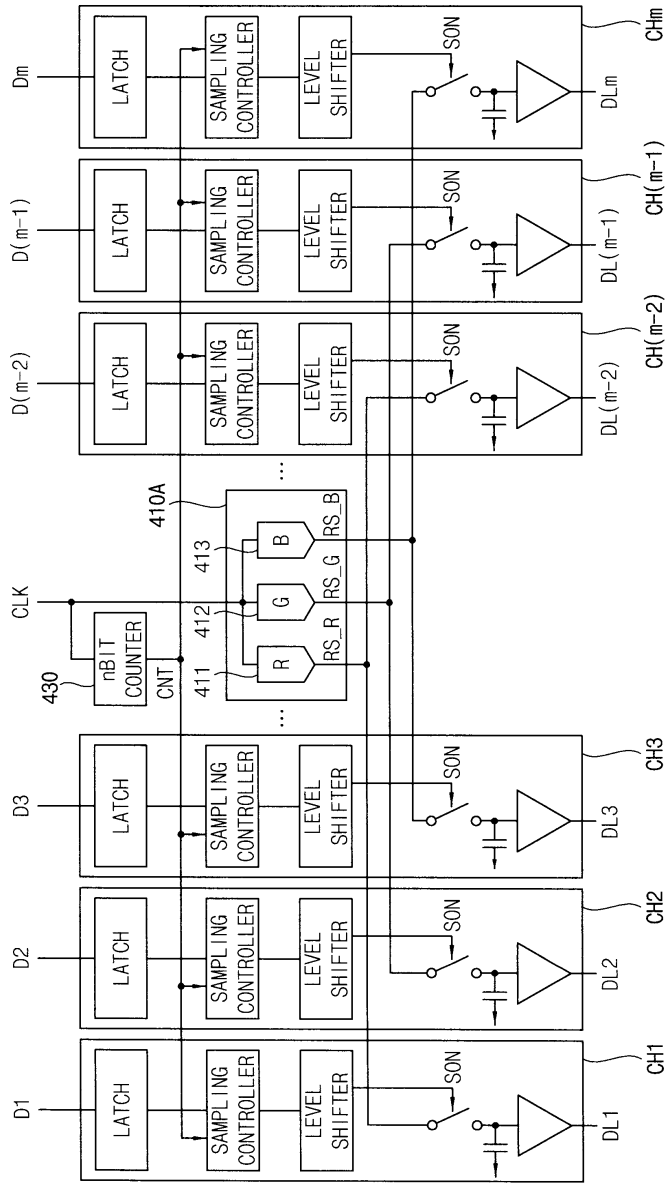
도면6


300B
CLK
430
nBIT
COUNTER
CNT
DATA
LATCH
440-1
nBIT
481-1
SAMPLING
CONTROLLER
SAM
482-1
LEVEL SHIFTER
SON
485-1
410
RAMP
SIGNAL
GENERATOR
RS
DL3
DL2
DL1
483-1
484-1
CON
480-1
CH1
CH2
CH3

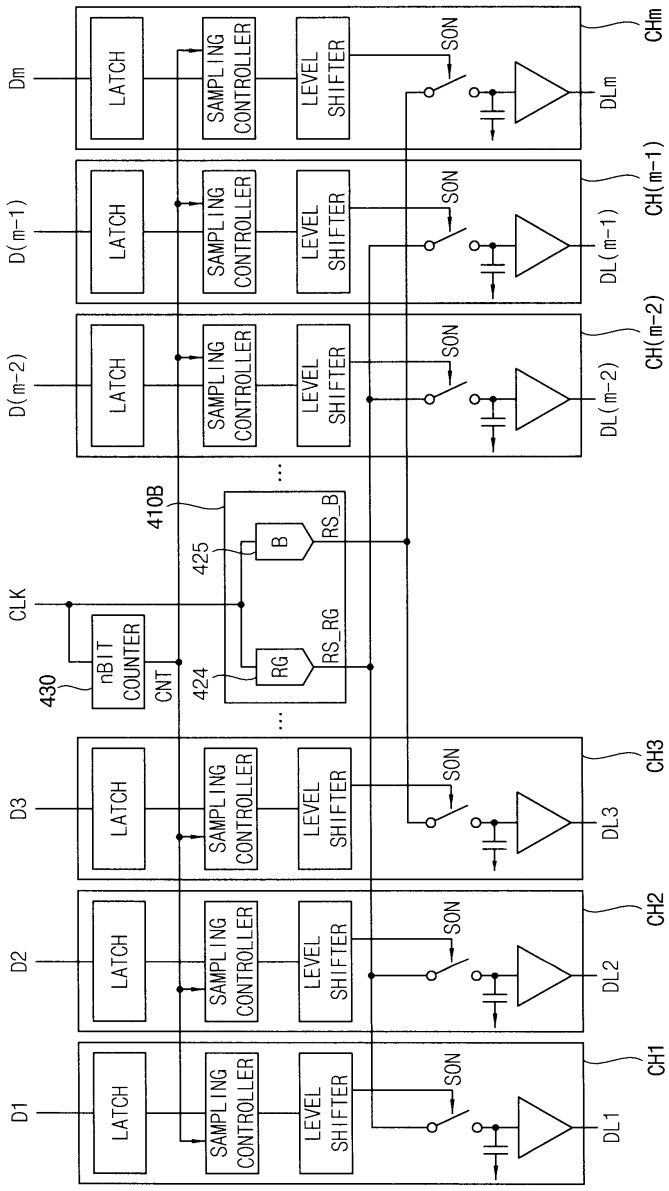
도면7


SET
CLK
RS
SON
DL
S1
S2
S3
S4
S5
S6
S7
S8
S9
S10
S11
S12
S13
S14
S15
S16
DS1
DS2
DS16
0
1
2
3
4
TIME(us)

도면8


Dm
D(m-1)
D(m-2)
D3
D2
D1
LATCH
SAMPLING CONTROLLER
LEVEL SHIFTER
SON
DLm
DL(m-1)
DL(m-2)
DL3
DL2
DL1
CHm
CH(m-1)
CH(m-2)
CH3
CH2
CH1
410A
413
412
411
R
G
B
RS_R
RS_G
RS_B
CLK
430
nBIT COUNTER
CNT

도면9


Dm
D(m-1)
D(m-2)
D3
D2
D1
LATCH
SAMPLING CONTROLLER
LEVEL SHIFTER
SON
DLm
DL(m-1)
DL(m-2)
DL3
DL2
DL1
CHm
CH(m-1)
CH(m-2)
CH3
CH2
CH1
410B
425
424
430
CLK
nBIT COUNTER
CNT
B
RG
RS_B
RS_RG