

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 15/00 (2006.01)

G11C 7/06 (2006.01)



[12] 发明专利说明书

专利号 ZL 00812692.5

[45] 授权公告日 2007 年 4 月 18 日

[11] 授权公告号 CN 1311474C

[22] 申请日 2000.7.12 [21] 申请号 00812692.5

[30] 优先权

[32] 1999.7.12 [33] CA [31] 2277717

[86] 国际申请 PCT/CA2000/000815 2000.7.12

[87] 国际公布 WO2001/004906 英 2001.1.18

[85] 进入国家阶段日期 2002.3.8

[73] 专利权人 莫塞德技术公司

地址 加拿大安大略省

[72] 发明人 A·阿梅德 V·L·莱恩斯

[56] 参考文献

US5726942A 1998.3.10

US5428565A 1995.6.27

US5446686A 1995.8.29

CN1220468A 1999.6.23

CN1214794A 1999.4.21

审查员 林松岭

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨凯梁永

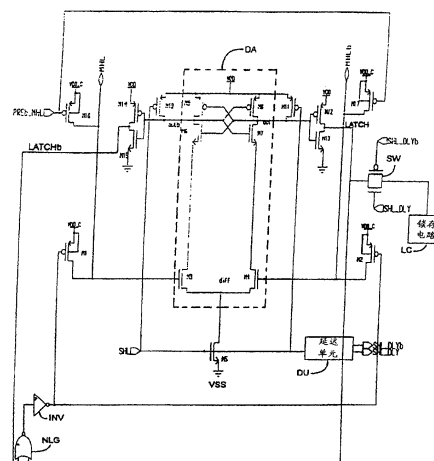
权利要求书 4 页 说明书 13 页 附图 9 页

[54] 发明名称

内容可寻址存储器中多重匹配检测的电路和方法

[57] 摘要

本发明在高密度内容可寻址存储器中检测查找数据与存储数据之间的多重匹配。从匹配线得到输入信号，使得所述输入信号开始从预定的预充电电平向由匹配情况的数目决定的放电电平放电。产生参考信号、使得它在同一时间从相同的预充电电平开始向参考电平放电，参考电平在与单匹配和双重匹配情况相对应的两个放电电平之间。此后不久激活锁存差分放大器以比较输入信号和参考信号，从而提供在匹配线上发生的是多重匹配、单匹配还是无匹配的指示，此后去激活所述放大器。所公开的电路具有检测相对较快和电流消耗低的特点。



1. 一种用于检测 m 条匹配线上的 n 个匹配情况的信号检测电路，它包括：

(a) 用于提供与读出节点和参考节点之间的电压电平差相对应的双相输出的差动放大器；

(b) m 个响应并联连接的 m 条匹配线中相应的一条的匹配线器件，它用于将所述读出节点的所述电压电平从预充电电平改变到与所述 n 个匹配情况相对应的电压电平；

(c) 将所述参考节点的电压电平从所述预充电电平改变到参考电平的参考装置；

藉此，所述参考装置包括并联连接的 m 个伪器件， m 个伪器件中的每一个具有与 m 个匹配线器件之一类似的电气特性，而且参考器件的规格在分别有 $n-1$ 和 n 个匹配线器件的第一和第二并联组合的规格之间。

2. 如权利要求 1 所述的信号检测电路，其特征在于：所述差动放大器提供一个与两个或两个以上导通状态的匹配线器件相对应的双相输出和与最多一个导通状态的匹配线器件相对应的另一个双相输出。

3. 如权利要求 1 所述的信号检测电路，其特征在于：激活装置在无效阶段和有效阶段之间切换所述差动放大器。

4. 如权利要求 3 所述的信号检测电路，其特征在于：所述激活装置包括仅在所述有效阶段激活所述差动放大器的电路。

5. 如权利要求 3 所述的信号检测电路，其特征在于：所述激活装置包括在所述无效阶段对所述双相输出预充电的电路。

6. 如权利要求 1 所述的信号检测电路，其特征在于：所述差动放大器包括用来提供所述双相输出的锁存电路。

7. 如权利要求 3 所述的信号检测电路，其特征在于：所述差动放大器在所述有效阶段中、当所述读出节点电压电平和所述参考节点电压电平之差超过可检测电平时提供所述双相输出。

8. 如权利要求 1 所述的信号检测电路，其特征在于：各个匹配线器件是漏极连接到所述读出节点、源极连接到地以及栅极连接到匹配线的

NMOS 晶体管。

9. 如权利要求 1 所述的信号检测电路, 其特征在于: 所述输入信号和参考信号在大致相同的时间从所述预充电电平开始变化。

10. 如权利要求 3 所述的信号检测电路, 其特征在于: 从所述输入信号和参考信号从所述预充电电平开始变化之时起、经过一段预定时间延迟之后, 所述有效阶段开始, 所述时间延迟足以使所述输入信号和参考信号之间建立可检测的差值。

11. 如权利要求 1 所述的信号检测电路, 其特征在于:

(i) 所述放电电平由所述匹配情况的数目决定, 以及

(ii) 所述参考电平在与 $n-1$ 个匹配情况相对应的所述放电电平和与 n 个匹配情况相对应的放电电平之间, 其中 n 是整数值;

12. 如权利要求 1 所述的信号检测电路, 其特征在于: $n=2$ 。

13. 如权利要求 1 所述的信号检测电路, 其特征在于: 所述参考器件通过允许信号被接通, 从而允许所述参考信号从所述预充电电平开始变化, 开始变化的时间大致与所述匹配线器件接收它们各自的匹配数据的时间相同。

14. 如权利要求 1 所述的信号检测电路, 其特征在于: 所述读出节点和所述参考节点通过一对箝位器件分别耦合到第一电源端子, 所述各个箝位器件具有彼此相似的电气特性以及足够大的规格, 使得在所述无效阶段能对所述读出节点和所述参考节点预充电, 并且防止所述读出节点和所述参考节点达到低于所述任何一个匹配线器件的阈值电压的电压电平。

15. 如权利要求 14 所述的信号检测电路, 其特征在于: 所述各个箝位器件的规格适合于使流经所述匹配线器件、所述伪器件和所述参考器件的电流限制得大大低于饱和和工作电流。

16. 如权利要求 15 所述的信号检测电路, 其特征在于: 当所述差动放大器在有效阶段切换到锁存状态时, 逻辑电路关掉所述的一对箝位电路。

17. 一种用于检测在内容可寻址存储器阵列内 m 条匹配线之中发生的 n 个匹配情况的多重性的信号检测电路, 其中 $2 < n < m$, 该电路包括:

(a) 具有接收时变输入信号的读出节点和接收时变参考信号的参考节

点的差动放大器;

(b)在无效阶段和有效阶段之间切换所述差动放大器的激活装置;

(c)在所述无效阶段将所述读出节点和所述输入节点预充电到预定的预充电电平的预充电装置;

(d)多个并联连接的匹配线器件,从所述 m 条匹配线得到所述输入信号,使得所述输入信号在所述无效阶段开始从所述预充电电平向由所述匹配情况的数目确定的放电电平改变;以及

(e)产生所述参考信号的参考装置,该参考信号在所述无效阶段开始从所述预充电电平向参考电平改变,而所述参考电平落在与 n 个和 $n-1$ 个匹配情况相对应的所述放电电平之间;

藉此,所述参考装置包括多个伪器件,每个都并联到所述参考节点,而且与多个匹配线器件之一相对应并具有与之相似的电气特性,以及参考器件的规格在分别有 $n-1$ 和 n 个匹配线器件的第一和第二并联组合的规格之间。

18. 如权利要求 17 所述的信号检测电路,其特征在于: $n=2$ 。

19. 如权利要求 17 所述的信号检测电路,其特征在于:所述差动放大器包括用来提供双相输出的锁存电路。

20. 如权利要求 19 所述的信号检测电路,其特征在于:所述差动放大器提供一个与两个或两个以上匹配情况相对应的双相输出,以及与最多一个匹配情况相对应的另一个双相输出。

21. 如权利要求 17 所述的信号检测电路,其特征在于:所述输入信号和参考信号在大致相同的时间从所述预充电电平开始变化。

22. 如权利要求 17 所述的信号检测电路,其特征在于:从所述输入和参考信号开始从所述预充电电平变化之时起、经过一段预定时间延迟之后,所述有效阶段开始,所述时间延迟要足以使所述输入和参考信号之间建立可检测的差值。

23. 一种检测在内容可寻址存储器阵列内的 m 条匹配线之中发生的 n 个匹配情况的多重性的方法,其中 $2 < n < m$,该方法包括如下步骤:

(a)将差动放大器切换到无效状态;

(b)对所述差动放大器的第一和第二输入节点预充电;

(c)在所述差动放大器处于无效状态时,通过选择性地接通参考器件、在所述第一输入节点上产生参考信号,使所述第一输入节点的电压电平开始从所述预充电电平向参考电平改变,所述参考电平落在与 n 个匹配情况相对应的放电电平和与 $n-1$ 个匹配情况相对应的放电电平之间;

(d)从 m 条匹配线上得到所述第二输入节点上的输入信号,使得所述输入信号开始从所述预充电电平向由所述匹配情况的数目决定的所述放电电平改变。

(e)将所述差动放大器切换到有效状态,将所述输入信号与所述参考信号进行比较以得到匹配情况的数目是小于 n 还是等于或大于 n 的指示。

24. 如权利要求 23 所述的检测方法,其特征在于: $n=2$ 。

25. 如权利要求 23 所述的检测方法,其特征在于:所述输入和参考信号在大致相同的时间从所述预充电电平开始变化。

26. 如权利要求 25 所述的检测方法,其特征在于:从所述输入信号和参考信号开始从所述预充电电平变化之时起、经过一段预定时间延迟之后,所述有效阶段开始,所述时间延迟要足以使所述输入和参考信号之间建立可检测的差值。

内容可寻址存储器中多重匹配检测的电路和方法

发明领域

本发明一般涉及半导体存储器件，更具体地说，本发明涉及在高密度内容可寻址存储器(CAM)系统中检测查找数据与所存储数据之间的多重匹配。

背景

在许多传统的存储系统、如随机存取存储器中，二进制数(比特)都存储在存储单元中，并且由处理器来访问，该处理器指定与给定单元相联系的线性地址。这种系统在某些限定之内提供了对存储系统的任何部分的快速访问。为了便于处理器控制，各个访问存储器的操作必须申明所需的一个/多个存储单元的地址，将其作为指令的一部分。随着存储量的增加，访问存储单元时所需的每条指令的比特数也增加了。这就降低了系统的效率。除此缺点之外，标准存储系统未就基于内容的查找作良好的设计。标准存储器中基于内容的查找需要在微处理器的控制下、基于软件的算法查找。这些查找既不够快，在利用处理器资源上也不够有效。

为了克服这些不足之处，已经开发了一种称为内容可寻址存储器(CAM)的相关存储系统。CAM 允许按单元的内容来访问各单元，所以，最初它应用于查找表实现、如高速缓冲存储子系统中，而现在又迅速应用于连网系统中。CAM 最有价值的特征是其以单操作执行查找和比较的能力。可以比较指定的用户数据和所存储的数据，并且通过使比较字寄存器的内容可以直接同时与给定的存储系统地址空间中所有的地址比较，能返回匹配和失配结果。

除了与大多数存储系统共有的存储单元的行和列之外，CAM 还

具有匹配线和匹配线检测电路(DTC)。DTC 是一种读出放大器,它对该行中各单元读出匹配线的逻辑状态的变化。DTC 在 CAM 查找和比较操作期间检测匹配或失配。尽管在许多早期应用中在匹配线上检测多重匹配不是关注的问题,但是目前引起极大的关注。区别匹配与失配电平是很简单的,即说明在匹配电平和失配电平之间的阈值电压或电流电平,并且确定匹配线电平在阈值哪一边。这在出现多重匹配的情况下就无法做到,因为它的作用仅仅是增加了电压或电流电平的衰减率。

在典型的 CAM 系统中,各种排列成行的存储单元都通过匹配线连接到检测电路(DTC)。与匹配线正交的是携带已加载的查找数据的查找线,已加载的查找数据将与 CAM 单元的列中存储的数据进行比较。一般,匹配线被预充电到匹配线预充电电压,比如 VDD。如果查找结果为匹配,即查找线上的查找数据与 CAM 单元中的存储数据匹配,则匹配线电压电平不变,即保持在其预充电状态 VDD。在失配的情况下,在各个匹配线和 VSS 之间通过 CAM 单元建立直流通路,而该匹配线上的电压电平开始下降。这个电压降则由各个 DTC 检测。因此,要检测失配,与各条匹配线相关的各 DTC 必须检测是否产生了作为查找和比较操作结果的不同电压电平。但是,最好确定所检测的匹配是来自于单行还是多行。

为了检测多重匹配、也称为命中,碰到的问题是,检测可能在某条线上产生的不同电压电平之一。授予 Matsuoka 等人的美国专利 5012448 描述了在多级只读存储器(ROM)单元中检测电压电平的方法。如图 1 所示,其中描述的方法和装置利用一对起小信号放大器作用的 CMOS 反相器和一个用作电流检测的 NMOS 器件。参考源和工作侧源都被馈入电流反射镜。尽管这种设计实现了预期的多级检测任务,但为此付出的却是增加的热耗散以及有限的输出电压摆幅。发热增加的直接原因是分立元件的高功耗,而且它是尝试缩小元件尺寸以使其占用较小电路面积的限制因素。

授予 Bosnyak 和 Santoro 的美国专利 5446686 描述了在 CAM 中检测多重地址匹配的方法和装置。所描述的装置,如图 2a、2b 和 2c 所示,使用了一对“hit”和“dhit”线,它们通过一对上拉 PMOS 晶体管连接到电源端子(VDD)。“hit”线上的一组 NMOS 器件 N0-N3 由于漏极端子和源极端子之间的电压总是比这些器件的栅-源(V_{gs})电压高一个阈值,因而在饱和区工作。相对于 NMOS 器件 N0-N3 中任何一个,在尺寸上、参考晶体管的宽度与长度之比是它们的 1.5 倍,从而提供 1.5 倍的饱和电流。参考晶体管 Nref 也在其饱和区内工作。Nref 器件的 V_{gs} 是用相当复杂的参考电路产生的,从而保证对温度和电压特性的适当补偿。此外,所描述的装置采用比较器来比较“hit”和“dhit”线上由于生成单一和多重匹配而产生的电流差。比较器是用双极型晶体管和电阻获得所需输出的两级面积集约元件。

这种应用的一个局限如下。为了使 NMOS 器件 N0-N3 和 Nref 在饱和区工作,将“hit”和“dhit”线连接到电源端子的上拉 PMOS 器件只能具有相对较低的电阻率,以便在检测期间器件 N0-N3 和 Nref 接通的时候,PMOS 器件上的电压降不明显。这种要求是为了保证漏-源沟道两端的电压没有太大变化。为实现这一点而付出的代价是,在整个操作期间,通过“hit”和“dhit”线有相对较高的电流消耗,这给高密度 CAM 中多重匹配检测的提出了限制。此外,为了使 Nref 在饱和区工作,需要相对复杂的补偿参考电路来确保对温度和电压波动的补偿,以便得到恒定参考电流。比较器本身很占面积,并且消耗恒定电流。所需的双极型器件又限制了在全部基于 CMOS 的动态随机存取存储器(DRAM)中的应用。

总之,对大容量存储系统日益增长的需求,以及有效利用这些系统而不仅仅是简单地连续访问的愿望都需要在理想实施例中把快速读出与低功耗结合的多级读出检测器。

发明概述

本发明的一个目的是提供一种读出放大器，在检测内容可寻址存储器(CAM)的多命中线上的不同电压电平时具有相对较高的效率。本发明的另一个目的是实现多重匹配检测，其中利用相对较低的功率和相对较小的电路面积检测多命中和非多(零或单)命中之间的差别。

所以，根据本发明的一个方面，提供一种装置，具体地说是一种信号检测电路。它包括具有读出节点和参考节点的差动放大器；在无效阶段和有效阶段之间切换差动放大器的激活装置；向读出节点提供输入信号的输入装置，该输入信号被允许在所述无效阶段开始从预定的预充电电平向放电电平改变；以及向参考节点提供参考信号的参考装置，该参考信号在所述无效阶段开始从所述预充电电平向预定的参考电平改变；藉此，在有效阶段当输入信号和参考信号之差超过可检测电平时，差动放大器提供与放电电平和参考电平之差相对应的双相输出。

根据本发明的一个实施例，差动放大器包括提供双相输出的锁存电路。输入信号和参考信号最好在大致相同的时间从预充电电平开始变化，而在输入信号和参考信号从预充电电平开始变化之时起、经过预定的时间延迟之后，有效阶段才开始。所述时间延迟足够允许在输入信号和参考信号之间建立可检测电平差。

所述信号检测电路可用于在高密度内容可寻址存储器中检测 m 条匹配线上的 n 个匹配情况的多重性，在这里 $2 \leq n < m$ ，其中输入信号是从匹配线得到的。为了实现这一点，输入装置耦合到 m 条匹配线上，使得放电电平由匹配情况的数目决定，而参考电平则处在与 $n - 1$ 个匹配情况相当的放电电平和与 n 个匹配情况相当的放电电平之间。在一种晶体管电路实施例中，输入装置包括 m 个相似规格的与读出节点并联的匹配线器件，其中各个匹配线器件负责 m 条匹配线中相应的一条；参考装置包括一个参考器件和 m 个并联到参考节点的伪器件，其中各个伪器件对应于 m 个匹配线器件中的一个，并有

与其基本相似的电气特性，而且参考器件的规格在 $n-1$ 和 n 个匹配线器件的第一和第二并联组合之间。在实际 CAM 的实现形式中， $n=2$ 。参考器件通过允许信号被接通，从而允许参考信号从预充电电平开始变化，开始变化的时间大致与匹配线器件接收它们各自的匹配数据的时间相同。读出节点和参考节点通过一对箝位器件分别耦合到第一电源端子，所述一对箝位器件具有彼此基本相似的电气特性以及足够大的规格，以便在无效阶段对读出节点和参考节点预充电，并防止读出节点和参考节点达到低于任何一个匹配线器件的阈值电压的电压电平。各个箝位器件的规格最好能适合限制流经匹配线器件、伪器件和参考器件的电流，使其大大低于饱和电流。

本发明的另一个实施例还包括一种逻辑电路，它在有效阶段在差动放大器切换到锁存状态时用来关闭那对箝位电路。激活装置最好包括仅在有效阶段激活差动放大器的电路。

根据本发明的另一方面，提供一种装置、具体地说是用于检测 CAM 阵列内的 m 条匹配线之中发生的 n 个匹配情况的多重性的信号检测电路，其中 $2 \leq n < m$ 。它包括：具有用于接收时变输入信号的读出节点和用于接收时变参考信号的参考节点的差动放大器；在无效阶段和有效阶段之间切换差动放大器的激活装置；在无效阶段将读出节点和输入节点预充电到预定的预充电电平的预充电装置；从 m 条匹配线得到输入信号的输入装置、这样所述输入信号在无效阶段开始从预充电电平向由匹配情况的数目确定的放电电平改变；以及产生参考信号的参考装置，该参考信号在无效阶段开始从预充电电平向参考电平改变，该参考电平在与 n 个和 $n-1$ 个匹配情况相对应的放电电平之间，其中，差动放大器在有效阶段将输入信号与参考信号进行比较并提供表示匹配情况的数目是小于 n 还是等于或大于 n 的相应的双相输出。

根据本发明的再一个方面，提供一种检测 CAM 阵列中的 m 条匹配线之中出现的 n 个匹配情况的多重性的方法，其中 $2 \leq n < m$ 。所

述方法的步骤包括：提供差动放大器；将所述差动放大器切换到无效状态；从 m 条匹配线得到输入信号、使得所述输入信号开始从预定的预充电电平向由匹配情况的数量决定的放电电平改变；产生开始从预充电电平向参考电平改变的参考信号，所述参考电平落与 n 个匹配情况相对应的放电电平和与 $n-1$ 个匹配情况相对应的放电电平之间；以及将差动放大器切换到有效状态，将输入信号与参考信号进行比较，得到关于匹配情况的数量是小于 n 还是等于或大于 n 的指示。

本发明避免了驱动多命中线和参考线的器件在饱和方式下工作的传统要求，因此使整个电路的功耗减到最小。

差动放大器检测多命中线和参考线上的电压之差，这一点与现有技术的电流检测方法相反。因此电路消耗相对来说可忽略的电流，同时它不需要像现有技术的解决方案中那样的用于提升要检测的信号电平的额外提升级。

附图说明

现在参考附图进一步描述本发明的示范实施例，其中用相同的参考标号标注整个图中相似的部分，其中：

图 1 示出用于多级读出的传统读出放大器；

图 2a、2b 和 2c 示出在 CAM 中检测多个地址匹配的先有技术装置；

图 3 是表示被读出的多命中线和参考多命中线的结构的示意图，作为本发明的实施例的一部分；

图 4 是表示与图 3 所示结构一起使用的差动放大器和相关电路的示意图，作为本发明的第一实施例；

图 5 是表示与图 3 所示结构一起使用的差动应用和相关电路的示意图，作为本发明的第二实施例；

图 6 是由第一实施例执行的多重匹配检测操作的时序图；

图 7 是由第二实施例执行的多重匹配检测操作的时序图；以及
图 8a、8b 和 8c 是表示在第二实施例中多命中、单命中和无命中
中的三种情况的时序图；

发明的详细描述

图 3 说明多命中线 MHL 和参考线 MHLb 的结构，作为本发明的一个实施例的一部分。多命中线 MHL 通过全部具有相似尺寸和工作特性的 NMOS 匹配线器件 MD1 - MD128 耦合到并联的若干(本实施例中为 128)匹配线 ML1 - ML128 上。这些匹配线器件 MD1 - MD128 中的每一个都被这样设置，使得其源级连接到 VSS，漏级连接到 MHL，栅极则连接到各个匹配线，从而使 MHL 的电压电平可由匹配线器件 MD1 - MD128 提供的多条下拉通路控制。用于 CAM 单元阵列的匹配线器件的数量等于该阵列中 CAM 单元的行数，在本实施例中为 128。同时各个匹配线又连接到 CAM 单元的某一行，从而利用匹配线报告命中(匹配)和未命中(或失配)的发生。

在上述结构中，匹配线 ML1 - ML128 中的每一个都携带有关它所在行中各单元的匹配或失配信息。在所选中行中，查找数据和在 CAM 单元中存储的数据之间失配的情况下，相应的匹配线被相应的匹配线读出放大器(未示出)从预充电状态的 VDD(高)下拉到 VSS(低)，而查找和存储数据间匹配将使得匹配线保持在预充电的 VDD 电平。只要至少一个匹配线是在高电平，MHL 就会通过至少一个匹配线器件放电到 VSS。若有多于一个匹配线报告命中(即保持在 VDD)，则会导致 MHL 更快地放电到 VSS。在没有匹配线报告命中的情况下，MHL 保持在 VDD，因为所有的匹配线都为低电平，没有一个匹配线器件被接通。本实施例的目的是将多命中情况与非多命中、即在 MHL 上只有一个或没有匹配发生的情况区别开。

本实施例使用的第二条线是标为 MHLb 的参考线。参考线上具有的 NMOS 伪器件 DD1 - DD128 的数量等于匹配线器件 MD1 -

MD128 的数量(在本实施例中为 128),除了栅极连接到 VSS 线而不是实际的匹配线 ML1-ML128 之外,它们的连接也是相似的并联方式,因此每个伪器件都模拟失配情况。为此,这样选择伪器件 DD1-DD128,以便与匹配线器件 MD1-MD128 具有相似的电气特性,由此在 MHLb 上提供与 MHL 上相同的寄生电容和电阻性负载,从而减少噪声。因此,任何电压或温度变化都将同等地影响 MHL 和 MHLb 线,而没有必要利用参考发生器或类似电路解决电压和温度补偿问题。另外,在 MHLb 上有一个 NMOS 参考器件 RD,它的沟道宽度在匹配线器件 MD1-MD128 中任何一个的沟道宽度的 1 到 2 倍之间(在本实施例中为 3/2)。这个参考器件 RD 的栅极连接到匹配线读出允许信号 MLSEN,该信号也会激活匹配线读出放大器(未示出),各个匹配线读出放大器读出并锁存其相应的匹配线上的相关匹配线数据。在 MLSEN 被驱动到 VDD 后的很短时间内,在匹配线 ML1-ML128 上建立匹配数据。接着,在匹配的情况下,匹配线器件 MD1-MD128 的栅极之一被驱动到 VDD,这个时间大致和 MLSEN 将参考器件 RD 的栅极拉至 VDD 的时间相同。定时信号 MLSEN 用来确保 MHL 和 MHLb 几乎同时开始改变它们的电压。这使流经 MHL 和 MHLb 的电流得到控制和限制,这一点与连续使用恒定电流的现有技术解决方案不同。

在这个第一实施例中,MHL 和 MHLb 都被利用两个如图 4 中 M1 和 M2 所示的 PMOS 电压箝位器件箝制在 VDD。对于单命中,在短暂的稳定时间之后,MHL 将被匹配线下拉,所述匹配线将命中表示为比 MHLb 稍高的电压电平。这是由于表示单命中的匹配线器件会与箝位器件 M1 同时接通、从而建立分压器的事实。由于参考器件 RD 的宽度是任何一个匹配线器件 MD1-MD128 宽度的 3/2 倍,因此 MHLb 将被拉至低于 MHL。在两个或两个以上命中(匹配)的情况下,由于栅极在 VDD 的那些匹配线器件的组合宽度大于参考器件 RD 的宽度,因此 MHL 在短暂的稳定时间之后将达到低于 MHLb 的

电压电平。在阵列中没有匹配的情况下，所有匹配线器件 MD1 - MD128 的栅极都在 VSS，因此 MHL 将停留在预充电电平而 MHLb 则被拉到较低的电压。

图 4 表示与图 3 所示结构一起使用的差动放大器 DA 和相关电路，作为本发明的第一实施例。如以上所指出的，PMOS 箝位器件 M1 和 M2 都被用于将 MHL 和 MHLb 箝制在 VDD。M1 和 M2 的栅极被连接到 VSS，这样一旦 MHL 和 MHLb 上的电压电平降低到低于 $VDD - V_{tp}$ (PMOS 器件的阈值电压)，这两个器件就会迅速地导通。M1 和 M2 的源极被连接到 VDD，M1 的漏极端子被连接到 MHL 而 M2 的漏极被连接到 MHLb。这样选择 M1 和 M2 的规格，以便提供足够的电流将 MHL 和 MHLb 箝位在 VDD，但是 M1 和 M2 的规格又要使 MHL 和 MHLb 不能达到低于 V_{tn} 的电压电平， V_{tn} 是作为差动放大器 DA 的一部分的 NMOS 第一和第二读出器件 M3 和 M4 的阈值电压。利用这种配置，一个 PMOS 器件(M1 或 M2)和至少一个 NMOS 器件(MD1 - MD128 或 RD、DD1 - DD128)的各个组合提供了产生 MHL 和 MHLb 上各个电压电平的电阻性分压器，这些电压电平由差动放大器 DA 检测。为了实现这个分压器的配置，PMOS 器件相对较小，从而减少其间流过的电流。晶体管 M1 的规格(沟道宽度)与图 3 所示任一个匹配线器件 MD1 - MD128 的比率，决定在匹配发生时 MHL 将被放电至的电压电平。同样的，晶体管 M2 和 RD 的规格比决定了 RD 被接通时 MHLb 会达到的电压电平。这些比率一般对温度变化不敏感，因此不再需要进行温度补偿的特殊措施。

四个锁存晶体管器件 M6 - M9 的锁存电路和一对读出器件 M3 和 M4 构成了读出 MHL 和 MHLb 之间产生的电平差的锁存差动放大器 DA。在无效阶段和有效阶段之间切换差动放大器 DA 的激活电路是由三个激活晶体管器件 M5、M10 和 M11 构成的，它们的栅极都被连接到激活信号 SHL。无效阶段即是 SHL 为低电平，同时 MHL 和 MHLb 被预充电到 VDD 的阶段，而有效阶段则是 SHL 为高电平，

同时 MHL 和 MHLb 被读出的阶段。在 MLSEN 转为高电平后，经过特定时间延迟，SHL 转为高电平，这段特定时间延迟要足够允许 MHL 和 MHLb 之间的电压差达到差动放大器 DA 可检测的电平。这是为了避免 DA 响应在 MHL 和 MHLb 都向着它们各自的目标电平放电时出现的假(噪声)电压。应当指出，即使在有效阶段，作为锁存类型的差动放大器 DA 也只在锁存电路 M6 - M9 的切换期间流过电流，而且由于 CMOS 锁存电路 M6 - M9 中的正反馈连接，这种切换发生得非常之快。

图 4 的电路也包括附加的由 LATCH 信号经过开关 SW 驱动的传统输出锁存电路 LC，延迟单元 DU 响应 SHL 信号而控制这个开关 SW 的接通和断开。延迟单元提供两个控制信号 SHL_DLY 和 SHL_DLYb，作为 SHL 经时间延迟后的变型。当 SHL 变为低电压电平时，通过开关 SW 到锁存电路 LC 的通路被禁止，而高电压电平 MSHL 激活锁存电路。

图 6 说明由组合了图 3 和 4 的电路的第一实施例执行的检测操作的相关时序。在 SHL 为 VSS 的无效阶段，差动放大器的第一和第二输出节点 out 和 outb 都分别通过 M10 和 M11 预充电到 VDD。在 MHL 和 MHLb 都已经达到由匹配线 ML1 - ML128 上的匹配数据决定的各自的电压电平，从而保证足够的差动读出余量的时候，SHL 被拉到 VDD 以将差动放大器 DA 切换到有效阶段。在这个预定延迟之后，SHL 变为 VDD 而 M5 因为栅极被拉到 VDD 而接通。在多命中的情况下，MHL 稳定在低于 MHLb 的电压上，而由 MHL 驱动的第一读出器件 M3 在由 MHLb 驱动的第二读出器件 M4 被充分导通的时候被略微导通。这使得串联连接的 M4 和 M7 中流过较高开关电流，而同样串联连接的 M3 和 M6 中流过较低电流。因为在四个锁存晶体管 M6 - M9 之间有正反馈，两个通路中所得到的差动电流快速地切换、即翻转锁存电路。因此，第一输出节点 out 被拉低到 VSS 而第二输出节点 outb 仍保持在高电位。两对输出缓冲晶体管器件

M12、M13 和 M14、M15 分别在第一和第二输出节点 out 和 outb 之间提供第一和第二反相缓冲器 BUF1 和 BUF2，并分别产生用于后续信号处理的第一和第二输出信号 LATCH 和 LATCHb。在单匹配或无匹配的情况下，MHL 比 MHLb 的电压电平高，使得第一读出晶体管 M3 的导通程度比第二读出晶体管 M4 更深。随着第二输出节点 outb 被拉低到 VSS 而第一输出节点 out 保持在高电位，以相反的方式产生差动电流。第一输出节点 out 驱动第一反相缓冲器 BUF1 提供第一输出信号 LATCH，其中存有关于后续处理的信息。应该指出，激活信号 SHL 只在它携带所读出数据来驱动锁存电路 M6 - M9(有效阶段)时间段内才保持在 VDD。由于第一输出节点 out 在相对较短的时间内提供关于多命中的信息，因此流经 M1 和 M2 的电流消耗也只在相对较短的时间内发生。这一点在表示多命中检测操作时序的图 6 中有清楚的表示。因此，流经差动放大器 DA 的电流只在锁存电路 M6 - M9 的切换期间才出现。

图 5 示出与图 3 所示结构一起使用的差动放大器和相关电路，作为本发明的第二实施例，其中除了箝位器件 M1 和 M2，还分别提供了分在两边的第一和第二 PMOS 预充电器件 M16 和 M17。包括 M3、M4 和 M6 - M9 的差动放大器电路与图 4 所示的电路相同。第一和第二实施例的另一个不同之处在于，所述那对电压箝位器件 M1 和 M2 各自的栅极是由反相器 INT 的输出控制的，而 INT 的输入极是由 NOR(“或非”)逻辑门 NLG 的输出驱动的。NLG 的第一输入端连接到由第一对缓冲器件 M12 和 M13 构成的第一反相缓冲器 BUF1 所提供的第一输出信号 LATCH，而 NLG 的第二输入端连接到由第二对缓冲器件 M14 和 M15 构成的第二反相缓冲器 BUF2 所提供的第二输出信号 LATCHb。一旦差动放大器 DA 锁存了数据并从它的预充电状态切换过来，电压箝位器件 M1 和 M2 的栅极的这种连接就提供自定时而关闭 M1 和 M2。这样可以进一步减少功耗，因为 M1 和 M2 只在读出期间非常有限的时间内导通。

与图 4 所示的第一实施例电路的另一个不同之处在于：不是利用箝位器件 M1 和 M2 对 MHL 和 MHLb 预充电，而是利用 PREb-MHL 信号用预充电器件 M16 和 M17 对 MHL 和 MHLb 线预充电。所以，在图 5 所示的这个第二实施例中，电压箝位器件 M1 和 M2 仅仅被用于提供 MHL 和 MHLb 上的逻辑电平，而不像第一实施例中被用于预充电。如果 M1 和 M2 像第一实施例那样都被用于预充电，那么通过任一 PMOS 晶体管对 MHL 和 MHLb 预充电所需要的瞬态电流将大于在这两条线上产生电压电平所需的电流，因为在第二实施例中，M1 和 M2 可以是最小规格的晶体管。所以，如果 M1 和 M2 被用于执行预充电，它们所需要的较大器件规格在有效阶段在 MHL 和 MHLb 上产生电压电平时将导致较高的直流电流功耗。为了解决这个较高功耗的问题，图 5 的第二实施例用预充电晶体管 M16 和 M17 更有效地执行预充电。

图 7 说明由组合了图 3 和 5 的电路的第二实施例执行的多命中情况下的检测操作。如图所示，一旦差动放大器 DA 检测到 MHL 和 MHLb 之差，两条线都开始利用反馈电路从两个放大器输出 out 和 outb 通过逻辑门 NLG 和反相器 INT 向 VSS 放电。

图 8a、8b 和 8c 说明上面描述了的图 5 所示第二实施例中电路的查找和比较操作的三种可能结果。图 8a 说明在 CAM 某行中的查找数据和存储数据之间进行查找和比较操作、得到多于一个命中(或匹配)的多命中情况。注意，在一段短的时间以后，MHL 的电压电平降到大大低于 MHLb 的电平，如前面所述的，这是由于来自 ML1 - ML128(如图 3 所示)的多个匹配线器件的组合下拉动作被同时启动。这些对应于多命中的匹配线器件具有大于参考器件 RD 的宽度的组合宽度，因此将 MHL 拉低到低于 MHLb 的电压电平。对 MHL 和 MHLb 之间电压差的检测在两条线上由读出器件 M3 和 M4 读出的电压相差足够大的时候发生。其后不久，第二输出节点 outb 如上所述从差动放大器得到相应的信号，MHL 和 MHLb 都被放电到 VSS，然后 MHL

和 MHLb 又一次被预充电，以准备在下一个有效阶段的下一次读出操作。类似地，图 8b 给出了单命中的情况。注意其结果与图 8a 所示相反，其中 MHLb 被拉至低于 MHL 的电压电平，这是由于在其相关匹配线上经历命中的单匹配线晶体管的宽度小于参考晶体管 RD 的宽度。最后，图 8c 给出无命中的情况。这里 MHL 保持在其预充电状态，因为没有图 3 的匹配线器件导通。

本领域的技术人员应该理解，为了在单命中和无命中之间进行检测，存在一组单命中读出线 HIT_1 到 HIT_128(未示出)，类似于 MHL_1 到 MHL_128, 只是没有读出放大器比较。线 HIT_1 到 HIT_128 检测是否存在至少一个匹配。接着执行简单逻辑来处理来自单命中线和多命中线 MHL 的输出，从而确定是否出现一个、多个命中或无命中。

利用附加逻辑电路，四个阵列中每一个的 HIT_128b 线的输出也可以被组合以表示多重匹配。举个例子，如果在一个阵列中有一个单命中，另一个阵列中也有单命中，在各个阵列中的各个 HIT_128b 线会被断定，但相应的 MHL_128 线不会被断定。简单二进制逻辑电路可以确定实际存在多命中。

当然，只要不背离在权利要求书中定义的本发明的精神和范围，对上述本发明的具体实施例可以作大量变形和修改。尽管上述实施例特别涉及到需要多命中检测的高密度 CAM 阵列，但是本发明也适用于检测具有无预设参考的时变电压电平的数据线。

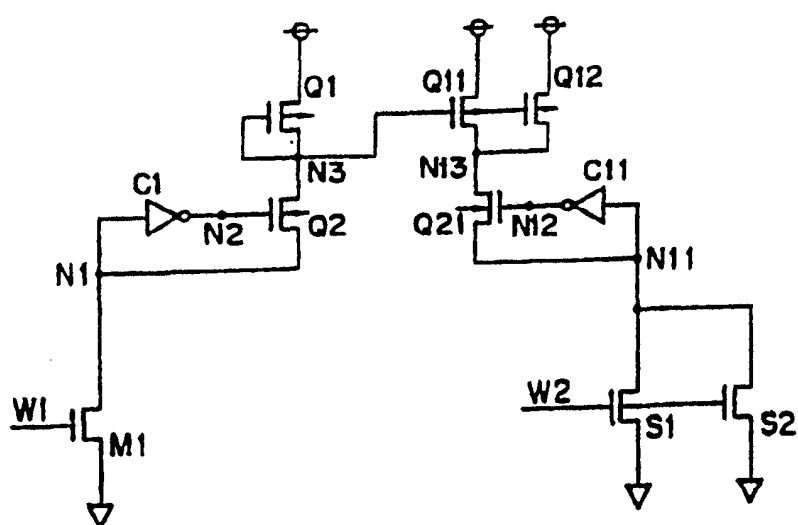


图 1 (先有技术)

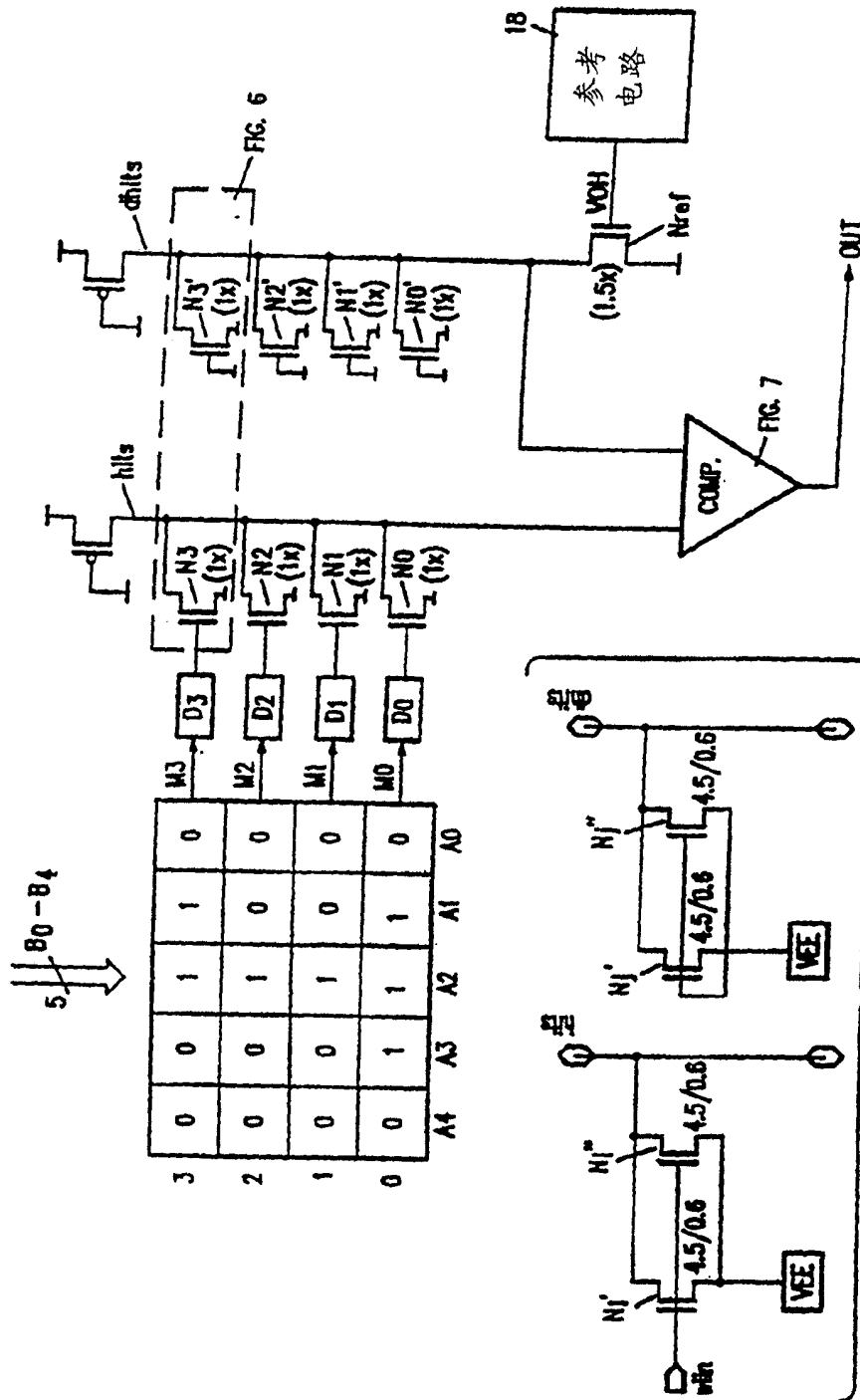


图 2a (现有技术)

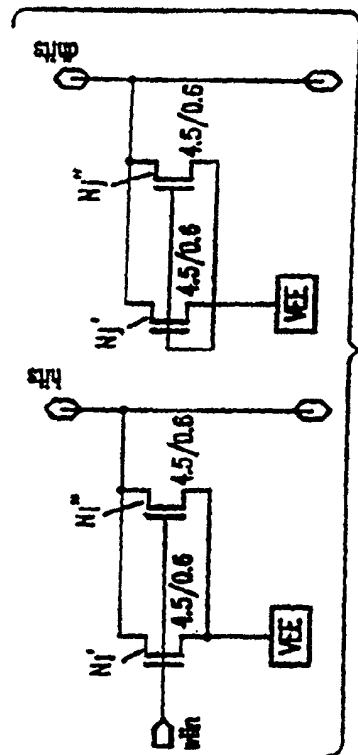


图 2b (现有技术)

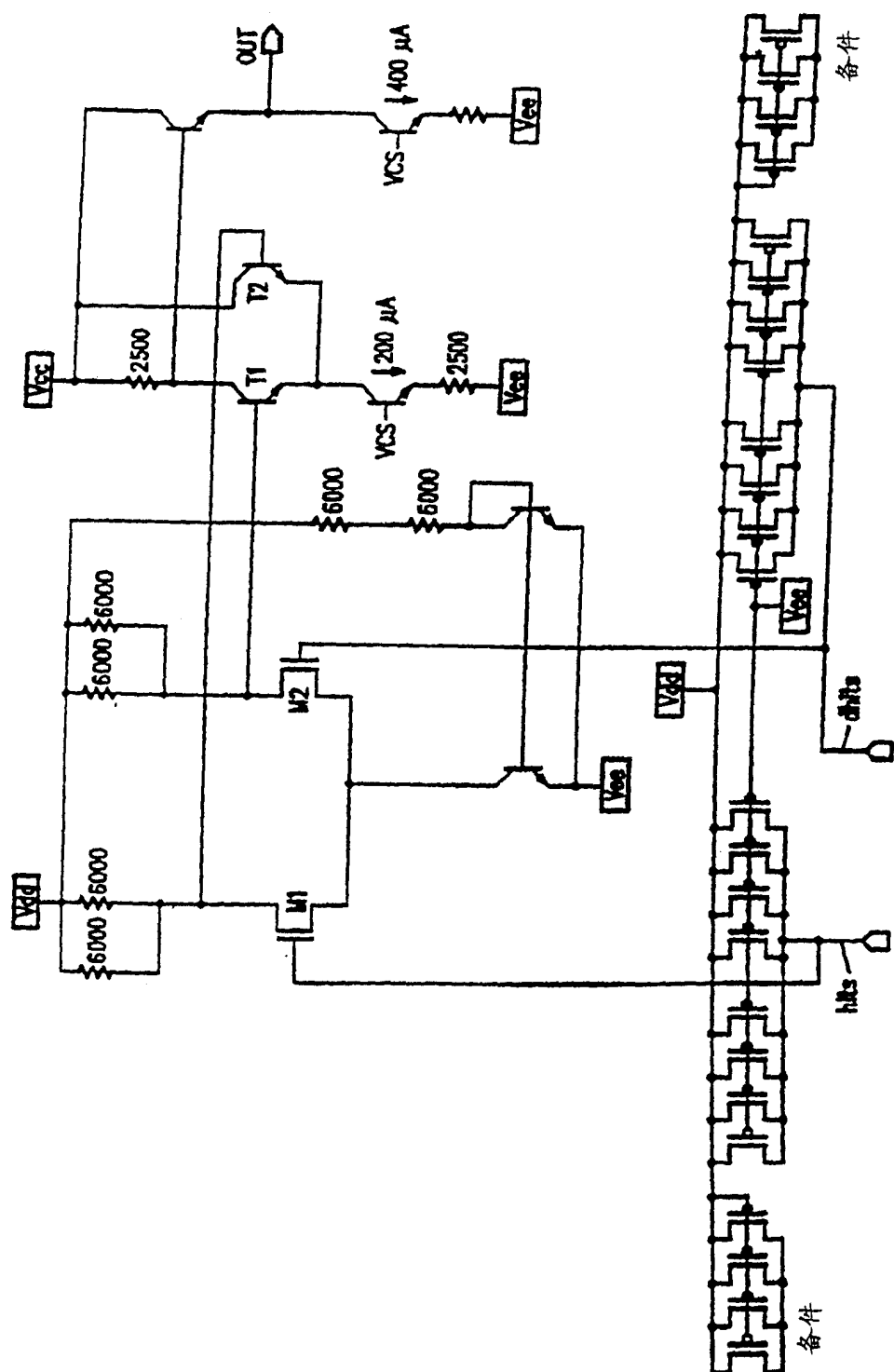


图 2c(现有技术)

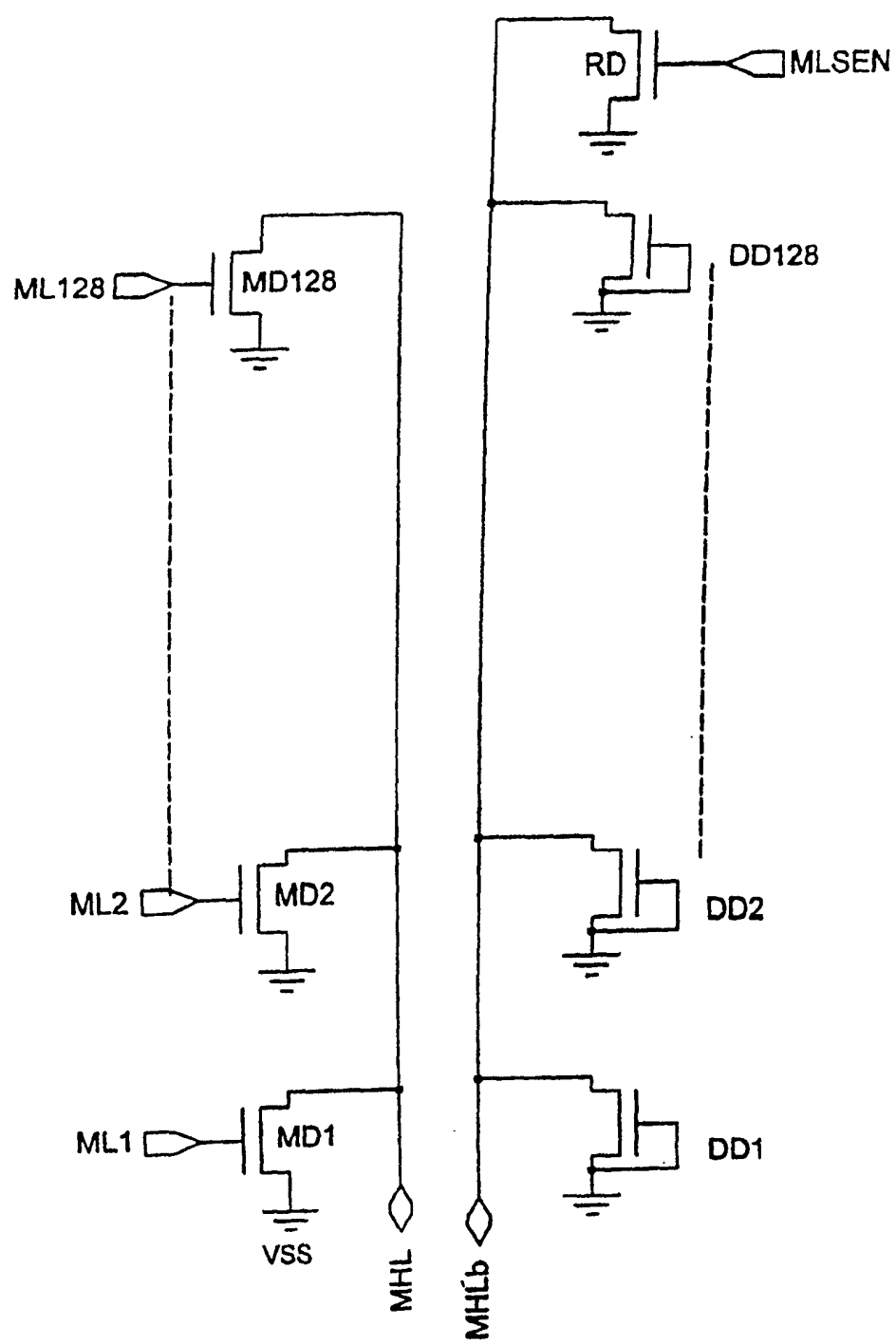


图 3

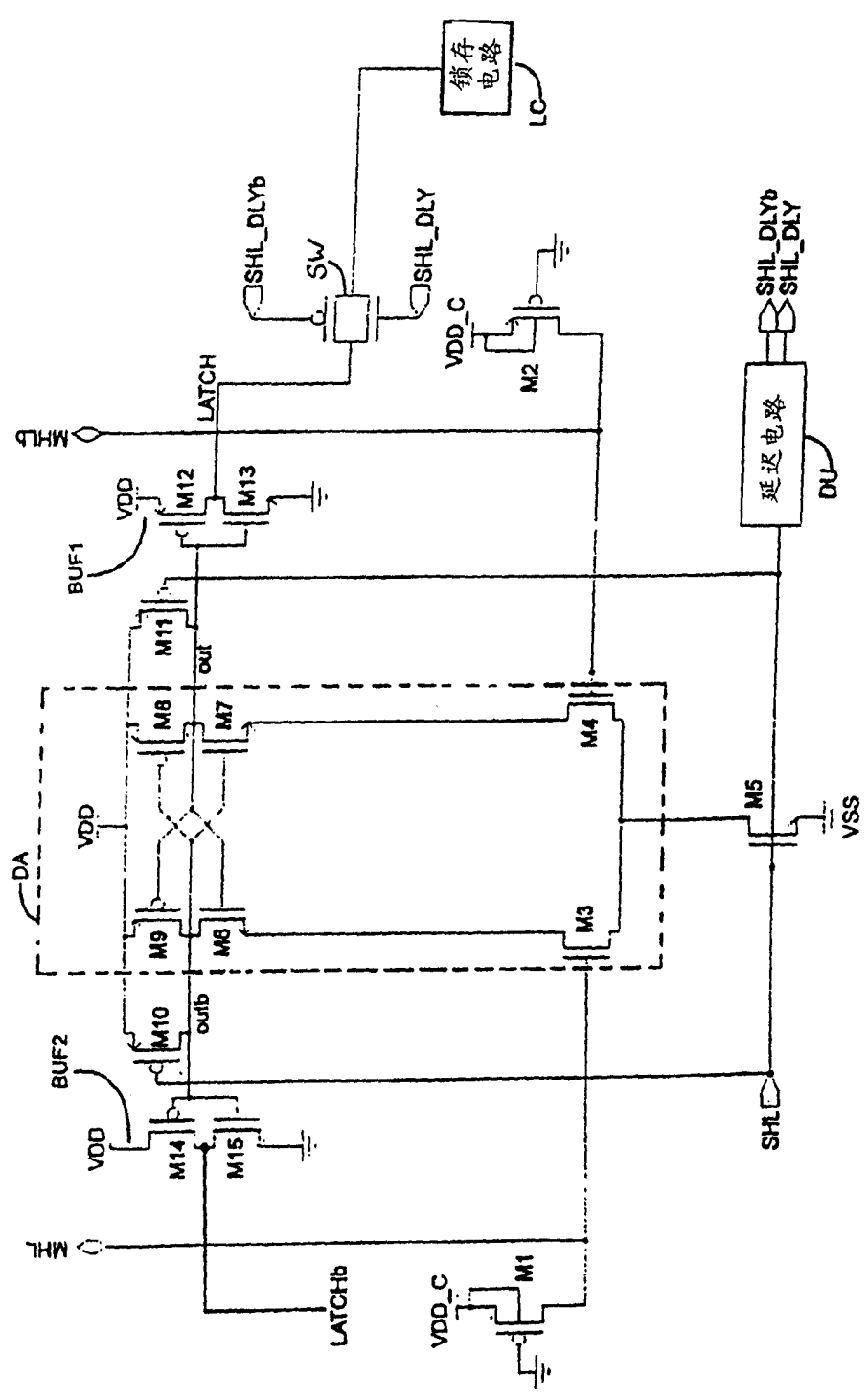


图 4

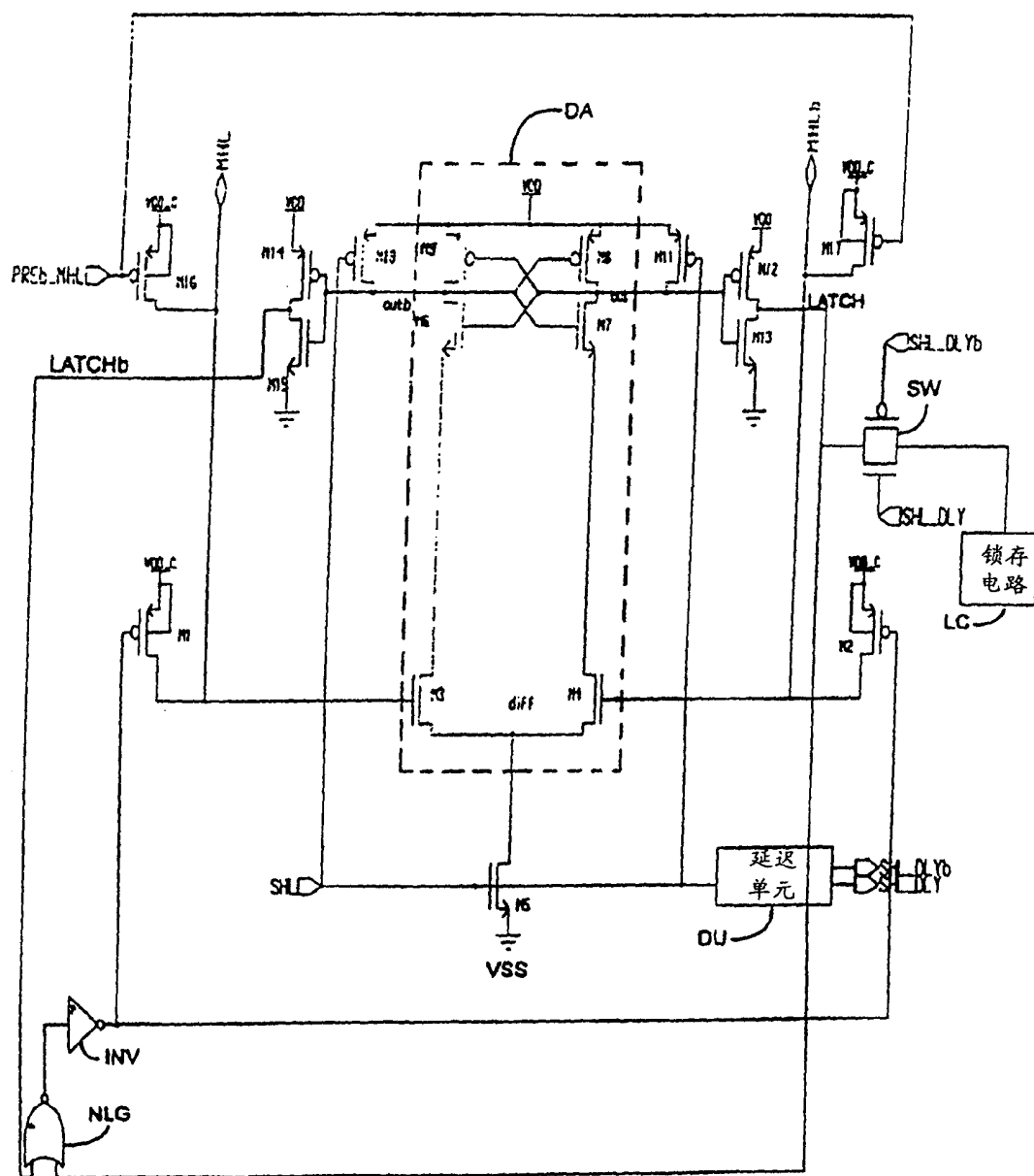


图 5

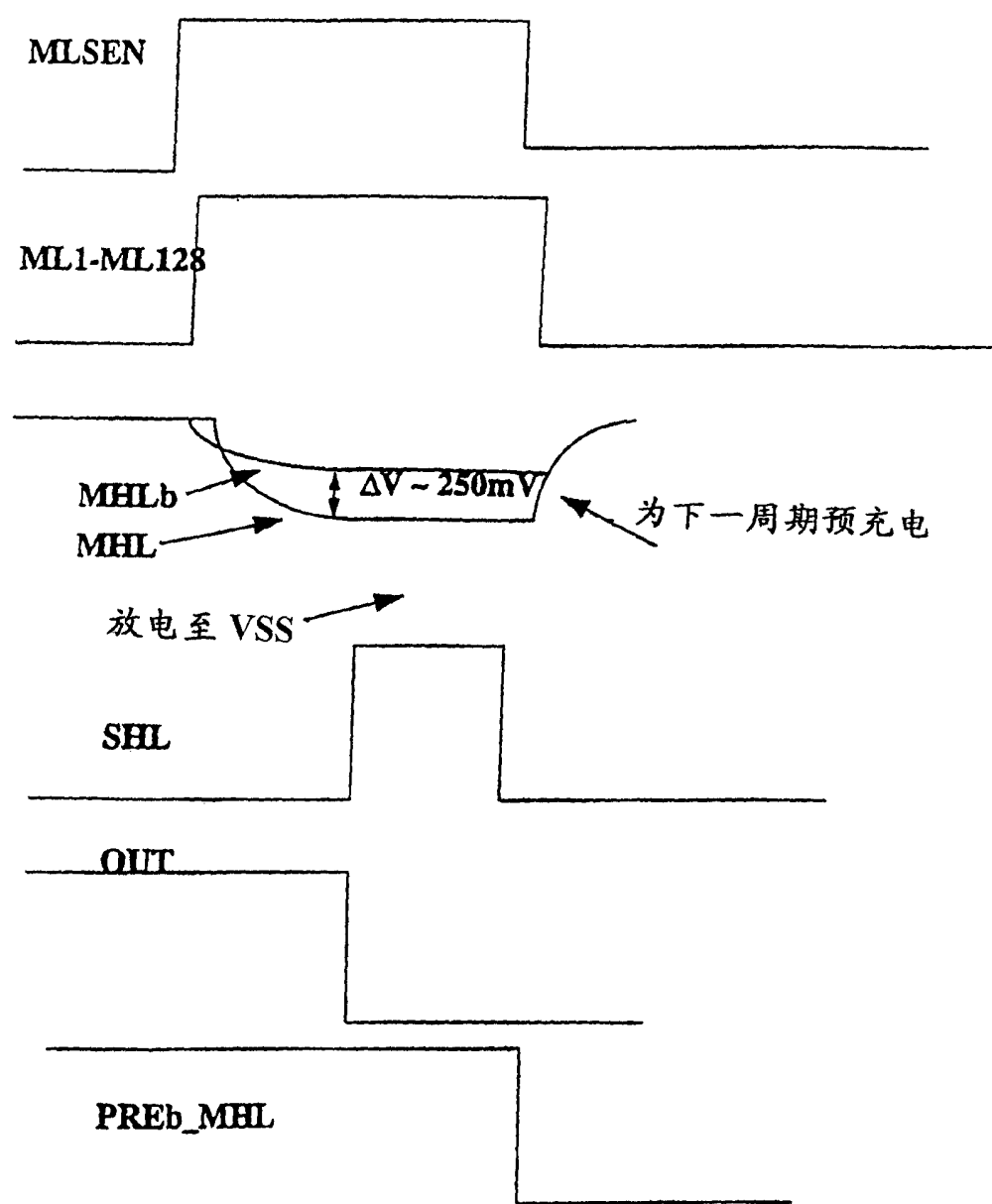


图 6

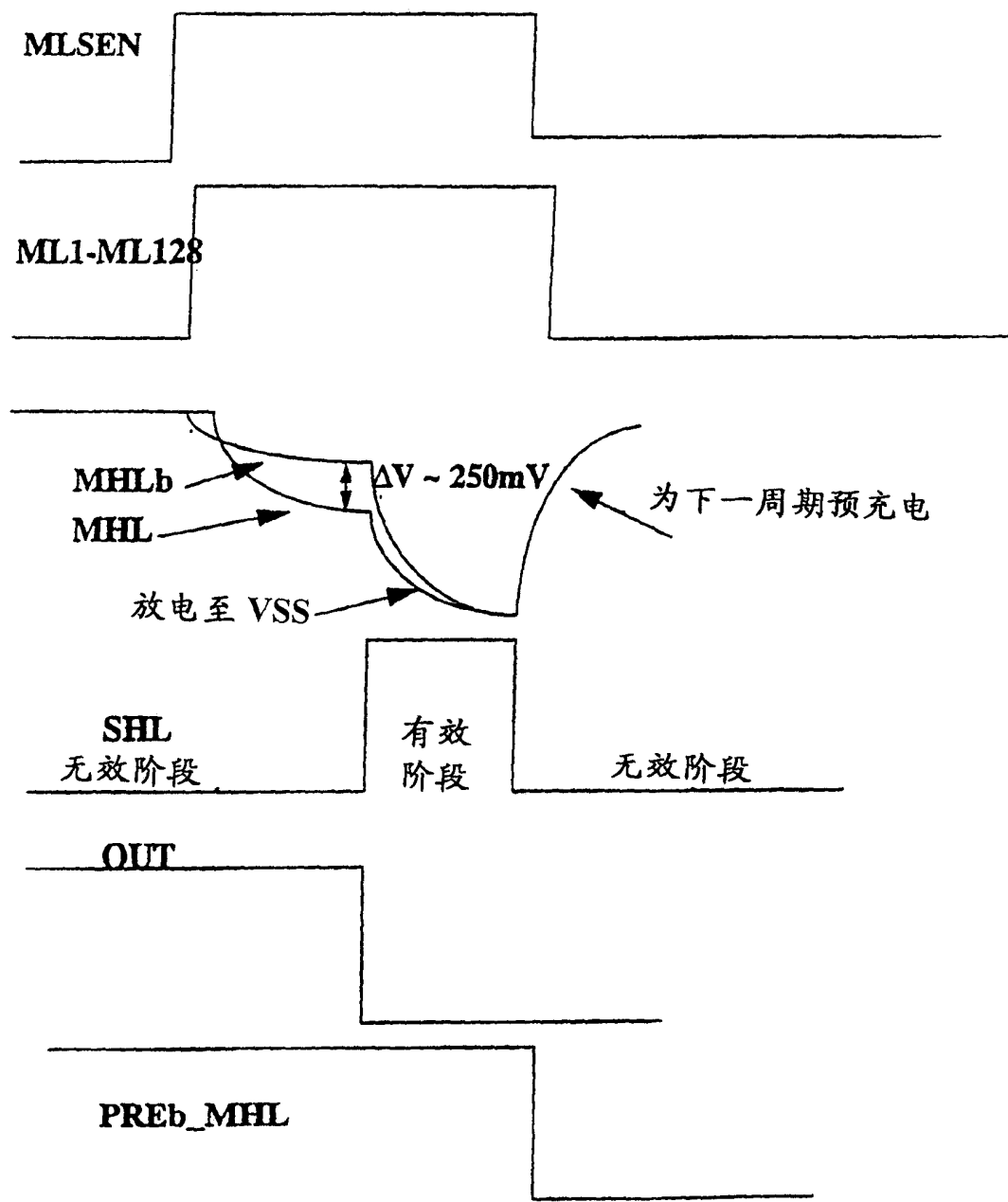


图 7

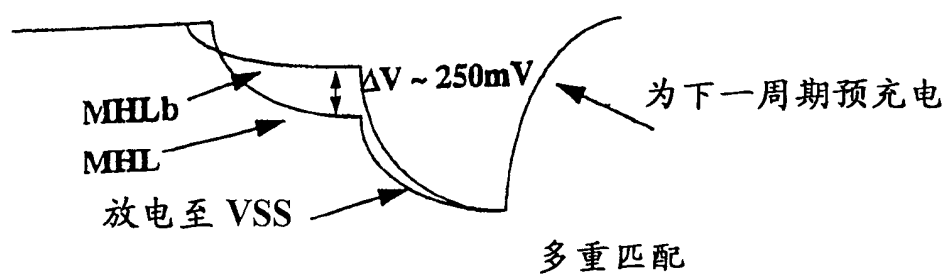


图 8a

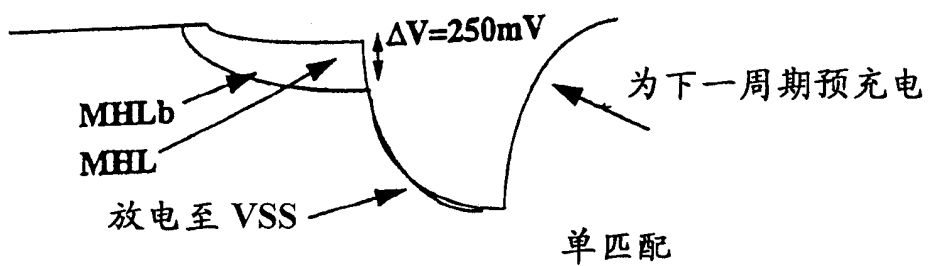


图 8b

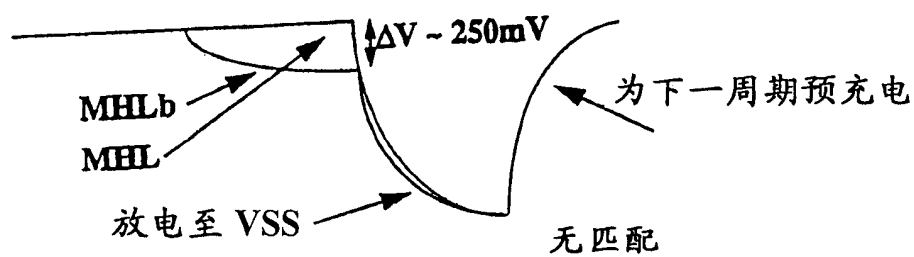


图 8c