

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2020-9158
(P2020-9158A)

(43) 公開日 令和2年1月16日 (2020.1.16)

(51) Int.Cl.			F I			テーマコード (参考)	
G08C	19/00	(2006.01)	G08C	19/00	G	2F073	
H04L	25/02	(2006.01)	H04L	25/02	K	5K029	
G08C	19/02	(2006.01)	G08C	19/02	A		

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号	特願2018-129755 (P2018-129755)	(71) 出願人	000006666
(22) 出願日	平成30年7月9日 (2018.7.9)		アズビル株式会社
		(74) 代理人	100098394
			弁理士 山川 茂樹
		(74) 代理人	100064621
			弁理士 山川 政樹
		(72) 発明者	見澤 圭吾
			東京都千代田区丸の内2丁目7番3号 アズビル株式会社内
		Fターム(参考)	2F073 AA03 AA12 AB01 AB04 BB04 BC01 CC03 CD02 CD03 CD28 DD07 EE12 EE13 FF03 FF12 FG01 FG02 FG04 GG01 5K029 AA13 CC01 DD25 EE02

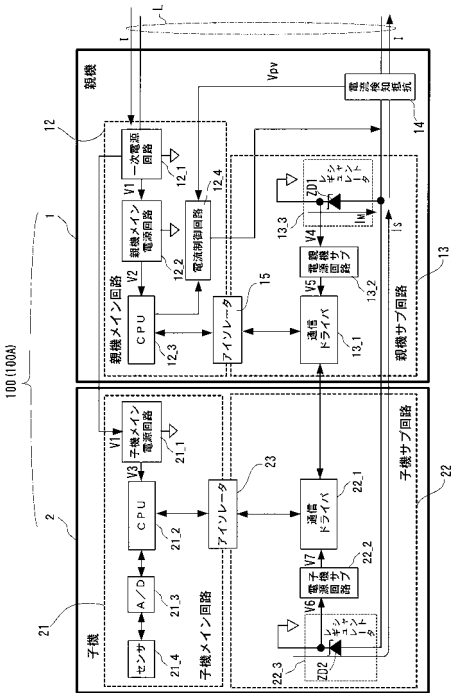
(54) 【発明の名称】 2線式プロセス装置

(57) 【要約】

【課題】 他での消費電流を犠牲にすることなく、親機と子機との間の通信に消費する電流を確保する。

【解決手段】 親機1に親機メイン回路12と親機サブ回路13とを設ける。子機2に子機メイン回路21と子機サブ回路22とを設ける。親機サブ回路13にシャントレギュレータ13_3を設け、親機メイン回路12で使用され電流検知抵抗14を介して2線式の伝送路Lに戻される電流 I_M を利用して、通信ドライバ13_1へ電源電圧V5を供給する親機サブ電源回路13_2への電源電圧V4を生成する。子機サブ回路22にシャントレギュレータ22_3を設け、子機メイン回路21で使用され電流検知抵抗14を介して2線式の伝送路Lに戻される電流 I_S を利用して、通信ドライバ22_1へ電源電圧V7を供給する子機サブ電源回路22_2への電源電圧V6を生成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

2 線式の伝送路を介して供給される電流から電源電圧を生成するように構成された一次電源回路と、前記一次電源回路からの電源電圧の供給を受けて親機で使用するメインの電源電圧を生成するように構成された親機メイン電源回路と、前記一次電源回路からの電源の供給を受けて子機で使用するメインの電源電圧を生成するように構成された子機メイン電源回路と、前記 2 線式の伝送路に戻される電流の値を検知する電流検知抵抗とを備え、前記子機から送られてくるデータを前記親機で受信し、この受信したデータに応じて前記電流検知抵抗によって検知される電流の値を調整する 2 線式プロセス装置において、

前記親機は、

前記一次電源回路と、前記親機メイン電源回路と、前記親機メイン電源回路からの電源電圧の供給を受けて動作するように構成された親機側の演算処理部とを備えた親機メイン回路と、

前記子機とデータを送受信するように構成された親機側の通信ドライバと、前記親機側の通信ドライバへの電源電圧を生成するように構成された親機サブ電源回路と、前記親機サブ電源回路への電源電圧を生成するように構成された親機側のシャントレギュレータとを備えた親機サブ回路と、

前記親機側の演算処理部と前記親機側の通信ドライバとの間のデジタルデータを絶縁して送受信するように構成された親機側のアイソレータとを備え、

前記子機は、

前記子機メイン電源回路と、前記子機メイン電源回路からの電源電圧の供給を受けて動作するように構成された子機側の演算処理部とを備えた子機メイン回路と、

前記親機とデータを送受信するように構成された子機側の通信ドライバと、前記子機側の通信ドライバへの電源電圧を生成するように構成された子機サブ電源回路と、前記子機サブ電源回路への電源電圧を生成するように構成された子機側のシャントレギュレータとを備えた子機サブ回路と、

前記子機側の演算処理部と前記子機側の通信ドライバとの間のデジタルデータを絶縁して送受信するように構成された子機側のアイソレータとを備え、

前記親機側のシャントレギュレータは、

前記親機メイン回路で使用され前記電流検知抵抗を介して前記 2 線式の伝送路に戻される電流を利用して前記親機サブ電源回路への電源電圧を生成し、

前記子機側のシャントレギュレータは、

前記子機メイン回路で使用され前記電流検知抵抗を介して前記 2 線式の伝送路に戻される電流を利用して前記子機サブ電源回路への電源電圧を生成する

ことを特徴とする 2 線式プロセス装置。

【請求項 2】

請求項 1 に記載された 2 線式プロセス装置において、

前記親機メイン回路は、

前記電流検知抵抗によって検知される電流値を示す電圧値を入力とし、この電圧値が前記受信したデータに対応する電圧値となるように、前記 2 線式の伝送路に戻される電流の値を調整する電流制御回路

を備えることを特徴とする 2 線式プロセス装置。

【請求項 3】

前記親機側のアイソレータを第 1 の親機側のアイソレータとする請求項 1 に記載された 2 線式プロセス装置において、

前記親機サブ回路は、

前記電流検知抵抗によって検知される電流値を示す電圧値を入力とし、この電圧値が前記受信したデータに対応する電圧値となるように、前記 2 線式の伝送路に戻される電流の値を調整する電流制御回路を備え、

前記親機は、

前記親機側の演算処理部からの前記電流制御回路へのデジタルデータを絶縁して送信するように構成された第2の親機側のアイソレータを備える

ことを特徴とする2線式プロセス装置。

【請求項4】

請求項1～3の何れか1項に記載された2線式プロセス装置において、
前記親機側のアイソレータおよび前記子機側のアイソレータは、
絶縁体を挟んで対向したコイルの磁気結合を利用したデジタルアイソレータとされている

ことを特徴とする2線式プロセス装置。

【請求項5】

10

請求項1～4の何れか1項に記載された2線式プロセス装置において、
前記子機は、
前記親機に対して複数設けられている
ことを特徴とする2線式プロセス装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2線式の伝送路を介して供給される電流から電源電圧を生成する電源回路および、伝送路に流れる電流を制御する電流制御回路を備えた2線式プロセス装置に関する。

20

【背景技術】

【0002】

従来より、工業用プロセスの動作の監視や制御に用いられる装置として、2線式の伝送路を介して供給される電流から電源電圧を生成する電源回路および、伝送路に流れる電流の大きさをプロセス状態などに対応して制御する電流制御回路を備えた2線式プロセス装置が用いられている。

【0003】

図5に、親機と子機とから構成される2線式プロセス装置の一例を示す（例えば、特許文献1参照）。この2線式プロセス装置200は、親機3と子機4とを備えた構成とされている。

30

【0004】

親機3は、CPU（Central Processing Unit）3_1と、電流制御回路3_2とを備えている。子機4は、CPU 4_1と、A/D変換器4_2と、センサ4_3とを備えている。

【0005】

この2線式プロセス装置200において、子機4におけるセンサ4_3は、例えば圧力センサとされている。このセンサ4_3での計測値（アナログ値）は、A/D変換器4_2でデジタル値に変換されて、CPU 4_1へ送られる。CPU 4_1は、A/D変換器4_2からの計測値をデータとして親機3へ送る。

【0006】

40

子機4からのデータ（計測値）は、親機3のCPU 3_1に取り込まれる。CPU 3_1は、取り込んだデータを電流制御回路3_2へ送る。電流制御回路3_2は、CPU 3_1からのデータに対応する電流値となるように、2線式の伝送路Lに戻される電流Iの値を調整する。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】 米国特許第5870695号明細書

【発明の概要】

【発明が解決しようとする課題】

50

【0008】

この2線式プロセス装置200では、2線式の伝送路Lを介して供給される電流（電流信号）Iを例えば4～20mAとした場合、2線式プロセス装置200で利用できる電流は常に確保することの可能な4mA以下（例えば、3.6mA）に制限される。

【0009】

しかしながら、親機3と子機4との間の通信に消費する電流は、プラントなどのノイズが大きい環境下において大きい方が望ましく、親機3と子機4との間の通信に消費する電流を確保しようとする、他での消費電流を犠牲にしなければならないという問題があった。

【0010】

本発明は、このような課題を解決するためになされたもので、その目的とするところは、他での消費電流を犠牲にすることなく、親機と子機との間の通信に消費する電流を確保することが可能な2線式プロセス装置を提供することにある。

【課題を解決するための手段】

【0011】

このような目的を達成するために本発明は、2線式の伝送路（L）を介して供給される電流から電源電圧（V1）を生成するように構成された一次電源回路（12_1）と、一次電源回路からの電源電圧の供給を受けて親機（1）で使用するメインの電源電圧（V2）を生成するように構成された親機メイン電源回路（12_2）と、一次電源回路からの電源の供給を受けて子機（2）で使用するメインの電源電圧（V3）を生成するように構成された子機メイン電源回路（21_1）と、2線式の伝送路に戻される電流の値を検知する電流検知抵抗（14）とを備え、子機から送られてくるデータを親機で受信し、この受信したデータに応じて電流検知抵抗によって検知される電流の値を調整する2線式プロセス装置（100）において、親機（1）は、一次電源回路（12_1）と、親機メイン電源回路（12_2）と、親機メイン電源回路からの電源電圧の供給を受けて動作するように構成された親機側の演算処理部（12_3）とを備えた親機メイン回路（12）と、子機とデータを送受信するように構成された親機側の通信ドライバ（13_1）と、親機側の通信ドライバへの電源電圧（V5）を生成するように構成された親機サブ電源回路（13_2）と、親機サブ電源回路への電源電圧（V4）を生成するように構成された親機側のシャントレギュレータ（13_3）とを備えた親機サブ回路（13）と、親機側の演算処理部と親機側の通信ドライバとの間のデジタルデータを絶縁して送受信するように構成された親機側のアイソレータ（15）とを備え、子機（2）は、子機メイン電源回路（21_1）と、子機メイン電源回路からの電源電圧の供給を受けて動作するように構成された子機側の演算処理部（21_2）とを備えた子機メイン回路（21）と、親機とデータを送受信するように構成された子機側の通信ドライバ（22_1）と、子機側の通信ドライバへの電源電圧（V7）を生成するように構成された子機サブ電源回路（22_2）と、子機サブ電源回路への電源電圧（V6）を生成するように構成された子機側のシャントレギュレータ（22_3）とを備えた子機サブ回路（22）と、子機側の演算処理部と子機側の通信ドライバとの間のデジタルデータを絶縁して送受信するように構成された子機側のアイソレータ（23）とを備え、親機側のシャントレギュレータは、親機メイン回路で使用され電流検知抵抗を介して2線式の伝送路に戻される電流（ I_M ）を利用して親機サブ電源回路への電源電圧を生成し、子機側のシャントレギュレータは、子機メイン回路で使用され電流検知抵抗を介して2線式の伝送路に戻される電流（ I_S ）を利用して子機サブ電源回路への電源電圧を生成することを特徴とする。

【0012】

この発明において、親機には親機メイン回路と親機サブ回路とが設けられ、子機には子機メイン回路と子機サブ回路とが設けられる。親機における親機メイン回路内の演算処理部と親機サブ回路内の通信ドライバとの間のデジタルデータの送受信、子機における子機メイン回路内の演算処理部と子機サブ回路内の通信ドライバとの間のデジタルデータの送受信は、それぞれのアイソレータによって絶縁して行われる。

10

20

30

40

50

【0013】

この発明において、親機側の通信ドライバに電源電圧を供給する親機サブ電源回路には、親機側のシャントレギュレータから電源電圧（定電圧）が供給される。また、子機側の通信ドライバに電源電圧を供給する子機サブ電源回路には、子機側のシャントレギュレータから電源電圧（定電圧）が供給される。

【0014】

この際、親機側のシャントレギュレータは、親機メイン回路で使用され電流検知抵抗を介して2線式の伝送路に戻される電流を利用して親機サブ電源回路への電源電圧を生成し、子機側のシャントレギュレータは、子機メイン回路で使用され電流検知抵抗を介して2線式の伝送路に戻される電流を利用して子機サブ電源回路への電源電圧を生成する。

10

【0015】

なお、上記説明では、一例として、発明の構成要素に対応する図面上の構成要素を、括弧を付した参照符号によって示している。

【発明の効果】

【0016】

以上説明したように、本発明によれば、親機側のシャントレギュレータは、親機メイン回路で使用され電流検知抵抗を介して2線式の伝送路に戻される電流を利用して親機サブ電源回路への電源電圧を生成し、子機側のシャントレギュレータは、子機メイン回路で使用され電流検知抵抗を介して2線式の伝送路に戻される電流を利用して子機サブ電源回路への電源電圧を生成するので、親機・子機それぞれのメイン回路で使用された電流を親子間通信用に流用することができ、他での消費電流を犠牲にすることなく、親機と子機との間の通信に消費する電流を確保することができるようになる。

20

【図面の簡単な説明】

【0017】

【図1】図1は、本発明の実施の形態に係る2線式プロセス装置の要部を示す図である。

【図2】図2は、親機サブ回路側に電流制御回路を設けるようにした例を示す図である。

【図3】図3は、親機と子機が1：1の場合を示す図である。

【図4】図4は、親機1と子機2が1：N（ $N \geq 2$ ）の場合を示す図である。

【図5】図5は、親機と子機とから構成される2線式プロセス装置の一例を示す図である。

30

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。図1は本発明の実施の形態に係る2線式プロセス装置100（100A）の要部を示す図である。

【0019】

この2線式プロセス装置100は、プロセッサや記憶装置からなるハードウェアと、これらのハードウェアと協働して各種機能を実現させるプログラムとによって実現され、親機1と子機2とから構成されている。

【0020】

親機1は、親機メイン回路12と、親機サブ回路13と、電流検知抵抗14と、アイソレータ15とを備えている。子機2は、子機メイン回路21と、子機サブ回路22と、アイソレータ23とを備えている。

40

【0021】

親機1において、親機メイン回路12は、一次電源回路12_1と、親機メイン電源回路12_2と、CPU12_3と、電流制御回路12_4とを備えている。親機サブ回路13は、通信ドライバ13_1と、親機サブ電源回路13_2と、シャントレギュレータ13_3とを備えている。

【0022】

親機メイン回路12において、一次電源回路12_1は、2線式の伝送路Lを介して供給される電流Iより、一次電源電圧V1を生成する。親機メイン電源回路12_2は、一

50

次電源回路 1 2_1 からの一次電源電圧 V 1 の供給を受けて、C P U 1 2_3 への電源電圧（メインの電源電圧）V 2 を生成する。

【0 0 2 3】

親機サブ回路 1 3 において、シャントレギュレータ 1 3_3 は、親機サブ電源回路 1 3_2 への電源電圧（定電圧）V 4 を生成し、親機サブ電源回路 1 3_2 は、通信ドライバ 1 3_1 への電源電圧 V 5 を生成する。本実施の形態において、シャントレギュレータ 1 3_3 としては、定電圧ダイオード Z D 1 が用いられている。

【0 0 2 4】

親機 1 において、電流検知抵抗 1 4 は、2 線式の伝送路 L に戻される電流 I の値を電圧値 V p v として検知する。アイソレータ 1 5 は、親機メイン回路 1 2 と親機サブ回路 1 3 との間に設けられ、C P U 1 2_3 と通信ドライバ 1 3_1 との間のデジタルデータを絶縁して送受信する。本実施の形態において、アイソレータ 1 5 としては、絶縁体を挟んで対向したコイルの磁気結合を利用したデジタルアイソレータが用いられている。

【0 0 2 5】

子機 2 において、子機メイン回路 2 1 は、子機メイン電源回路 2 1_1 と、C P U 2 1_2 と、A / D 変換器 2 1_3 と、センサ 2 1_4 とを備えている。子機サブ回路 2 2 は、通信ドライバ 2 2_1 と、子機サブ電源回路 2 2_2 と、シャントレギュレータ 2 2_3 とを備えている。

【0 0 2 6】

子機メイン回路 2 1 において、子機メイン電源回路 2 1_1 は、親機 1 の一次電源回路 1 2_1 からの一次電源電圧 V 1 の供給を受けて、C P U 2 1_2 への電源電圧（メインの電源電圧）V 3 を生成する。

【0 0 2 7】

子機サブ回路 2 2 において、シャントレギュレータ 2 2_3 は、子機サブ電源回路 2 2_2 への電源電圧（定電圧）V 6 を生成し、子機サブ電源回路 2 2_2 は、通信ドライバ 2 2_1 への電源電圧 V 7 を生成する。本実施の形態において、シャントレギュレータ 2 2_3 としては、定電圧ダイオード Z D 2 が用いられている。

【0 0 2 8】

子機 2 において、アイソレータ 2 3 は、子機メイン回路 2 1 と子機サブ回路 2 2 との間に設けられ、C P U 2 1_2 と通信ドライバ 2 2_1 との間のデジタルデータを絶縁して送受信する。本実施の形態において、アイソレータ 2 3 としては、絶縁体を挟んで対向したコイルの磁気結合を利用したデジタルアイソレータが用いられている。

【0 0 2 9】

この 2 線式プロセス装置 1 0 0 において、子機 2 におけるセンサ 2 1_4 は、例えば圧力センサとされている。このセンサ 2 1_4 での計測値（アナログ値）は、A / D 変換器 2 1_3 でデジタル値に変換されて、C P U 2 1_2 へ送られる。C P U 2 1_2 は、A / D 変換器 2 1_3 からの計測値をアイソレータ 2 3 を通して通信ドライバ 2 2_1 へ送る。通信ドライバ 2 2_1 は、C P U 2 1_2 から送られてきた計測値をデータとして親機 1 へ送る。

【0 0 3 0】

子機 2 から送られてきたデータ（計測値）は、親機 1 における通信ドライバ 1 3_1 で受信され、アイソレータ 1 5 を通して C P U 1 2_3 に取り込まれる。C P U 1 2_3 は、取り込んだデータを電流制御回路 1 2_4 へ送る。電流制御回路 1 2_4 は、電流検知抵抗 1 4 によって検知される電流 I の値を示す電圧値 V p v を入力とし、この電圧値 V p v が C P U 1 2_3 から送られてきたデータに対応する電圧値（受信したデータに対応する電圧値）となるように、2 線式の伝送路 L に戻される電流 I の値を調整する。

【0 0 3 1】

この 2 線式プロセス装置 1 0 0 において、親機 1 側の通信ドライバ 1 3_1 に電源電圧 V 5 を供給する親機サブ電源回路 1 3_2 には、親機 1 側のシャントレギュレータ 1 3_3 から電源電圧（定電圧）V 4 が供給される。また、子機 2 側の通信ドライバ 2 2_1 に電

10

20

30

40

50

源電圧 V_7 を供給する子機サブ電源回路 22_2 には、子機 2 側のシャントレギュレータ 22_3 から電源電圧（定電圧） V_6 が供給される。

【0032】

この際、親機 1 側のシャントレギュレータ 13_3 は、親機メイン回路 12 で使用され電流検知抵抗 14 を介して 2 線式の伝送路 L に戻される電流 I_M を利用して親機サブ電源回路 13_2 への電源電圧 V_4 を生成し、子機 2 側のシャントレギュレータ 22_3 は、子機メイン回路 21 で使用され電流検知抵抗 14 を介して 2 線式の伝送路 L に戻される電流 I_S を利用して子機サブ電源回路 22_2 への電源電圧 V_6 を生成する。

【0033】

これにより、本実施の形態の 2 線式プロセス装置 100 では、親機・子機それぞれのメイン回路で使用された電流（ I_M 、 I_S ）を親子間通信用に流用することができ、他での消費電流を犠牲にすることなく、親機 1 と子機 2 との間の通信に消費する電流を確保することができるようになる。

【0034】

なお、上述した実施の形態では、電流制御回路 12_4 を親機メイン回路 12 に設けるようにしたが、図 2 に 2 線式プロセス装置 100 （ $100B$ ）として示すように、親機サブ回路 13 側に電流制御回路 12_4 を設けるようにしてもよい。

【0035】

この場合、CPU 12_3 と通信ドライバ 13_1 との間のアイソレータ 15 を第 1 のアイソレータ 15_1 とし、CPU 12_3 と電流制御回路 12_4 との間に第 2 のアイソレータ 15 （ 15_2 ）を設けるようにする。

【0036】

また、上述した実施の形態では、親機 1 と子機 2 が $1:1$ の場合（図 3 参照）で説明したが、親機 1 と子機 2 が $1:N$ （ $N \geq 2$ ）の場合（図 4 参照）でも、同様に構成することが可能である。

【0037】

また、上述した実施の形態では、アイソレータ 15 、 23 として絶縁体を挟んで対向したコイルの磁気結合を利用したデジタルアイソレータを用いているものとしたが、フォトカプラなどのデジタルアイソレータを用いるようにしてもよい。

【0038】

また、上述した実施の形態では、シャントレギュレータ 13_3 、 22_3 として定電圧ダイオード $ZD1$ 、 $ZD2$ を用いたが、本発明で用いるシャントレギュレータは定電圧ダイオードに限られるものではない。

【0039】

また、上述した実施の形態では、通信ドライバ 22_1 から通信ドライバ 13_1 へデータを送る場合について説明したが、通信ドライバ 13_1 から通信ドライバ 22_1 へ上位装置からの指令を送るようにしたりすることも可能である。

【0040】

〔実施の形態の拡張〕

以上、実施の形態を参照して本発明を説明したが、本発明は上記の実施の形態に限定されるものではない。本発明の構成や詳細には、本発明の技術思想の範囲内で当業者が理解し得る様々な変更をすることができる。

【符号の説明】

【0041】

1…親機、2…子機、12…親機メイン回路、12_1…一次電源回路、12_2…親機メイン電源回路、12_3…CPU、12_4…電流制御回路、13…親機サブ回路、13_1…通信ドライバ、13_2…親機サブ電源回路、13_3…シャントレギュレータ、14…電流検知抵抗、15（15_1、15_2）、23…アイソレータ、21…子機メイン回路、21_1…子機メイン電源回路、21_2…CPU、21_3…A/D変換器、21_4…センサ、22…子機サブ回路、22_1…通信ドライバ、22_2…子機サブ電源回路

10

20

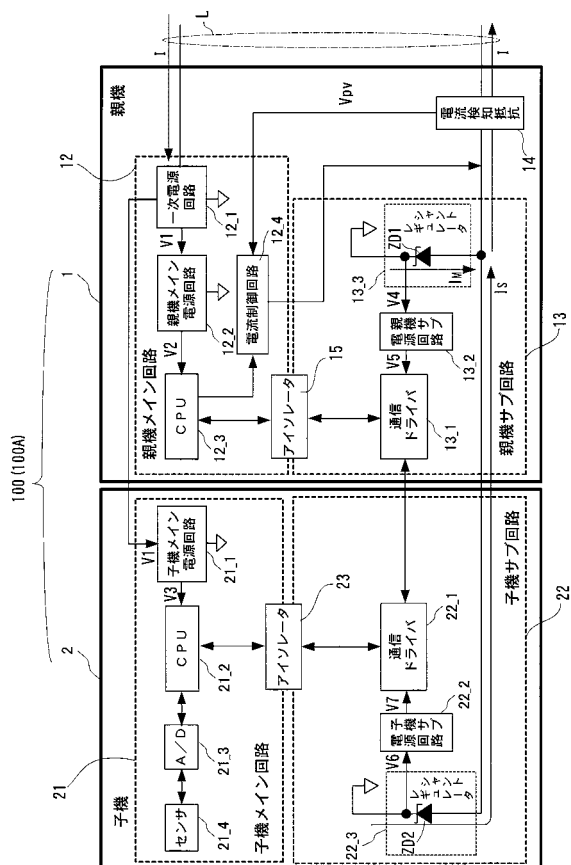
30

40

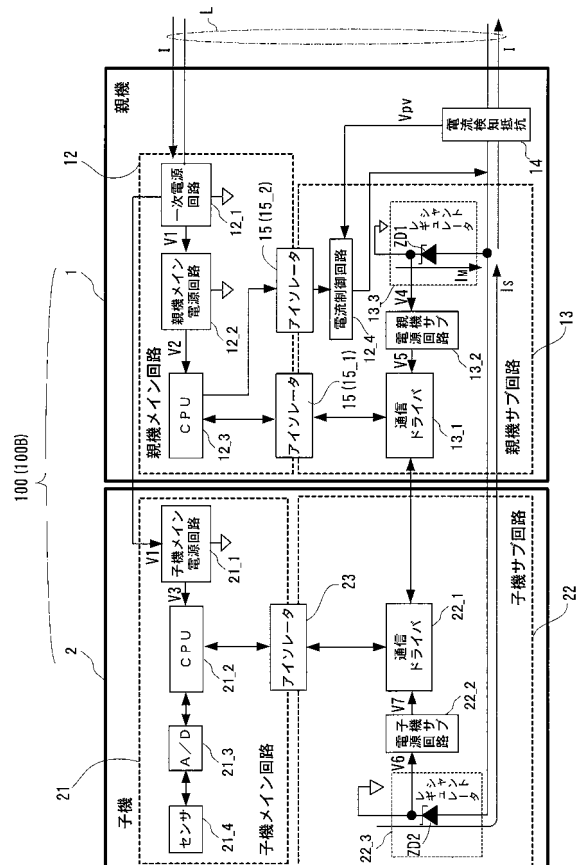
50

、22_3…シャントレギュレータ、100(100A, 100B)…2線式プロセス装置。

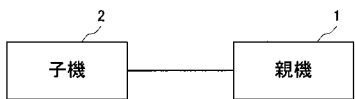
【図1】



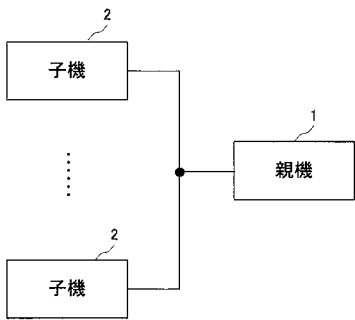
【図2】



【図 3】



【図 4】



【図 5】

