

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2024년 6월 27일 (27.06.2024)



(10) 국제공개번호
WO 2024/136408 A1

- (51) 국제특허분류:
G09G 3/32 (2006.01) *H10K 59/88* (2023.01)
- (21) 국제출원번호: PCT/KR2023/021002
- (22) 국제출원일: 2023년 12월 19일 (19.12.2023)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2022-0181715 2022년 12월 22일 (22.12.2022) KR
- (71) 출원인: 삼성전자주식회사 (SAMSUNG ELECTRONICS CO., LTD.) [KR/KR]; 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR).
- (72) 발명자: 박원근 (PARK, Wonkeun); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 정영기 (JUNG, Youngki); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 김동환 (KIM, Donghwan); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 이동훈 (LEE, Donghun); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR).
- (74) 대리인: 김태헌 등 (KIM, Tae-hun et al.); 06626 서울특별시 서초구 강남대로343 신덕빌딩 9층, Seoul (KR).

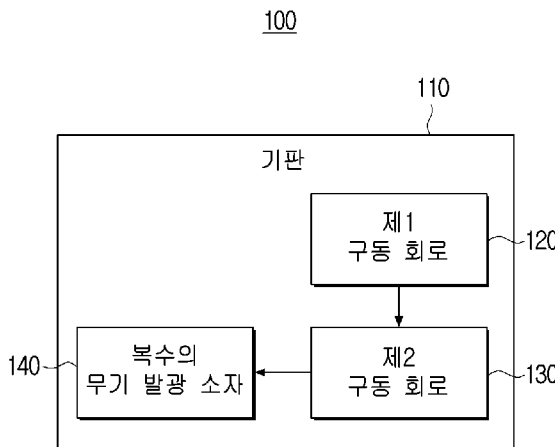
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: DISPLAY MODULE

(54) 발명의 명칭: 디스플레이 모듈



- 110 ... Substrate
120 ... First driving circuit
130 ... Second driving circuit
140 ... Multiple inorganic light-emitting elements

(57) Abstract: This display module comprises: a substrate; a first driving circuit provided in the center region on the substrate in a vertical orientation; a first pixel array formed in the left area of the substrate with reference to the first driving circuit, the first pixel array comprising multiple first pixels arranged in a matrix shape; and a second pixel array formed in the right area of the substrate with reference to the first driving circuit, the second pixel array comprising multiple second pixels arranged in a matrix shape. Each of the multiple first pixels and each of the multiple second pixels comprise multiple inorganic light-emitting elements, and each of the first and second pixel arrays is separated from the first driving circuit by a preconfigured distance.

(57) 요약서: 디스플레이 모듈은, 기판, 상기 기판 상의 중심 영역에 버티칼(Vertical) 형태로 마련되는 제1 구동 회로, 상기 제1 구동 회로를 기준으로 상기 기판의 좌측 영역 상에 형성되며, 매트릭스 형태로 배치된 제1 복수의 픽셀을 포함하는 제1 픽셀 어레이 및 상기 제1 구동 회로를 기준으로 상기 기판의 우측 영역 상에 형성되며, 매트릭스 형태로 배치된 제2 복수의 픽셀을 포함하는 제2 픽셀 어레이를 포함하며, 제1 복수의 픽셀의 각 픽셀 및 제2 복수의 픽셀의 각 픽셀은, 복수의 무기 발광 소자를 포함하며, 상기 제1 픽셀 어레이와 상기 제2 픽셀 어레이 각각은, 기 설정된 거리만큼 상기 제1 구동 회로로부터 분리된다.

명세서

발명의 명칭: 디스플레이 모듈

기술분야

- [1] 본 개시는 디스플레이 모듈에 관한 것으로, 보다 상세하게는, 자발광 소자로 이루어진 픽셀 어레이를 포함하는 디스플레이 장치에 관한 것이다.

배경기술

- [2] 종래의 베젤리스(bezel-less) 디스플레이 모듈은, 픽셀들 사이에 구동 회로(예를 들어, 게이트 드라이버(Gate Driver))를 마련하여 디스플레이 모듈을 동작시키도록 설계되었다.
- [3] 이 경우, 종래의 디스플레이 모듈은 기판 상에서 Active area와 Bezel이 구분되지 않고, 픽셀과 구동 회로 간에 신호가 커플링(Coupling)되는 현상이 발생하며, 기판 상에서 설계 밀집도가 균일하지 못한 문제가 있었다.
- [4] 또한, 픽셀에 대응되는 데이터 라인이 구동 회로와 일부 중첩되면, 구동 회로의 구동에 따라 데이터 라인과 신호 커플링이 발생하거나, 구동 회로의 구동이 특정 픽셀에 영향을 미쳐, 나머지 픽셀 보다 특정 픽셀의 휘도가 저하되는 등의 불균일(non-uniformity) 문제가 발생하였다.
- [5] 그러나, 구동 회로를 배치하기 위한 특정 영역(예를 들어, 베젤 영역)의 존재는, 복수의 디스플레이 모듈을 통해 하나의 디스플레이 장치를 구현할 때에, 디자인적인 측면에서 제약 사항이 되며, 특히, 복수의 디스플레이 모듈을 결합하여 대면적 디스플레이 패널을 구성하는 경우, 결합 부분에 존재하는 베젤로 인해 심리 스한 영상을 제공하기 어려운 문제가 있다.

발명의 상세한 설명

과제 해결 수단

- [6] 본 개시에 따른 디스플레이 모듈은, 기판, 상기 기판 상의 중심 영역에 버티칼(Vertical) 형태로 마련되는 제1 구동 회로, 상기 제1 구동 회로를 기준으로 상기 기판의 좌측 영역 상에 형성되며, 매트릭스 형태로 배치된 제1 복수의 픽셀을 포함하는 제1 픽셀 어레이 및 상기 제1 구동 회로를 기준으로 상기 기판의 우측 영역 상에 형성되며, 매트릭스 형태로 배치된 제2 복수의 픽셀을 포함하는 제2 픽셀 어레이를 포함하며, 제1 복수의 픽셀의 각 픽셀 및 제2 복수의 픽셀의 각 픽셀은, 복수의 무기 발광 소자를 포함하며, 상기 제1 픽셀 어레이와 상기 제2 픽셀 어레이 각각은, 기 설정된 거리만큼 상기 제1 구동 회로로부터 분리된(separated)다.
- [7] 디스플레이 모듈은 상기 기판 상에 형성된 복수의 제2 구동 회로를 더 포함하며, 상기 복수의 제2 구동 회로는, 상기 제1 복수의 픽셀 및 상기 제2 복수의 픽셀의 복수의 무기 발광 소자를 구동하며, 상기 제1 구동 회로는, 적어도 하나의 클럭 라인을 통해 인가되는 클럭 신호들에 기초하여 제어 신호들을 생성하며, 상기

생성된 제어 신호들을 상기 복수의 제2 구동 회로로 제공하여 상기 복수의 제2 구동 회로를 구동할 수 있다.

- [8] 상기 적어도 하나의 클럭 라인은, 상기 기판 상에서 상기 제1 구동 회로와 중첩될 수 있다(overlap).
- [9] 상기 제1 구동 회로의 상기 버티칼 형태는, 상기 기판을 상기 좌측 영역과 상기 우측 영역으로 구분하며, 상기 제1 복수의 픽셀은, 서로 밀접하게 접촉하며, 상기 제2 복수의 픽셀은, 서로 밀접하게 접촉할 수 있다.
- [10] 상기 제1 복수의 픽셀은, 서로 직접 접촉하며, 상기 제2 복수의 픽셀은, 서로 직접 접촉할 수 있다.
- [11] 상기 제1 픽셀 어레이의 상기 복수의 무기 발광 소자는, 서로 이격 배치되며, 상기 제2 픽셀 어레이의 상기 복수의 무기 발광 소자는, 서로 이격 배치될 수 있다.
- [12] 상기 좌측 영역 내의 상측 일부 영역 및 하측 일부 영역은 무기 발광 소자가 배치되지 않는 제1 여분 영역이며, 상기 우측 영역 내의 상측 일부 영역 및 하측 일부 영역은 무기 발광 소자가 배치되지 않는 제2 여분 영역일 수 있다.
- [13] 디스플레이 모듈은 상기 좌측 영역의 외곽 일부 영역에 배치된 제1 더미(Dummy) 제1 구동 회로 및 상기 우측 영역의 외곽 일부 영역에 배치된 제2 더미 제1 구동 회로를 더 포함하며, 상기 제1 더미 제1 구동 회로 및 제2 더미 제1 구동 회로 각각은, 상기 제1 구동 회로와 동일한 전위(potential)를 유지할 수 있다.
- [14] 상기 기판의 상기 좌측 영역 및 상기 기판의 상기 우측 영역은, 상기 제1 구동 회로의 상기 버티칼 형태에서 대칭될 수 있다.
- [15] 상기 제1 구동 회로, 상기 제1 더미 제1 구동 회로 및 상기 제2 더미 제1 구동 회로 각각은, TFT(Thin Film Transistor)를 포함할 수 있다.
- [16] 본 개시에 따른 디스플레이 모듈은, 기판, 상기 기판 상에 배치되며, 상기 기판을 제1 측면과 제2 측면으로 분할하는 제1 구동 회로, 제1 복수의 픽셀을 포함하며, 상기 기판의 상기 제1 측면에 배치되는 제1 픽셀 어레이, 제2 복수의 픽셀을 포함하며, 상기 기판의 상기 제2 측면에 배치되는 제2 픽셀 어레이, 상기 제1 복수의 픽셀 및 상기 제2 복수의 픽셀은, 매트릭스 형태로 배열되며, 제1 복수의 픽셀의 각 픽셀 및 제2 복수의 픽셀의 각 픽셀은, 복수의 무기 발광 소자를 포함하며, 상기 제1 픽셀 어레이와 상기 제2 픽셀 어레이 각각은, 기 설정된 거리만큼 상기 제1 구동 회로로부터 분리된다.
- [17] 디스플레이 모듈은, 상기 기판 상에 배치된 복수의 제2 구동 회로, 상기 기판 상에 배치된 적어도 하나의 데이터 라인 및 상기 기판 상에 배치된 적어도 하나의 클럭 라인을 더 포함하며, 상기 복수의 제2 구동 회로는, 상기 제1 복수의 픽셀 및 상기 제2 복수의 픽셀의 복수의 무기 발광 소자를 구동하며, 상기 제1 구동 회로는, 상기 적어도 하나의 클럭 라인을 통해 인가되는 클럭 신호들에 기초하여 제어 신호들을 생성하며, 상기 생성된 제어 신호들을 상기 복수의 제2 구동 회로로 제공하여 상기 복수의 제2 구동 회로를 구동할 수 있다.

- [18] 상기 적어도 하나의 클럭 라인은, 상기 기판 상에서 상기 제1 구동 회로와 중첩될 수 있다(overlap).
- [19] 상기 제1 복수의 픽셀의 인접 픽셀들은, 서로 밀접하게 접촉하며, 상기 제2 복수의 픽셀의 인접 픽셀들은, 서로 직접 접촉할 수 있다.
- [20] 상기 제1 복수의 픽셀의 인접 픽셀들은, 서로 직접 접촉하며, 상기 제2 복수의 픽셀의 인접 픽셀들은, 서로 직접 접촉할 수 있다.
- [21] 상기 복수의 무기 발광 소자의 인접한 무기 발광 소자들은, 서로 이격 배치될 수 있다.
- [22] 디스플레이 모듈은 상기 제1 측면의 상측 에지(edge) 일부 영역 및 하측 에지 일부 영역의 제1 여분 영역 및 상기 제2 측면의 상측 에지 일부 영역 및 하측 에지 일부 영역의 제2 여분 영역을 더 포함하고, 상기 제1 여분 영역 및 상기 제2 여분 영역은, 무기 발광 소자들이 배치되지 않을 수 있다.
- [23] 디스플레이 모듈은 상기 제1 구동 회로와 반대되는 상기 제1 측면의 에지(edge)에 배치된 제1 더미 제1 구동 회로 및 상기 제1 구동 회로와 반대되는 상기 제2 측면의 에지에 배치된 제2 더미 제1 구동 회로를 더 포함하며, 상기 제1 더미 제1 구동 회로 및 제2 더미 제1 구동 회로 각각은, 상기 제1 구동 회로와 동일한 전위(potential)를 유지할 수 있다.
- [24] 상기 제1 측면 및 상기 제2 측면은, 상기 제1 구동 회로를 걸쳐(across) 대칭될 수 있다.
- [25] 본 개시에 따른 디스플레이 모듈은, 기판, 제1 복수의 픽셀을 포함하며, 상기 기판의 제1 측면에 배치되는 제1 픽셀 어레이, 제2 복수의 픽셀을 포함하며, 상기 기판의 제2 측면에 배치되는 제2 픽셀 어레이, 상기 기판 상에서 상기 제1 픽셀 어레이 및 상기 제2 픽셀 어레이 사이에 배치된 제1 구동 회로를 포함하며, 상기 제1 픽셀 어레이와 상기 제2 픽셀 어레이 각각은, 기 설정된 거리만큼 상기 제1 구동 회로로부터 분리된다.

도면의 간단한 설명

- [26] 본 개시의 실시 예의 상기와 다른 측면, 특징 및 장점은 첨부된 도면과 함께 개시된 다음의 설명으로부터 더욱 명백해질 것이다:
- [27] 도 1은 종래의 디스플레이 모듈에 따른 픽셀 구조를 설명하기 위한 도면이다.
- [28] 도 2는 본 개시의 일 실시 예에 따른 디스플레이 모듈을 설명하기 위한 블록도이다.
- [29] 도 3은 본 개시의 일 예에 따른 디스플레이 모듈의 픽셀 구조를 설명하기 위한 도면이다.
- [30] 도 4는 본 개시의 일 예에 따른 픽셀 어레이(array) 간의 거리를 설명하기 위한 도면이다.
- [31] 도 5는 본 개시의 일 예에 따른 디스플레이 모듈의 픽셀 구조를 설명하기 위한 도면이다.

- [32] 도 6은 본 개시의 일 예에 따른 픽셀 어레이 간의 거리를 설명하기 위한 도면이다.

발명의 실시를 위한 형태

- [33] 본 개시에 있어, 관련된 공지 기술에 대한 구체적인 설명이 본 개시의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 동일한 구성의 중복 설명은 되도록 생략하기로 한다.
- [34] 이하의 설명에서 사용되는 구성요소에 대한 접미사 "부"는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다.
- [35] 본 개시에서 사용한 용어는 실시 예를 설명하기 위해 사용된 것으로, 본 개시를 제한 및/또는 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [36] 본 개시에서, '포함하다' 또는 '가지다' 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [37] 본 개시에서 사용된 "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 다양한 구성요소들을, 순서 및/또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.
- [38] 어떤 구성요소(예: 제1 구성요소)가 다른 구성요소(예: 제2 구성요소)에 "(기능적으로 또는 통신적으로) 연결되어((operatively or communicatively) coupled with/to)" 있다거나 "접속되어(connected to)" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소(예: 제1 다른 구성요소(예: 제2 구성요소)에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소와 상기 다른 구성요소 사이에 다른 구성요소(예: 제 3 구성요소)가 존재하지 않는 것으로 이해될 수 있다.
- [39] 본 개시에서 기재된 "A, B 또는 C 중 적어도 하나"라는 표현은 "A만", "B만", "C만", "A와 B 모두", "A와 C 모두", "B와 C 모두" 또는 "A, B, C 모두"를 나타낸다.
- [40] 본 개시의 실시 예들에서 사용되는 용어들은 다르게 정의되지 않는 한, 해당 기술 분야에서 통상의 지식을 가진 자에게 통상적으로 알려진 의미로 해석될 수 있다.
- [41] 이하에서 첨부된 도면을 참조하여 본 개시의 다양한 실시 예를 상세히 설명한다.
- [42] 도 1은 종래의 디스플레이 모듈에 따른 픽셀 구조를 설명하기 위한 도면이다.

- [43] 도 1을 참조하면, 종래의 디스플레이 모듈은, 기관(16) 상에 복수의 무기 발광 소자(14)를 포함하는 픽셀(pixel) 영역들(12)을 포함할 수 있다.
- [44] 예를 들어, 종래의 베젤리스(bezel-less) 디스플레이 모듈은, 픽셀들 사이에 구동 회로(예를 들어, 게이트 드라이버(Gate Driver))를 마련하여 디스플레이 모듈을 동작시키도록 설계되었다.
- [45] 이 경우, 종래의 디스플레이 모듈은 기관 상에서 Active area와 Bezel이 구분되지 않고, 픽셀과 구동 회로 간에 신호가 커플링(Coupling)되는 현상을 일으키며, 기관 상에서 설계 밀집도가 균일하지 못한 문제가 있었다.
- [46] 예를 들어, 도 1을 참조하면, 종래의 디스플레이 모듈(10)은 매트릭스 형태로 배치(disposed)(또는 배열(arranged))된 복수의 픽셀 즉, 픽셀 어레이(array)를 포함한다.
- [47] 픽셀 어레이는, 복수의 로우(row) 라인 또는 복수의 컬럼(column) 라인을 포함한다. 경우에 따라, 로우 라인은 가로(horizontal) 라인이라 불리울 수도 있고, 컬럼 라인은 세로(vertical) 라인이라 불리울 수도 있다. 여기서, 영역 A는 구동 회로가 없는 픽셀 열을 포함하며, 영역 B는 구동 회로가 있는 픽셀 열을 포함한다.
- [48] 종래의 디스플레이 모듈(10)은 복수의 픽셀 사이에 제1 구동 회로(20)(예를 들어, 게이트 드라이버(Gate Driver) 또는, 스캔 드라이버(Scan Driver))를 포함하며, 제1 구동 회로(20)로 클럭 신호(또는, GIP(Gate In Panel) 제어 신호)를 인가하기 위한 클럭 라인(22)을 포함할 수 있다.
- [49] 도 1에 도시된 바와 같이 제1 구동 회로(20)가 B 영역의 복수의 픽셀 사이에 Horizontal 방향으로 배치되며, 복수의 제1 구동 회로(20) 사이에 배치된 픽셀들에 대응되는 데이터 라인(24)(또는, 픽셀 라인(Pixel line))이 복수의 제1 구동 회로(20)와 중첩(Overlap)되므로 신호 커플링(Signal Coupling) 현상이 발생할 우려가 있고, 제1 구동 회로의 구동(또는, 신호 출력)이 인접하게 배치된 픽셀에 영향을 미치는 문제(예를 들어, 타 픽셀과 휘도 차이가 발생)가 있다.
- [50] 또한, 도 1에 도시된 바와 같이 제1 구동 회로(20)로 클럭 신호를 인가하기 위한 클럭 라인(22)에 인접하게 픽셀에 원치 않는 무라(mura)를 발생시킬 우려가 있다.
- [51] 이하에서는, 본 개시의 하나 이상의 실시 예에 따라 베젤리스(bezel-less) 디스플레이 모듈을 구현하면서, 클럭 라인과 데이터 라인 간의 신호 커플링 현상 또는, 소자들의 중첩의 발생을 최소화하고, 복수의 픽셀 중 일부 픽셀에서 무라(mura)가 발생하여 복수의 픽셀 간의 불균일(non-uniformity), 화질 불량, 화질 왜곡 현상의 발생을 최소화하는 다양한 방법을 설명하도록 한다.
- [52] 도 2는 본 개시의 일 실시 예에 따른 디스플레이 모듈을 설명하기 위한 블록도이다.
- [53] 도 2를 참조하면, 본 개시의 일 실시 예에 따른 디스플레이 모듈(100)은, 기관(110), 제1 구동 회로(120), 제2 구동 회로(130) 및 복수의 무기 발광 소자(140)를 포함할 수 있다.

- [54] 본 개시의 일 실시 예에 따라 기관(110) 상에 제1 구동 회로(120)가 마련되며, 제1 구동 회로(120)는 버티칼(Vertical) 형태일 수 있다. 예를 들어, 제1 구동 회로(120)는 기관 상의 중심 영역에 버티칼 형태로 마련될 수 있다.
- [55] 일 실시 예에 따라 디스플레이 모듈(100)은 제1 구동 회로(120)를 기준으로 기관(110)의 좌측 영역에 형성되며, 복수의 무기 발광 소자(140)를 포함하는 각 픽셀이 매트릭스 형태로 배치된 제1 픽셀 어레이를 포함할 수 있다.
- [56] 또한, 디스플레이 모듈(100)은 제1 구동 회로(120)를 기준으로 기관(110)의 우측 영역에 형성되며, 복수의 무기 발광 소자(140)를 포함하는 각 픽셀이 매트릭스 형태로 배치된 제2 픽셀 어레이를 포함할 수 있다.
- [57] 디스플레이 모듈(100)은, 후술할 바와 같이, 기관(110) 상에 구동 회로층(112)이 형성되고, 구동 회로층(112) 위에 무기 발광 소자(140)가 배치되는 구조를 가질 수 있다.
- [58] 우선 도 3을 참조하여, 본 개시의 일 실시 예에 따른 디스플레이 모듈(100)의 구조를 구체적으로 설명하도록 한다.
- [59] 도 3은 본 개시의 일 예에 따른 디스플레이 모듈의 픽셀 구조를 설명하기 위한 도면이다.
- [60] 도 3을 참조하면, 디스플레이 모듈(100)은 기관(110) 상의 중심 영역에 버티칼 형태로 마련되는 제1 구동 회로(120)를 포함할 수 있다. 일 예에 따라, 제1 구동 회로(120)는 기관(110)을 좌측 영역과 우측 영역으로 구분할 수 있다.
- [61] 일 실시 예에 따라, 디스플레이 모듈(100)은 제1 구동 회로(120)를 기준으로 기관(110)의 좌측 영역에 형성되며, 복수의 무기 발광 소자(140)를 포함하는 각 픽셀(112)이 매트릭스 형태로 배치된 제1 픽셀 어레이(150)를 포함하고, 제1 구동 회로(120)를 기준으로 기관(110)의 우측 영역에 형성되며, 복수의 무기 발광 소자(140)를 포함하는 각 픽셀(112)이 매트릭스 형태로 배치된 제2 픽셀 어레이(160)를 포함할 수 있다.
- [62] 여기서, 제1 픽셀 어레이(150)와 제2 픽셀 어레이(160) 각각은, 제1 구동 회로(120)와 기 설정된 거리만큼 이격 배치될 수 있다.
- [63] 일 실시 예로, 제1 픽셀 어레이(150)에 포함된 복수의 픽셀(112)은 서로 밀접하게 배치될 수 있다. 예를 들어, 제1 픽셀 어레이(150)에 포함된 복수의 픽셀(112)은 매트릭스 형태로 맞닿아 배치될 수 있다.
- [64] 또한, 제2 픽셀 어레이(160)에 포함된 복수의 픽셀(112)도 서로 밀접하게 배치될 수 있으며, 예를 들어, 제2 픽셀 어레이(160)에 포함된 복수의 픽셀(112)은 매트릭스 형태로 맞닿아 배치될 수 있다.
- [65] 한편, 복수의 픽셀(112) 각각은 적색(R) 서브 픽셀, 녹색(G) 서브 픽셀 및 청색(B) 서브 픽셀과 같은 3 종류의 서브 픽셀을 포함할 수 있다. 각 픽셀은, 서브 픽셀들(예를 들어, R, G, B)을 구성하는 복수의 무기 발광 소자(140)를 포함하며, 제2 구동 회로(130)에서 제공되는 구동 전류에 따라 빛을 발광한다.

- [66] 예를 들어, 제1 픽셀 어레이(150)와 제2 픽셀 어레이(160) 각각에 포함된 복수의 픽셀(112) 각각은, R 서브 픽셀에 대응되는 R 무기 발광 소자, G 서브 픽셀에 대응되는 G 무기 발광 소자 및 B 서브 픽셀에 대응되는 B 무기 발광 소자와 같은 3 종류의 무기 발광 소자(140)를 포함할 수 있다.
- [67] 또는, 각 픽셀(112)은, 3 개의 청색 무기 발광 소자를 포함할 수도 있다. 이 경우, 각 무기 발광 소자(140) 상에는 R, G, B 색상 구현을 위한 컬러 필터가 구비될 수 있다. 실시 예에서, 컬러 필터는 퀀텀닷(QD) 컬러 필터일 수 있으나, 본 개시가 이에 한정되는 것은 아니다.
- [68] 여기서, 무기 발광 소자들(140)은, 유기 재료를 이용하여 제작되는 OLED(Organic Light Emitting Diode)와는 다른, 무기 재료를 이용하여 제작되는 발광 소자들을 말한다.
- [69] 특히, 본 개시의 일 실시 예에 따르면, 무기 발광 소자들(140)은, 100 마이크로미터(μm) 이하의 크기를 갖는 마이크로 LED(Light Emitting Diode)($\mu\text{-LED}$)들일 수 있다. 이 경우, 디스플레이 모듈(100)은, 각 서브 픽셀이 마이크로 LED로 구현된 마이크로 LED 디스플레이 모듈이 된다.
- [70] 마이크로 LED 디스플레이 모듈은, 각각 100 마이크로미터 이하인 복수의 무기 발광 다이오드(inorganic LED)로 구성된다.
- [71] 마이크로 LED 디스플레이 모듈은 백라이트가 필요한 액정 디스플레이(LCD) 패널에 비해 더 나은 대비, 응답 시간 및 에너지 효율을 제공한다. 한편, 유기 발광 다이오드(organic LED, OLED)와 마이크로 LED는 모두 에너지 효율이 좋지만, 마이크로 LED가 밝기, 발광 효율, 수명 측면에서 OLED보다 더 나은 성능을 제공한다.
- [72] 특히, 마이크로 LED는 OLED와 비교하여 상대적으로 고전류를 사용할 때 효율이 좋아지는 특성이 있으므로, 마이크로 LED 디스플레이 모듈(100)은 안정적인 고전류 제공을 위해, 후술할 바와 같이 TFT(Thin Film Transistor)의 게이트 전극이나 소스 또는 드레인 전극이 형성되는 메탈 레이어와는 별도의 메탈 레이어를 통해 제2 구동 회로(130)에 구동 전압을 제공할 수 있다.
- [73] 그러나, 본 개시의 하나 이상의 실시 예들에서, 무기 발광 소자들(140)이 반드시 마이크로 LED들로 한정되는 것은 아니다.
- [74] 각 서브 픽셀에는, 데이터 라인(124)을 통해 인가되는 데이터 전압에 기초하여 해당 서브 픽셀을 구성하는 무기 발광 소자(140)를 구동하기 위한 제2 구동 회로(130)가 마련될 수 있다. 제2 구동 회로(130)는 서브 픽셀 마다 마련되므로, 다른 말로 서브 픽셀 회로라고 불릴 수도 있다.
- [75] 일 실시 예에 따라 기판(110) 상에 형성된 복수의 제2 구동 회로(130)는 각 픽셀(112) 별로 마련되며, 데이터 라인들(124)을 통해 대응되는 각 픽셀(112)에 포함된 복수의 무기 발광 소자(140)를 구동할 수 있다.

- [76] 일 실시 예에 따라 제1 구동 회로(120)는 클럭 라인(122)들을 통해 인가되는 클럭 신호들에 기초하여 복수의 제2 구동 회로(130)를 구동하기 위한 제어 신호를 생성하며, 생성된 제어 신호들을 복수의 제2 구동 회로(130)에 제공할 수 있다.
- [77] 또한, 본 개시의 일 실시 예에 따르면, 종래의 디스플레이 모듈과 달리 디스플레이 모듈(100)에서 제1 픽셀 어레이(150)와 제2 픽셀 어레이(160) 사이의 영역에, 제2 구동 회로(130)를 구동하기 위한 제어 신호를 생성하고, 생성된 제어 신호를 제2 구동 회로(130)로 제공하기 위한 제1 구동 회로(120)가 마련될 수 있다. 이때, 제1 구동 회로(120)는 예를 들어, 게이트 드라이버(Gate Driver) 회로(또는 스캔 드라이버(Scan Driver) 회로)일 수 있다.
- [78] 도 3에 도시된 바와 같이 기판(110) 상에 제1 픽셀 어레이(150)와 제2 픽셀 어레이(160)가 배치되며, 영상이 표시되는 디스플레이 모듈(100)의 액티브 영역 내에, 제1 구동 회로(120) 및 제2 구동 회로(130)가 마련되므로, 베젤이 없는(Bezel-less) 디스플레이 모듈(100)의 구현이 가능해진다.
- [79] 또한, 종래의 디스플레이 모듈과 달리, 본 개시의 일 실시 예에 따른 디스플레이 모듈(100)은 제1 구동 회로(120)에 인접하게 픽셀들(112)이 배치되지 않으므로, 제1 구동 회로(120)의 구동 시에도 특정 픽셀의 휘도가 저하되는 문제가 발생하지 않을 수 있다. 또한, 본 개시의 일 실시 예에 따른 디스플레이 모듈(100)은 각 픽셀들(112)에 대응되는 데이터 라인(124)(또는, 픽셀 라인)이 제1 구동 회로(120)에 중첩(Overlap)되지 않으므로, 신호 커플링(Signal Coupling)을 방지할 수 있다.
- [80] 또한, 본 개시의 일 실시 예에 따른 디스플레이 모듈(100)은 제1 구동 회로(120)로 클럭 신호를 인가하기 위한 클럭 라인(122)(또는, GIP(Gate In Panel) 제어 신호를 인가하기 위한 제어 신호 라인)이, 제1 구동 회로(120)에 중첩되게 형성되므로, 클럭 라인(122)과 데이터 라인(124) 간의 신호 커플링(Signal Coupling)이 발생하지 않을 수 있다. 예를 들어, 클럭 라인(122)과 제1 구동 회로(120)는 기판(110)상의 동일한 위치, 서로 다른 레이어에 형성될 수 있다.
- [81] 도 3은 설명의 편의를 위해 기판(110) 상에 18개의 픽셀(112)이 형성되며, 제1 픽셀 어레이(150)가 3x3 형태로 맞닿아 배치된 9개의 픽셀을 포함하며, 제2 픽셀 어레이(160)가 3x3 형태로 맞닿아 배치된 9개의 픽셀을 포함하는 경우를 상정하여 도시하였으며, 본 개시는 이에 한정되지 않는다. 예를 들어, 픽셀 어레이는 2x2 형태, 4x4 형태 등 다양한 매트릭스 형태로 밀집하게 배치된 복수의 픽셀(112)을 포함할 수 있음은 물론이다.
- [82] 도 4는 본 개시의 일 예에 따른 픽셀 어레이(array) 간의 거리를 설명하기 위한 도면이다.
- [83] 종래에는 기판(110) 상의 복수의 픽셀이 서로 일정한 간격을 두고 매트릭스 형태로 배치되었으나, 도 1에 도시된 바와 같이, 할당된 설계 영역의 면적 보다, 설계된 영역의 면적이 더 작다. 따라서, 기판(110) 상에 설계적으로 비어있는 영역은 Photolithography 공정 상 패턴(Pattern) 밀집도 차이에 의한 부하 효과(Load effect)를 일으킬 우려가 있다.

- [84] 도 3에 도시된 바와 같이 픽셀 어레이에 포함된 복수의 픽셀(112)을 서로 밀접하게 배치되나, μ LED PAD의 위치는 종래의 베젤리스(Bezel-less) 디스플레이 모듈과 동일하게 유지될 수 있다. 즉, 제1 픽셀 어레이(150)에 포함된 복수의 무기 발광 소자(140) 각각은 서로 이격 배치되며, 제2 픽셀 어레이(160)에 포함된 복수의 무기 발광 소자(140) 각각은 서로 이격 배치될 수 있다.
- [85] 도 3 및 도 4에 도시된 바와 같이 복수의 픽셀(112)이 서로 밀접하게 배치되므로, 기관(110) 상에 설계 가능한 여분 영역(170)이 존재할 수 있다.
- [86] 예를 들어, 도 4를 참조하면, 제1 픽셀 어레이(150) 및 제2 픽셀 어레이(160) 각각이 3x3 맞닿아 배치된 9개의 픽셀들을 포함하면, 기관(110) 상에, 종래의 디스플레이 모듈에서 가능한 것보다 많은 여분 영역(170)이 존재할 수 있다. 여기서, 여분 영역(170)은, 무기 발광 소자들(140)이 배치되지 않는 영역을 의미할 수 있다.
- [87] 예를 들어, 제1 구동 회로(120)를 기준으로 좌측 영역 내의 상측 일부 영역 및 하측 일부 영역은 무기 발광 소자들(140)이 배치되지 않는 여분 영역(170)이며, 제1 구동 회로(120)를 기준으로 우측 영역 내의 상측 일부 영역 및 하측 일부 영역은 무기 발광 소자들(140)이 배치되지 않는 여분 영역(170)일 수 있다.
- [88] 기관(110) 상의 여분 영역(170)을 이용하여 제1 픽셀 어레이(150)와 제2 픽셀 어레이(160) 각각은, 제1 구동 회로(120)로부터 기 설정된 거리만큼 이격 배치될 수 있다. 여기서, 기 설정된 거리는, 제1 구동 회로(120)의 구동으로 인한 특정 픽셀(112)에서의 휘도 저하 발생, 클럭 라인(122)과 데이터 라인(124) 간의 신호 커플링 현상 발생을 방지할 수 있는 임의의 거리를 포함할 수 있다.
- [89] 도 5는 본 개시의 일 예에 따른 디스플레이 모듈의 픽셀 구조를 설명하기 위한 도면이다.
- [90] 도 5를 참조하면, 본 개시의 일 실시 예에 따라 제1 픽셀 어레이(550)와 제2 픽셀 어레이(560) 각각은, 2x2 형태로 서로 밀접하게 배치된 복수의 픽셀(112)을 포함할 수 있다.
- [91] 예를 들어, 기관(110) 상에 8개의 픽셀이 형성되며, 제1 픽셀 어레이(550)가 2x2 형태로 맞닿아 배치된 4개의 픽셀을 포함하며, 제2 픽셀 어레이(560)가 2x2 형태로 맞닿아 배치된 4개의 픽셀을 포함할 수 있다. 상술한 실시 예는 설명의 편의를 위한 일 예시이며 본 개시는 이에 한정되지 않음은 물론이다.
- [92] 도 3 및 5를 참조하면, 기관(110) 상의 좌측 영역 내의 좌측 외곽 영역과 우측 영역 내의 우측 외곽 영역 각각에 더미(Dummy) 제1 구동 회로(175)가 마련될 수 있다.
- [93] 여기서, 더미 제1 구동 회로(175)는, 제2 구동 회로(130)를 구동하기 위한 제어 신호들을 생성 및 전송하는 구성은 아니나, 제1 구동 회로(120)와 동일(또는, 유사)한 회로를 포함할 수 있다.

- [94] 예를 들어, 제1 구동 회로(120), 더미 제1 구동 회로들(175) 각각은, TFT(Thin Film Transistor)를 포함할 수 있고, 제2 구동 회로(130) 또한, TFT를 포함할 수 있음은 물론이다.
- [95] 일 실시 예에 따라, 기관(110)은 버티칼 형태의 제1 구동 회로(120)를 기준으로 좌측과 우측이 대칭되는 회로 패턴(pattern)을 포함하므로, Photolithography 공정 상 패턴(Pattern) 밀집도 차이에 의한 부하 효과(Load effect)를 일으킬 우려를 방지할 수 있다.
- [96] 한편, 더미 제1 구동 회로들(175)은 Floating 상태가 아니며, 제1 구동 회로(120)와 동일한 전위를 유지할 수 있다.
- [97] 예를 들어, 더미 제1 구동 회로들(175) 각각의 노드(Node)는 VGH, VGL, 구동 전압(VDD), 그라운드 전압(VSS) 등의 정전압 배선을 이용하여 모두 동일한 전위를 유지할 수 있으며, 이에 따라 Floating pattern에 의한 화상 Noise를 방지할 수 있다.
- [98] 도 6은 본 개시의 일 예에 따른 픽셀 어레이 간의 거리를 설명하기 위한 도면이다.
- [99] 도 4 및 도 6에 도시된 바와 같이, 복수의 픽셀(112)을 그룹핑(Grouping) 즉, 복수의 픽셀을 서로 밀접하게 배치시켜 설계하면, 기관(110)에 여분 공간(170)이 존재할 수 있다. 예를 들어, 3x3 형태는 600um, 2x2 형태는 400um로 더 많이 그룹핑 할수록 제1 구동 회로(120) 즉, 게이트 드라이버(Gate driver)를 설계 할 수 있는 영역이 넓어진다. 상술한 실시 예와 같이, 400um, 600um 등은, 버티칼 형태의 제1 구동 회(120)를 설계하기에 충분한 면적이다.
- [100] 도 2로 돌아와서, 본 개시의 일 실시 예에 따른 디스플레이 모듈(100)은 복수의 무기 발광 소자(140)를 구동하기 위한 각종 회로를 포함한다. 특히, 제2 구동 회로(130)는 복수의 무기 발광 소자(140)로 구동 전류를 제공한다. 구체적으로, 제2 구동 회로(130)는 제1 구동 회로(120)로부터 인가되는 데이터 전압, 구동 전압 및 각종 제어 신호에 기초하여, 크기 및 구동 시간이 제어된 구동 전류를 무기 발광 소자들(140)로 제공할 수 있다.
- [101] 즉, 제2 구동 회로(130)는 무기 발광 소자(140)를 PAM(Pulse Amplitued Modulation) 구동하고 및/또는 PWM(Pulse Width Modulation) 구동하여 무기 발광 소자들(140)이 발광하는 빛의 밝기를 제어할 수 있다.
- [102] 이를 위해, 제2 구동 회로(130)는, PAM 데이터 전압에 대응되는 크기의 구동 전류를 무기 발광 소자(140)로 제공하기 위한 PAM 회로, 및/또는 PAM 회로에서 제공되는 구동 전류를 PWM 데이터 전압에 대응되는 시간 동안 무기 발광 소자(140)로 제공하기 위한 PWM 회로를 포함할 수 있다.
- [103] 특히, PWM 구동 방식으로 무기 발광 소자들(140)을 구동하는 경우, 구동 전류의 크기(magnitue)가 동일하더라도 구동 전류의 구동 시간을 달리함으로써 다양한 계조를 표현할 수 있다. 따라서, 무기 발광 소자가 발광하는 빛의 파장이 구동 전류의 크기에 따라 변화하는 문제가 해결될 수 있으므로, 보다 나은 색재현성이 구현될 수 있다.

- [104] 제1 구동 회로(120)는 제2 구동 회로(130)를 구동하기 위한 구동 회로이다. 즉, 제1 구동 회로(120)는 제2 구동 회로(130)의 동작을 위한 제어 신호를 생성하여 제1 구동 회로(120)로 제공할 수 있다.
- [105] 구체적으로, 제1 구동 회로(120)는 복수의 클럭 신호 및 제1 구동 회로(120)의 동작을 제어하기 위한 제어 신호(예를 들어, 리셋 신호, 스타트 신호 등)를 입력받아 제2 구동 회로(130)의 동작을 제어하기 위한 제어 신호를 생성하고, 생성된 제어 신호를 제2 구동 회로(130)에 제공할 수 있다.
- [106] 예를 들어, 제1 구동 회로(120)는 매트릭스 형태로 서로 밀접하게 배치된 픽셀들(112)이 배열된 디스플레이 모듈(100)의 픽셀 어레이를 로우 라인 단위로 구동하기 위한 각종 제어 신호를 생성하여 제2 구동 회로(120)에 제공할 수 있다.
- [107] 본 개시의 하나 이상의 실시 예들에서 제1 구동 회로(120)는, 로우 라인 단위로 복수의 픽셀(또는 서브 픽셀)을 구동하기 위한 게이트 드라이버(또는 스캔 드라이버)의 적어도 일부를 지칭할 수 있으며, 픽셀 어레이의 각 픽셀을 구성하는 서브 픽셀들의 제2 구동 회로들(130)을 로우 라인 별로 순차적으로 구동할 수 있다.
- [108] 기판(110) 상에 각 무기 발광 소자들(140)을 구동하기 위한 제2 구동 회로(130)가 무기 발광 소자 별로 존재할 수 있다.
- [109] 무기 발광 소자들(140) 각각은, 대응되는 제2 구동 회로(130)와 전기적으로 연결되도록 기판(110) 위에 각각 실장 내지 배치될 수 있다.
- [110] 예를 들어, R 무기 발광 소자는, 애노드 전극 및 캐소드 전극이 제2 구동 회로(120)의 애노드 전극 및 캐소드 전극에 각각 연결되도록 기판(110) 상에 실장 내지 배치될 수 있으며, 이는 G 무기 발광 소자 및 B 무기 발광 소자도 마찬가지다.
- [111] 무기 발광 소자들(140)은 플립 칩(flip chip) 타입의 마이크로 LED에 한정되는 것은 아니며, 실시 예에 따라 수평(lateral) 타입이나 수직(vertical) 타입의 마이크로 LED가 될 수도 있다.
- [112] 본 개시의 일 실시 예에 따르면, 디스플레이 모듈(100)은 제1 구동 회로(120) 외에도 제2 구동 회로(130)를 구동하기 위한 각종 회로를 더 포함할 수 있다.
- [113] 여기서, 각종 회로는, 매트릭스 형태로 배치된 픽셀 어레이의 각 픽셀(또는 각 서브 픽셀)에 데이터 전압(예를 들어, PAM 데이터 전압 또는 PWM 데이터 전압)을 제공하기 위한 소스 드라이버 회로(또는 데이터 드라이버 회로)를 포함할 수 있다.
- [114] 또한, 각종 회로는, 픽셀을 구성하는 복수의 서브 픽셀을 각각 선택하기 위한 믹스(MUX) 회로를 포함할 수 있다.
- [115] 또한, 각종 회로는, 각종 구동 전압을, 디스플레이 모듈(100)에 포함된 각 제2 구동 회로(120)로 제공하기 위한 구동 전압 제공 회로를 포함할 수 있다.
- [116] 또한, 각종 회로는, 게이트 드라이버나 데이터 드라이버 회로를 구동하기 위한 각종 클럭 신호를 제공하는 클럭 신호 제공 회로를 포함할 수 있으며, PWM 회로의 구동을 위해 필요한 스위치 전압(예를 들어, 서로 다른 두 전압 사이를 시간에 따

라 선형적으로 변화하는 전압)을 제공하기 위한 스위치 전압 제공 회로를 포함할 수 있다.

- [117] 또는, 상술한 각종 회로들 중 적어도 일부는, 별도의 칩 형태로 구현되어 TCON(Timing Controller)과 함께 외부의 PCB(Printed Circuit Board)에 실장되고, FOG(Film On Glass) 배선을 통해 디스플레이 모듈(100)의 TFT 층에 형성된 제2 구동 회로들(130)과 연결될 수 있다.
- [118] 또는, 상술한 각종 회로들 중 적어도 일부는, 별도의 칩 형태로 구현되어 COF(Chip On Film) 형태로 필름 상에 배치되고, FOG(Film On Glass) 배선을 통해 디스플레이 모듈(100)의 TFT 층에 형성된 제2 구동 회로들(130)과 연결될 수 있다.
- [119] 또는, 상술한 각종 회로들 중 적어도 일부는, 별도의 칩 형태로 구현되어 COG(Chip On Glass) 형태로 배치(즉, 디스플레이 모듈(100)의 글래스 기판의 후면(글래스 기판을 기준으로 TFT 층이 형성되는 면의 반대쪽 면)에 배치)되고, 연결 배선을 통해 디스플레이 모듈(100)의 TFT 층에 형성된 제2 구동 회로들(130)과 연결될 수 있다.
- [120] 예를 들어, 상술한 각종 회로들 중 스위치 전압 제공 회로, 맥스 회로는 구동 회로층에 형성되고, 데이터 드라이버 회로는 디스플레이 모듈(100)의 글래스 기판의 후면에 배치되며, 구동 전압 제공 회로, 클럭 신호 제공 회로, TCON(Timing Controller)은 외부의 PCB(Printed Circuit Board)에 배치될 수 있으나, 이에 한정되는 것은 아니다.
- [121] 이상 설명한 바와 같이 본 개시의 하나 이상의 실시 예에 따르면, 베젤리스 디스플레이 모듈이 제공될 수 있다. 또한, 최적화된 구동 회로의 설계가 가능하며, 안정적으로 무기 발광 소자를 구동할 수 있다. 또한, 향상된 색재현성을 갖는 디스플레이 모듈을 제공할 수 있다. 또한, 디스플레이 패널의 소형화 및 경량화에 이바지할 수 있다.
- [122] 또한, 상술한 본 개시의 다양한 실시 예들에서, TFT 층(또는 TFT 패널)을 구성하는 TFT는 특정 구조나 타입으로 한정되지 않는다, 즉, 본 개시의 하나 이상의 예들에서 인용된 TFT는, LTPS(Low Temperature Poly Silicon) TFT, 산화물(oxide) TFT, 실리콘(poly silicon or a-silicon) TFT, 유기 TFT, 그래핀 TFT 등으로도 구현될 수 있으며, Si wafer CMOS 공정에서 P type(or N-type) MOSFET만 만들어 적용할 수도 있다.
- [123] 이상의 설명은 본 개시의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 개시의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 또한, 본 개시에 따른 실시 예들은 본 개시의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시 예에 의하여 본 개시의 기술 사상의 범위가 한정되는 것은 아니다. 따라서, 본 개시의 보호 범위는 아래의 청구범위에 의

하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 개시의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

- [청구항 1] 디스플레이 모듈에 있어서,
기판;
상기 기판 상의 중심 영역에 버티칼(Vertical) 형태로 마련되는 제1 구동 회로;
상기 제1 구동 회로를 기준으로 상기 기판의 좌측 영역 상에 형성되며, 매트릭스 형태로 배치된 제1 복수의 픽셀을 포함하는 제1 픽셀 어레이; 및
상기 제1 구동 회로를 기준으로 상기 기판의 우측 영역 상에 형성되며, 매트릭스 형태로 배치된 제2 복수의 픽셀을 포함하는 제2 픽셀 어레이;를 포함하며,
제1 복수의 픽셀의 각 픽셀 및 제2 복수의 픽셀의 각 픽셀은, 복수의 무기 발광 소자를 포함하며,
상기 제1 픽셀 어레이와 상기 제2 픽셀 어레이 각각은, 기 설정된 거리만큼 상기 제1 구동 회로로부터 분리된(separated), 디스플레이 모듈.
- [청구항 2] 제1항에 있어서,
상기 기판 상에 형성된 복수의 제2 구동 회로;를 더 포함하며,
상기 복수의 제2 구동 회로는,
상기 제1 복수의 픽셀 및 상기 제2 복수의 픽셀의 복수의 무기 발광 소자를 구동하며,
상기 제1 구동 회로는,
적어도 하나의 클릭 라인을 통해 인가되는 클릭 신호들에 기초하여 제어 신호들을 생성하며,
상기 생성된 제어 신호들을 상기 복수의 제2 구동 회로로 제공하여 상기 복수의 제2 구동 회로를 구동하는, 디스플레이 모듈.
- [청구항 3] 제2항에 있어서,
상기 적어도 하나의 클릭 라인은, 상기 기판 상에서 상기 제1 구동 회로와 중첩되는(overlap), 디스플레이 모듈.
- [청구항 4] 제1항에 있어서,
상기 제1 구동 회로의 상기 버티칼 형태는,
상기 기판을 상기 좌측 영역과 상기 우측 영역으로 구분하며,
상기 제1 복수의 픽셀은, 서로 밀접하게 접촉하며,
상기 제2 복수의 픽셀은, 서로 밀접하게 접촉하는, 디스플레이 모듈.
- [청구항 5] 제4항에 있어서,
상기 제1 복수의 픽셀은, 서로 직접 접촉하며,
상기 제2 복수의 픽셀은, 서로 직접 접촉하는, 디스플레이 모듈.
- [청구항 6] 제4항에 있어서,

상기 제1 픽셀 어레이의 상기 복수의 무기 발광 소자는, 서로 이격 배치되며,
상기 제2 픽셀 어레이의 상기 복수의 무기 발광 소자는, 서로 이격 배치되는, 디스플레이 모듈.

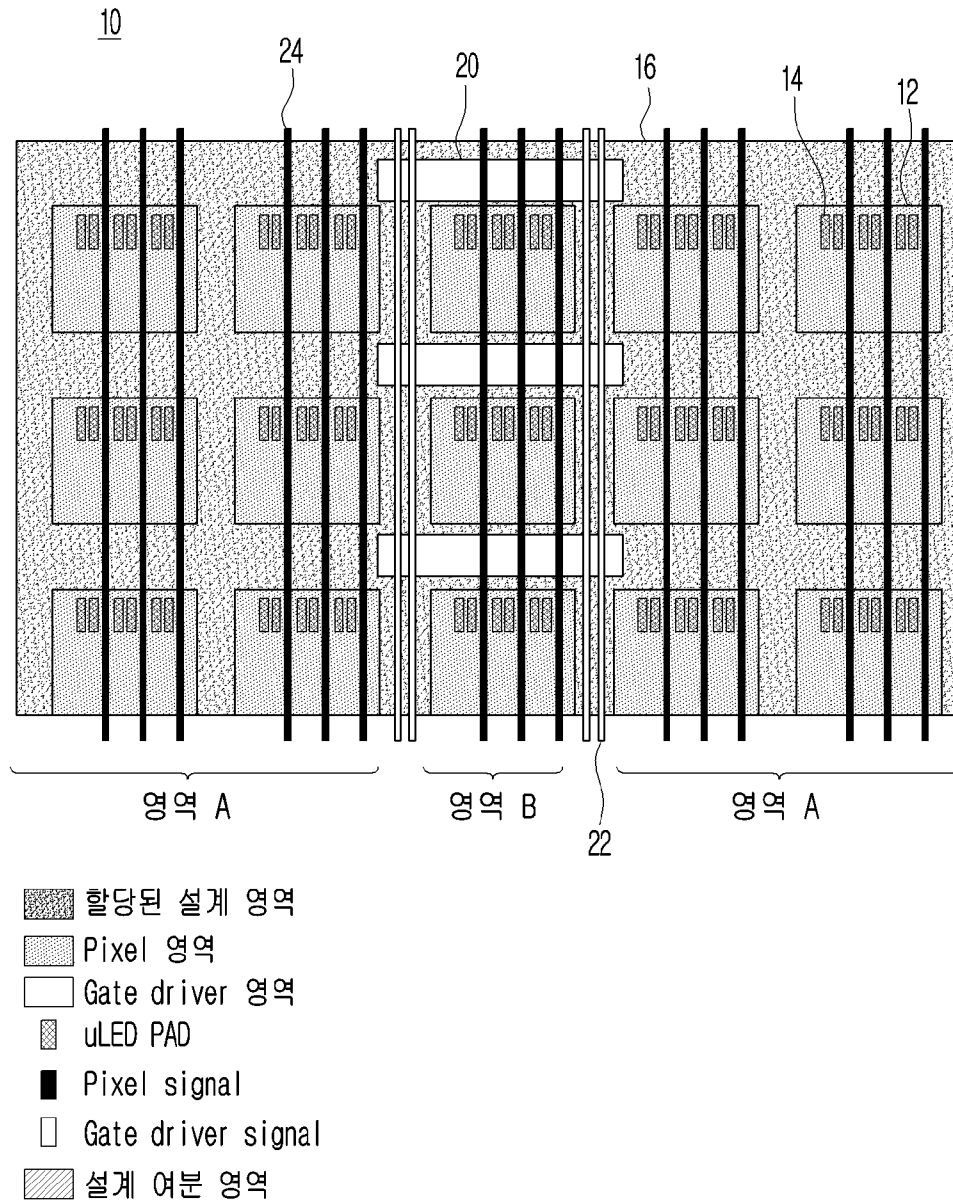
[청구항 7] 제1항에 있어서,
상기 좌측 영역 내의 상측 일부 영역 및 하측 일부 영역은 무기 발광 소자가 배치되지 않는 제1 여분 영역이며,
상기 우측 영역 내의 상측 일부 영역 및 하측 일부 영역은 무기 발광 소자가 배치되지 않는 제2 여분 영역인, 디스플레이 모듈.

[청구항 8] 제1항에 있어서,
상기 좌측 영역의 외곽 일부 영역에 배치된 제1 더미(Dummy) 제1 구동 회로; 및
상기 우측 영역의 외곽 일부 영역에 배치된 제2 더미 제1 구동 회로;를 더 포함하며,
상기 제1 더미 제1 구동 회로 및 제2 더미 제1 구동 회로 각각은,
상기 제1 구동 회로와 동일한 전위(potential)를 유지하는, 디스플레이 모듈.

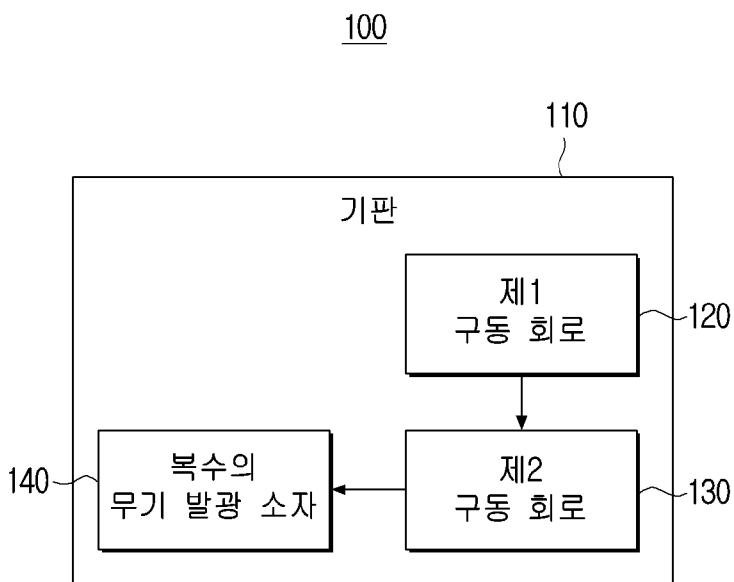
[청구항 9] 제1항에 있어서,
상기 기판의 상기 좌측 영역 및 상기 기판의 상기 우측 영역은,
상기 제1 구동 회로의 상기 버티칼 형태에서 대칭되는, 디스플레이 모듈.

[청구항 10] 제8항에 있어서,
상기 제1 구동 회로, 상기 제1 더미 제1 구동 회로 및 상기 제2 더미 제1 구동 회로 각각은,
TFT(Thin Film Transistor)를 포함하는, 디스플레이 모듈.

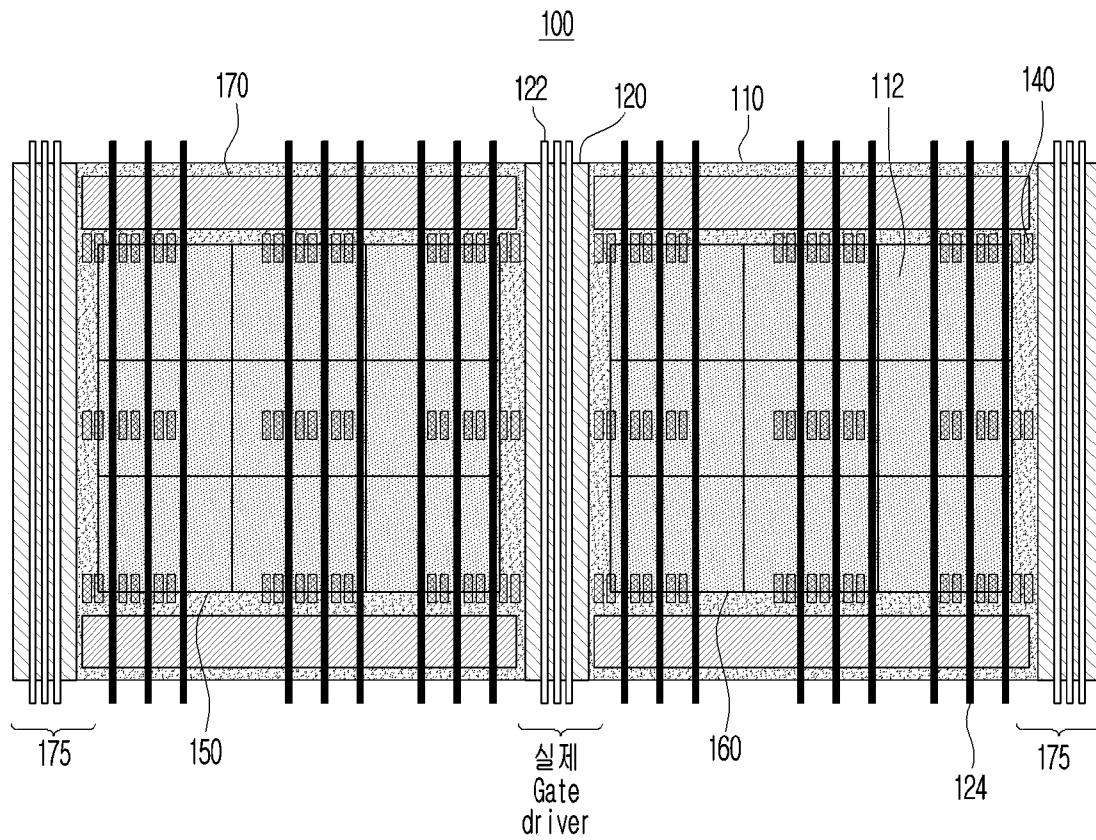
[도1]



[도2]

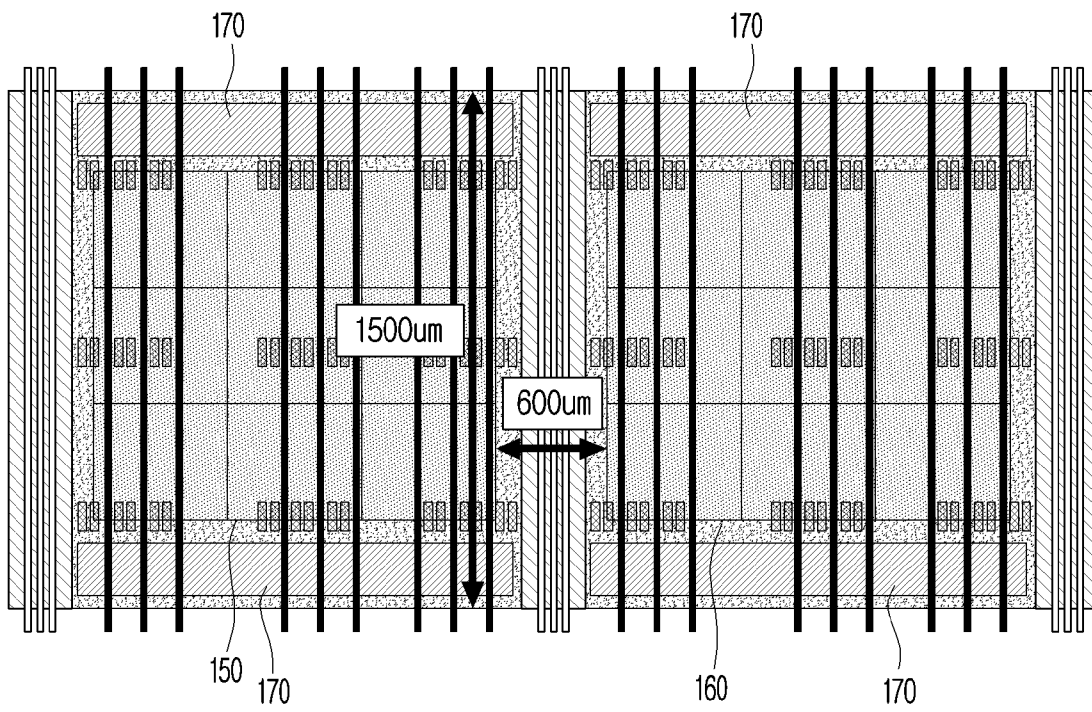


[도3]

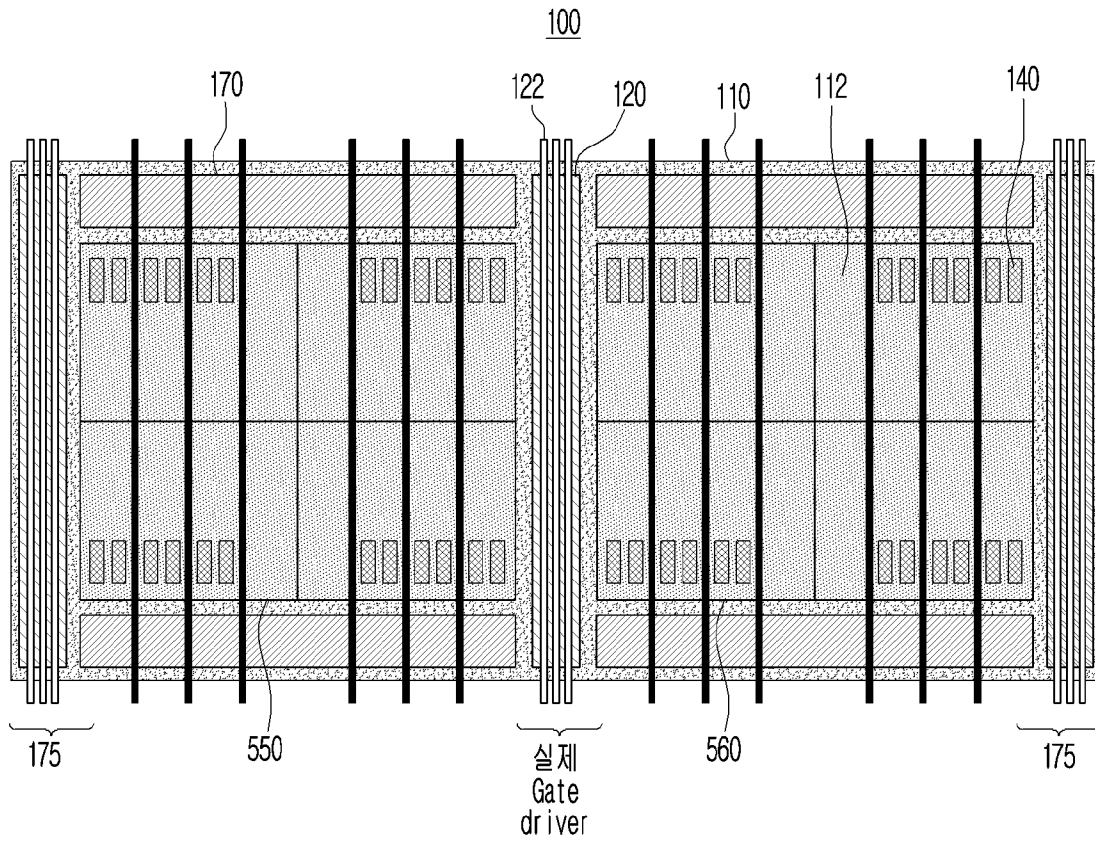


-  할당된 설계 영역
-  Pixel 영역
-  Gate driver 영역
-  uLED PAD
-  Pixel signal
-  Gate driver signal
-  설계 여분 영역

[도4]

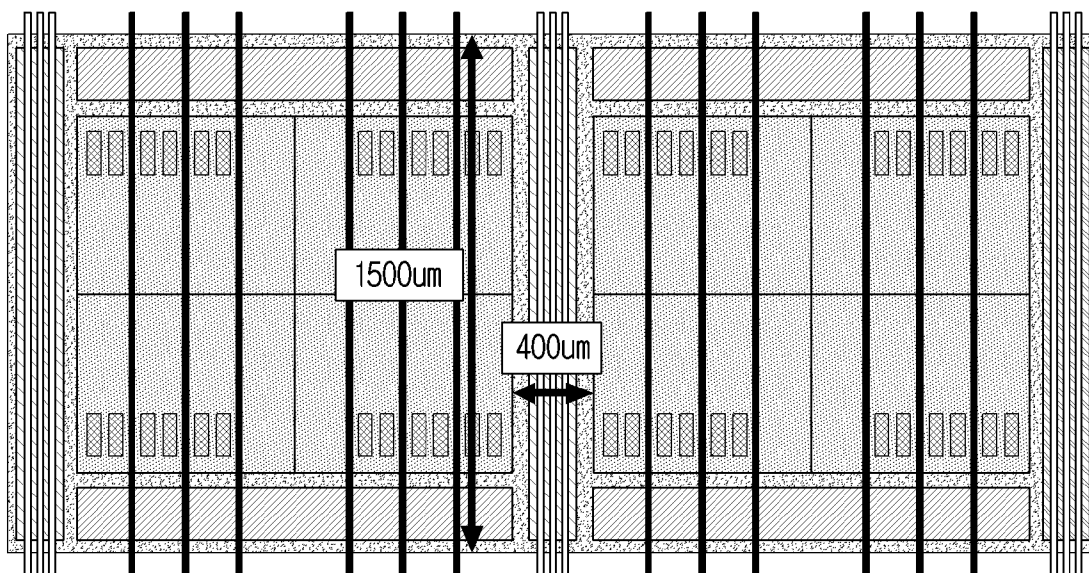


[도5]



-  할당된 설계 영역
-  Pixel 영역
-  Gate driver 영역
-  uLED PAD
-  Pixel signal
-  Gate driver signal
-  설계 여분 영역

[도6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/021002

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32(2006.01)i; H10K 59/88(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/32(2006.01); G02F 1/1339(2006.01); G02F 1/1345(2006.01); G09G 3/20(2006.01); H01L 27/12(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 기판(substrate), 픽셀 어레이(pixel array), 구동 회로(driver circuit), 더미(dummy), 발광 소자(light-emitting element), 커플링(coupling), 중첩(overlap)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2021-0087873 A (SAMSUNG ELECTRONICS CO., LTD. et al.) 13 July 2021 (2021-07-13) See paragraphs [0079], [0153] and [0269]-[0281]; claim 1; and figures 5, 7a and 17b-17c.	1-3,9
Y		4-8,10
Y	KR 10-2022-0061495 A (SAMSUNG ELECTRONICS CO., LTD.) 13 May 2022 (2022-05-13) See paragraph [0127]; and figure 11.	4-6
Y	KR 10-2020-0036290 A (LG DISPLAY CO., LTD.) 07 April 2020 (2020-04-07) See paragraph [0037]; and figure 1.	7-8,10
A	KR 10-2012-0062743 A (GLOBAL OLED TECHNOLOGY LLC) 14 June 2012 (2012-06-14) See paragraphs [0026]-[0035]; and figures 1-4c.	1-10
A	KR 10-1608165 B1 (SHARP KABUSHIKI KAISHA) 31 March 2016 (2016-03-31) See paragraphs [0066]-[0140]; and figures 1-14.	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 March 2024

Date of mailing of the international search report

27 March 2024

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/021002

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2021-0087873	A	13 July 2021	CN	114651297	A	21 June 2022
				EP	4010895	A1	15 June 2022
				US	11551605	B2	10 January 2023
				US	2021-0210002	A1	08 July 2021
				US	2023-0101460	A1	30 March 2023
				WO	2021-137663	A1	08 July 2021
KR	10-2022-0061495	A	13 May 2022	EP	4167218	A1	19 April 2023
				US	2022-0149112	A1	12 May 2022
				WO	2022-098067	A1	12 May 2022
KR	10-2020-0036290	A	07 April 2020	None			
KR	10-2012-0062743	A	14 June 2012	CN	102473719	A	23 May 2012
				CN	102473719	B	10 December 2014
				EP	2467875	A1	27 June 2012
				EP	2467875	B1	26 April 2017
				JP	2013-502609	A	24 January 2013
				JP	5654598	B2	14 January 2015
				TW	201117373	A	16 May 2011
				TW	1528543	B	01 April 2016
				US	2011-0043499	A1	24 February 2011
				US	8259095	B2	04 September 2012
				WO	2011-022192	A1	24 February 2011
KR	10-1608165	B1	31 March 2016	CN	104285177	A	14 January 2015
				CN	104285177	B	27 October 2017
				EP	2851744	A1	25 March 2015
				EP	2851744	B1	03 January 2018
				JP	5866439	B2	17 February 2016
				MY	170285	A	16 July 2019
				US	10838259	B2	17 November 2020
				US	11320701	B2	03 May 2022
				US	11598992	B2	07 March 2023
				US	11852924	B2	26 December 2023
				US	2015-0138466	A1	21 May 2015
				US	2021-0072575	A1	11 March 2021
				US	2022-0244588	A1	04 August 2022
				US	2023-0205019	A1	29 June 2023
				WO	2013-172243	A1	21 November 2013

A. 발명이 속하는 기술분류(국제특허분류(IPC)) G09G 3/32(2006.01)i; H10K 59/88(2023.01)i		
B. 조사된 분야		
조사된 최소문헌(국제특허분류를 기재) G09G 3/32(2006.01); G02F 1/1339(2006.01); G02F 1/1345(2006.01); G09G 3/20(2006.01); H01L 27/12(2006.01)		
조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC		
국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 기판(substrate), 픽셀 어레이(pixel array), 구동 회로(driver circuit), 더미(dummy), 발광 소자(light-emitting element), 커플링(coupling), 중첩(overlap)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2021-0087873 A (삼성전자주식회사 등) 2021.07.13 단락 [0079], [0153], [0269]-[0281]; 청구항 1; 및 도면 5, 7a, 17b-17c	1-3,9
Y		4-8,10
Y	KR 10-2022-0061495 A (삼성전자주식회사) 2022.05.13 단락 [0127]; 및 도면 11	4-6
Y	KR 10-2020-0036290 A (엘지디스플레이 주식회사) 2020.04.07 단락 [0037]; 및 도면 1	7-8,10
A	KR 10-2012-0062743 A (글로벌 오엔이디 테크놀로지 엘엘씨) 2012.06.14 단락 [0026]-[0035]; 및 도면 1-4c	1-10
A	KR 10-1608165 B1 (샤프 가부시키키가이샤) 2016.03.31 단락 [0066]-[0140]; 및 도면 1-14	1-10
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2024년03월27일 (27.03.2024)	국제조사보고서 발송일 2024년03월27일 (27.03.2024)	
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 김성희 전화번호 +82-42-481-3516	

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2021-0087873 A	2021/07/13	CN 114651297 A	2022/06/21
		EP 4010895 A1	2022/06/15
		US 11551605 B2	2023/01/10
		US 2021-0210002 A1	2021/07/08
		US 2023-0101460 A1	2023/03/30
		WO 2021-137663 A1	2021/07/08
KR 10-2022-0061495 A	2022/05/13	EP 4167218 A1	2023/04/19
		US 2022-0149112 A1	2022/05/12
		WO 2022-098067 A1	2022/05/12
KR 10-2020-0036290 A	2020/04/07	없음	
KR 10-2012-0062743 A	2012/06/14	CN 102473719 A	2012/05/23
		CN 102473719 B	2014/12/10
		EP 2467875 A1	2012/06/27
		EP 2467875 B1	2017/04/26
		JP 2013-502609 A	2013/01/24
		JP 5654598 B2	2015/01/14
		TW 201117373 A	2011/05/16
		TW I528543 B	2016/04/01
		US 2011-0043499 A1	2011/02/24
		US 8259095 B2	2012/09/04
		WO 2011-022192 A1	2011/02/24
KR 10-1608165 B1	2016/03/31	CN 104285177 A	2015/01/14
		CN 104285177 B	2017/10/27
		EP 2851744 A1	2015/03/25
		EP 2851744 B1	2018/01/03
		JP 5866439 B2	2016/02/17
		MY 170285 A	2019/07/16
		US 10838259 B2	2020/11/17
		US 11320701 B2	2022/05/03
		US 11598992 B2	2023/03/07
		US 11852924 B2	2023/12/26
		US 2015-0138466 A1	2015/05/21
		US 2021-0072575 A1	2021/03/11
		US 2022-0244588 A1	2022/08/04
		US 2023-0205019 A1	2023/06/29
		WO 2013-172243 A1	2013/11/21