



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA NUMERO	102006901394955
Data Deposito	13/03/2006
Data Pubblicazione	13/09/2007

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	06	K		

Titolo

SISTEMA AD UNITA' DI CONTROLLO DISTRIBUITO DI DISPOSITIVO DI MEMORIA.

SIB BI3679R

400.4131ITO01

Descrizione dell'invenzione industriale dal titolo:
 "SISTEMA AD UNITA' DI CONTROLLO DISTRIBUITO DI
 DISPOSITIVO DI MEMORIA"

a nome di Micron Technology, Inc. (Società dello
 Stato del Delaware)
 di Boise, Idaho (U.S.A.)

.....
DESCRIZIONE

CAMPO TECNICO DELL'INVENZIONE

La presente invenzione fa riferimento genericamente a dispositivi di memoria e, in particolare, la presente invenzione fa riferimento a dispositivi di memoria non volatile.

FONDAMENTO DELL'INVENZIONE

i dispositivi di memoria sono tipicamente disposti come circuiti interni, a semiconduttore, integrati in computer o altri dispositivi elettronici. Vi sono molti tipi differenti di memorie, che includono la memoria ad accesso casuale (RAM), la memoria a sola lettura (ROM), la memoria ad accesso casuale dinamico (DRAM), la

memoria ad accesso casuale dinamico sincrona (SDRAM) e la memoria flash.

I dispositivi di memoria flash sono stati sviluppati in una comune sorgente di memorie non volatili per una ampia gamma di applicazioni elettroniche. Utilizzazioni comuni per memorie flash includono personal computer, assistenti digitali personali (PDA), videocamere digitali e telefoni cellulari. Il codice di programma ed i dati di sistema, quale il sistema di base di ingresso/uscita (BIOS), vengono tipicamente memorizzati nei dispositivi di memoria flash per l'utilizzazione in sistemi a personal computer.

I dispositivi di memoria flash impiegano tipicamente un gate flottante, una cella di memoria ad un transistor che consente alte densità di memoria, alta affidabilità e basso consumo di energia elettrica. La regolazione della carica sul gate flottante determina una tensione di soglia (V_t) per la cella e, perciò, lo stato programmato/cancellato della cella. Ad esempio, quando la cella di memoria ha una soglia negativa, questa ha uno stato logico "1". Quando la soglia è positiva, la cella ha uno stato logico "0". Tipicamente, una cella di memoria cancellata si

trova nello stato logico "1".

Per ridurre il costo per bit, i produttori di memoria hanno creato celle di memoria flash a più livelli che sono in grado di memorizzare più bit per cella. Quando una cella di memoria memorizza "n" bit di dati, la cella di memoria ha 2^n stati o 2^n livelli di tensione di soglia. Ad esempio, se una cella di memoria memorizza due bit di dati, la cella ha quattro bande di soglia di tensione (V_t).

Due tipi comuni di architetture a schiera di memoria flash sono le architetture "NAND" e "NOR". Queste architetture vengono nominate per la somiglianza che la configurazione base della cella di memoria di ciascuna architettura presenta, rispettivamente, con i circuiti a porte NAND o NOR.

Dispositivi di memoria flash vengono programmati e cancellati da sequenze di operazioni. Una operazione di programma tipicamente coinvolge l'applicare sequenzialmente un impulso di programmazione ed un impulso di lettura di verifica di programma ad un blocco di celle di memoria del dispositivo. L'operazione degli impulsi di programmazione/lettura viene ripetuta, con l'impulso di programmazione che aumenta incrementalmente ogni volta, finchè non vengono

programmate le celle.

Una operazione di cancellazione comprende tipicamente un ciclo di preprogrammazione, un ciclo di cancellazione e un ciclo di programma soffice. Il ciclo di preprogrammazione immette la cella di memoria in uno stato noto programmato applicando un impulso di programma a ciascuna riga delle celle di memoria nel blocco di memoria. Il ciclo di cancellazione rimuove la carica dalla porta flottante per renderla più negativa. Il ciclo di programma soffice corregge la cella per sovracancellazione dopo che il ciclo di cancellazione è stato completato. Applicando un impulso di programmazione che presenta ampiezza minore rispetto ad un normale impulso di programmazione, la tensione di soglia per la cella sovracancellata viene portata indietro ad un livello opportuno.

La figura 1 illustra uno schema a blocchi di un tipico dispositivo di memoria flash di tecnica antecedente. Tale dispositivo è formato da una schiera di memoria 101 per memorizzare i dati. La schiera di memoria 101 è formata da una molteplicità di celle di memoria, come descritto in precedenza, che sono collegate in un formato a righe e colonne. Le righe delle celle sono

accoppiate da linee di parole e le colonne sono accoppiate da linee di bit.

Una cache dei dati 103 è accoppiata alla schiera 101 e memorizza temporaneamente i dati da scrivere nella schiera 101 ed i dati che sono stati letti in estrazione dalla schiera 101. I dati all'interno/all'esterno del blocco 105 sono la circuiteria di controllo per controllare l'immissione in lettura e la lettura in estrazione della schiera 101.

Un'area di fusibili 106 è un'area non volatile di memoria per memorizzare parametri di memoria che concernono il comportamento del chip. Questi parametri possono includere comandi di arresto di blocco di memoria, tensioni, temporizzazione, ed altri tali tipi di parametri. Il blocco analogico 108 è responsabile nel generare le varie tensioni richieste per l'operazione del circuito integrato. Ad esempio, le operazioni di scrittura e di cancellazione richiedono che tensioni differenti vengano applicate a varie linee di parola e linee di bit selezionate e non selezionate.

Una macchina a stati di comando (CSM) 112 è accoppiata ad una unità di controllo di algoritmo 110 ed interpreta comandi di utilizzatore che

vengono immessi attraverso le piazzole di circuito integrato 114. L'unità di controllo di algoritmo 110 è tipicamente una macchina a stati o un elaboratore che genera i segnali di controllo e le sequenze di segnale per le operazioni di lettura, programma e cancellazione in risposta ai comandi interpretati dalla CSM 112. L'unità di controllo 110 controlla inoltre la generazione di tensioni analogiche dal blocco analogico 108.

Il circuito di controllo del dispositivo di memoria flash 110 gestisce i vari componenti della memoria flash eseguendo le operazioni di memoria sopra descritte. L'unità di controllo interagisce con azionatori cablati per inviare segnali di azionatore a generatori analogici di tensione del dispositivo di memoria per controllare i generatori di tensione durante la programmazione, la cancellazione, ed altre operazioni di memoria.

Un problema con queste unità di controllo e azionatori cablati è che questi hanno un progetto fisso per una particolare applicazione. I circuiti non possono essere facilmente riconfigurati o aggiornati per altre applicazioni. Ciò limita la flessibilità del dispositivo di memoria flash.

Per i motivi sopra asseriti, e per altri che

diventeranno evidenti appresso a coloro che sono esperti nel ramo dopo la lettura e la comprensione della presente descrizione, c'è la necessità, nella tecnica, di una circuiteria di unità di controllo di memoria che possa essere adatta a differenti applicazioni.

SOMMARIO

I problemi sopra menzionati con dispositivi di memoria ed altri problemi vengono indirizzati dalla presente invenzione e verranno compresi leggendo e esaminando attentamente la descrizione che segue.

Le forme di realizzazione della presente invenzione raccolgono un sistema ad unità di controllo distribuite in un dispositivo di memoria flash. Il dispositivo di memoria comprende una schiera di memoria, un circuito analogico di generazione di tensione, ed una cache dei dati. Il sistema ad unità di controllo distribuite, in una forma di realizzazione, comprende una unità di controllo della cache dei dati che è accoppiata ed atta a controllare la cache dei dati, una unità di controllo analogica accoppiata e atta a controllare il circuito analogico di generazione di tensione, ed una unità di controllo master accoppiata e atta a controllare la schiera di memoria. Forme di

realizzazione alternative presentano quantità e tipi differenti di unità di controllo. Una volta che le unità di controllo sono state attivate, in risposta ad un comando ricevuto, queste possono controllare i loro rispettivi circuiti periferici di memoria in risposta alle loro rispettive istruzioni software/firmware.

Ulteriori forme di realizzazione dell'invenzione includono metodi ed apparecchiature di scopo variabile.

BREVE DESCRIZIONE DEI DISEGNI

La figura 1 mostra uno schema a blocchi di un tipico dispositivo di memoria flash di tecnica antecedente della presente invenzione.

La figura 2 mostra uno schema a blocchi di un dispositivo di memoria della presente invenzione con un circuito ad unità di controllo distribuite.

La figura 3 mostra uno schema a blocchi più dettagliato di una forma di realizzazione di un sistema base ad unità di controllo secondo la forma di realizzazione di figura 2.

La figura 4 mostra uno schema a blocchi di una forma di realizzazione di un dispositivo di memoria non volatile della presente invenzione come parte di un sistema a memoria.

La figura 5 mostra uno schema a blocchi per una forma di realizzazione di un modulo di memoria della presente invenzione.

La figura 6 mostra un diagramma di flusso per una forma di realizzazione di un metodo a sistema ad unità di controllo distribuite della presente invenzione.

DESCRIZIONE DETTAGLIATA

Nella descrizione dettagliata che segue dell'invenzione, si fa riferimento ai disegni annessi, che formano una sua parte, in cui vengono mostrate, a titolo di illustrazione, specifiche forme di realizzazione in cui l'invenzione può essere realizzata. Nei disegni, numeri simili descrivono sostanzialmente componenti simili in ogni parte delle svariate viste. Queste forme di realizzazione vengono descritte in dettaglio sufficiente per consentire a coloro che sono esperti nella tecnica di realizzare l'invenzione. Possono essere impiegate altre forme di realizzazione e possono essere effettuate variazioni strutturali, logiche ed elettriche senza allontanarsi dall'ambito della presente invenzione. La seguente descrizione dettagliata, perciò, non deve essere assunta in senso limitativo, e l'ambito

della presente invenzione viene definito dalle rivendicazioni annesse e dai relativi equivalenti.

La figura 2 uno schema a blocchi di una forma di realizzazione di un dispositivo di memoria della presente invenzione con una unità di controllo distribuita. Per fini di chiarezza, vengono illustrati soltanto i blocchi necessari alla comprensione dell'unità di controllo distribuita.

L'unità di controllo distribuita della presente invenzione suddivide le funzioni di controllo del dispositivo di memoria e distribuisce le differenti funzioni tra più unità di controllo. La forma di realizzazione illustrata in figura 2 impiega tre unità di controllo separate. Forme di realizzazione alternative possono impiegare altre quantità di unità di controllo a seconda dei compiti richiesti di ciascuna unità di controllo separata.

Il dispositivo di memoria è formato dalla schiera di memoria 201 che è costituita da una molteplicità di celle di memoria accoppiate a righe e colonne. Le righe di memoria sono accoppiate insieme tramite linee di parola e le colonne sono accoppiate insieme tramite linee di bit. In un dispositivo di memoria flash NAND, ciascuna colonna

di linee di bit forma una stringa seriale di celle. Forme di realizzazioni alternative includono una memoria ad architettura NOR, una memoria ad architettura AND, oppure altri formati di memoria, sia volatile sia non volatile.

Una cache dei dati 204 è accoppiata alla schiera di memoria 201. La cache dei dati 204 è un buffer che memorizza temporaneamente dati che vengono letti dalla schiera di memoria 201 e dati da scrivere nella schiera di memoria 201.

Una funzione analogica 203 genera le varie tensioni richieste per il corretto funzionamento della schiera di memoria 201. Ad esempio, alle celle della memoria flash si potrebbe richiedere dovunque da +16V a +20V per programmare, e tensioni negative possono essere richieste per cancellare le celle.

Il circuito dell'unità di controllo è suddiviso in tre unità di controllo separate 205-207. La prima unità di controllo 205 è l'unità di controllo analogica 205. Questa unità di controllo 205 è accoppiata al ed è responsabile del controllo dl blocco di tensione analogica 203. L'unità di controllo analogica 205 genera segnali in modo da istruire il blocco di tensione analogica 203 a

generare le differenti tensioni richieste per il corretto funzionamento delle celle della schiera di memoria, come descritto in precedenza. L'unità di controllo analogica 25 genera queste istruzioni in risposta ad un comando ricevuto, quali comandi di lettura, scrittura o cancellazione di memoria.

Una unità di controllo 207 della cache dei dati è accoppiata alla ed in grado di controllare la cache dei dati 204. L'unità di controllo 207 della cache dei dati genera i segnali necessari per abilitare la cache 204 durante operazioni di lettura e di scrittura. Ad esempio, se viene ricevuto un comando di lettura di memoria, l'unità di controllo 207 della cache dei dati genera i segnali che fanno sì che la cache dei dati 204 accetti i dati dalla schiera di memoria 201. Se viene ricevuto un comando di scrittura di memoria, l'unità di controllo 207 della cache dei dati genera i segnali necessari per far sì che la cache 204 accetti i dati da piazzole esterne di dati del circuito integrato ed ammetta i dati attraverso la schiera di memoria 201 per programmazione. Se la cache 207 ha uno stato ad alta impedenza, l'unità di controllo può generare i segnali di controllo per avviare questo stato.

L'unità di controllo master 206 è accoppiata alla ed in grado di controllare la schiera di memoria 201. Questa unità di controllo 206 è pure accoppiata alle altre due unità di controllo 205, 207 e genera inoltre i segnali necessari per attivarle.

Quando un comando di utilizzatore (ad esempio, lettura, scrittura, cancellazione) viene ricevuto dalla CSM 209, questo viene interpretato ed inviato alla unità di controllo master 206. L'unità di controllo master 206 quindi decide quale delle altre unità di controllo 205, 207 debba essere attivata.

Ad esempio, se viene ricevuto un comando di cancellazione, l'unità di controllo master 206 invia un segnale alla unità di controllo analogica 205 che è stato ricevuto il comando di cancellazione. L'unità di controllo analogica 205 determina quindi quali tensioni sono richieste per cancellare il blocco di memoria desiderato ed istruisce il blocco di tensione analogica 203 a generare quelle tensioni.

Se viene ricevuto dalla CSM 209 un comando di programma o di scrittura di dati, l'unità di controllo master 206 viene informata del comando

dalla CSM 209. L'unità di controllo master 206 invia un segnale alla unità di controllo 207 della cache dei dati, che è stato ricevuto un comando di scrittura. L'unità di controllo 607 della cache dei dati determina che questo comando richiede alla cache dei dati 404 di accettare dati dai pin di ingresso dei dati del circuito integrato e presentare quei dati alla schiera di memoria 201.

L'unità di controllo master 206 invia inoltre un segnale alla unità di controllo analogica 205 che è stato ricevuto il comando di scrittura. L'unità di controllo analogica 205 determina quali tensioni sono richieste per programmare i dati nella schiera di memoria 201, ed istruisce il blocco di tensione analogica 203 a generare queste tensioni. L'unità di controllo master 206 inoltre genera i segnali richiesti dalla schiera 201 per eseguire una scrittura di memoria. Ad esempio, l'unità di controllo master 206 può generare i segnali per attivare i transistori di selezione di gate e drain ed i transistori di selezione di gate e source, che consentono di accedere alle celle di memoria.

Se un comando di lettura viene ricevuto dalla CSM 209, l'unità di controllo master 206 viene

formata del comando dalla CSM 209. L'unità di controllo master 206 invia un segnale alla unità di controllo 207 della cache dei dati che è stato ricevuto il comando di lettura. L'unità di controllo 207 della cache dei dati determina che un comando di lettura richiede che la cache dei dati 204 accetti i dati dalla schiera di memoria 201. L'unità di controllo 207 genera i segnali richiesti per consentire alla cache 204 di eseguire questa azione.

L'unità di controllo master 206 invia inoltre un segnale alla unità di controllo analogica 205 che è stato ricevuto il comando di lettura. L'unità di controllo analogica 205 determina quali tensioni analogiche vengono richieste dalle celle di memoria della schiera 201 per eseguire una operazione di lettura. L'unità di controllo 205 istruisce quindi il blocco di tensione analogica 203 a generare queste tensioni.

L'unità di controllo master 206 inoltre genera i segnali richiesti dalla schiera di memoria 201 per eseguire il comando di lettura. Ad esempio, l'unità di controllo master 206 può generare i segnali di controllo che attivano i transistori di selezione di gate e drain e di selezione di gate e

source, consentendo così l'accesso ad una particolare stringa serie di memoria.

In una forma di realizzazione alternativa, il sistema ad unità di controllo distribuite ha più unità di controllo analogiche e/oppure più unità di controllo della cache dei dati, con una o più unità di controllo master. In tale forma di realizzazione, il dispositivo di memoria può avere più di una schiera di memoria, richiedendo circuiti separati di generazione di tensione analogica e cache separate dei dati per ciascuna schiera separata.

La forma di realizzazione di figura 2 mostra la flessibilità permessa dal sistema ad unità di controllo distribuite della presente invenzione. Ciascun circuito dell'unità di controllo è accoppiato ad una parte differente della circuiteria periferica di memoria (cioè, blocco di tensione analogica, cache dei dati). Se le tensioni analogiche vengono variate e/oppure la temporizzazione dei segnali richiesti per attivare la cache dei dati varia, è necessario che venga variato soltanto il software/firmware della rispettiva unità di controllo, per aggiornare il dispositivo di memoria. L'intero software di

controllo non deve essere aggiornato come viene richiesto dalla tecnica antecedente.

La figura 3 illustra uno schema a blocchi di una forma di realizzazione di un circuito 205-207 di unità di controllo della presente invenzione, come illustrato in figura 2. Il circuito illustrato è solo per scopo di illustrazione, dal momento che forme di realizzazione alternative possono impiegare differenti blocchi funzionali e/oppure blocchi funzionali che sono accoppiati in una configurazione differente per ottenere sostanzialmente risultati simili.

Il circuito di controllo è formato da una unità logica aritmetica (ALU) 301 che esegue le funzioni matematiche dell'unità di controllo. La ALU 301 esegue operazioni aritmetiche e logiche semplici o complesse, quali addizione, sottrazione, confronti, ed altri tali operazioni.

Il file dei registri 303 è un insieme di registri per memorizzare un'informazione temporanea quali i valori dei contatori e delle tensioni. Il file dei registri 303 può memorizzare una informazione dalla ALU mentre sta operando sui dati. Il file dei registri 303 può inoltre memorizzare segnali che devono essere trasmessi dal

circuito oppure segnali che sono stati trasmessi al circuito.

La memoria a solo lettura (ROM) di codici 305 memorizza rappresentazioni binarie di istruzioni da eseguire da parte del circuito dell'unità di controllo. Tipicamente, la matrice di bit nella ROM 305 viene generata da un compilatore quando il circuito integrato di memoria viene progettato e sono quindi note le istruzioni richieste per il funzionamento del circuito dell'unità di controllo. Queste sono le istruzioni che determinano la temporizzazione dei segnali di controllo ed i tipi di segnali di controllo che vengono generati per controllare blocchi specifici del dispositivo di memoria a cui una unità di controllo specifica è accoppiata.

Un decodificatore 307 di istruzioni esegue la decodifica di istruzioni che provengono dalla ROM di codici 305 attraverso un registro di istruzioni 309. Il registro 309 memorizza l'istruzione corrente che è stata letta dalla ROM 305 e che sta venendo eseguita dal decodificatore delle istruzioni 307.

Il contatore di programma 311 è un registro che memorizza l'indirizzo dell'istruzione corrente

da eseguire. Il contatore 311 viene aggiornato dopo ciascuna esecuzione di istruzione. L'indirizzo dell'istruzione successiva può essere l'indirizzo successivo oppure qualche altro indirizzo a cui il codice viene istruito di saltare in risposta ad una delle istruzioni dalla ROM 305.

L'oscillatore 313 è il clock di sistema del circuito di controllo. Questo viene attivato dalla CSM 209 di figura 2 attraverso la linea OSC_EN dopo che è stato ricevuto un comando di utilizzatore. In una forma di realizzazione, viene impiegato un ciclo di clock per eseguire una istruzione. Forme di realizzazione alternative possono impiegare altre quantità di cicli di clock per istruzione.

Con riferimento ad entrambe le figure 3 e 6, il circuito dell'unità di controllo opera mediante avvio 601 dell'oscillatore 313. Una istruzione viene letta 603 dalla ROM 305 e memorizzata 605 nel registro delle istruzioni 309. L'istruzione viene decodificata 607 mediante il decodificatore di istruzione 307 e, dalla ALU 301, vengono eseguite, 609, le operazioni aritmetiche o logiche. Il contatore di programma 311 viene quindi aggiornato 611 in risposta all'ultima istruzione eseguita oppure al successivo indirizzo sequenziale nella

ROM 305.

La prestazione dell'istruzione può includere il generare i segnali per attivare altri circuiti dell'unità di controllo, come quando l'unità di controllo master attiva le unità di controllo analogiche o della cache dei dati. La prestazione può pure includere la generazione di segnali che controllano la particolare circuiteria periferica di memoria a cui è accoppiata la particolare unità di controllo.

La figura 4 illustra una schema a blocchi funzionale di un dispositivo di memoria 400 che può incorporare le celle di memoria non volatile della presente invenzione. Il dispositivo di memoria 400 è accoppiato ad un elaboratore 410. L'elaboratore 410 può essere un microprocessore oppure un qualche altro tipo di circuiteria di controllo. Il dispositivo di memoria 400 e l'elaboratore 410 formano parte di un sistema elettronico 420. Il dispositivo di memoria 400 è stato semplificato per focalizzare su caratteristiche della memoria che sono utili nel comprendere la presente invenzione.

Il dispositivo di memoria include una schiera di celle di memoria flash 430 oppure un qualche altro tipo di celle di memoria non volatile. La

schiera di memoria 430 è disposta in banchi di righe e colonne. Le porte di controllo di ciascuna riga delle celle di memoria sono accoppiate con una linea di parole, mentre i collegamenti di drain e source delle celle di memoria sono accoppiati alle linee di bit. Come è ben noto nella tecnica, il collegamento delle celle alle linee di bit dipende dal fatto se la schiera è una architettura NAND, una architettura NOR, una architettura AND, o qualche altra architettura a schiera.

Un circuito 440 del buffer degli indirizzi è disposto per agganciare segnali di indirizzo forniti sui collegamenti di immissione degli indirizzi Ao-Ax 442. I segnali di indirizzo vengono ricevuti e decodificati mediante un decodificatore di riga 444 ed un decodificatore di colonna 446 per accedere alla schiera di memoria 430. Verrà compreso da coloro che sono esperti nella tecnica, con l'aiuto della presente descrizione, che il numero di collegamenti di immissione degli indirizzi dipende dalla densità e dalla architettura della schiera di memoria 430. Cioè, il numero di indirizzi aumenta con sia i conteggi aumentati delle celle di memoria sia i conteggi aumentati di banchi e blocchi.

Il dispositivo di memoria 400 legge i dati nella schiera di memoria 430 rilevando variazioni di tensione o corrente nelle colonne della schiera di memoria impiegando una circuiteria di amplificatore di rilevazione/ buffer 450. La circuiteria di amplificatore di rilevazione/ buffer, in una forma di realizzazione, è accoppiata per leggere ed agganciare una riga di dati dalla schiera di memoria 430. Una circuiteria 460 di buffer di immissione ed uscita di dati è inclusa per comunicazione bidirezionale di dati su una molteplicità di collegamenti di dati 462 con l'unità di controllo 410. Una circuiteria di scrittura 455 è disposta per scrivere dati nella schiera di memoria.

La circuiteria a controllo distribuita 470 della presente invenzione decodifica segnali forniti sui collegamenti di controllo 472 dall'elaboratore 410. L'architettura e la funzione della circuiteria di controllo 470 sono state descritte in dettaglio precedentemente.

Il dispositivo di memoria flash illustrato in figura 4 è stato semplificato per facilitare la comprensione di base delle caratteristiche della memoria, ed è solo per fini illustrativi. Una

comprensione più dettagliata della circuiteria interna e delle funzioni delle memorie flash è nota a coloro che sono esperti nella tecnica. Forme di realizzazioni alternative possono includere la cella di memoria flash della presente invenzione in altri tipi di sistemi elettronici.

La figura 5 è una illustrazione di un modulo di memoria 500 che incorpora le forme di realizzazione di celle di memoria come discusso in precedenza. Sebbene il modulo di memoria 500 venga illustrato come una scheda di memoria, i concetti discussi con riferimento al modulo di memoria 500 sono applicabili ad altri tipi di memoria amovibile o portatile, ad esempio le unità di pilotaggio flash USB. Inoltre, sebbene in figura 5 venga illustrato un fattore di forma esemplificativo, questi concetti sono applicabili pure ad altri fattori di forma.

Il modulo di memoria 500 include un alloggiamento 505 per racchiudere uno o più dispositivi di memoria 510 della presente invenzione. L'alloggiamento 505 include uno o più contatti 515 per comunicazione con un dispositivo host. Esempi di dispositivi host includono videocamere digitali, dispositivi di registrazione

e riproduzione digitale, PDA, personal computer, lettori di schede di memoria, hub di interfacce e simili. Per alcune forme di realizzazione, i contatti 515 sono nella forma di una interfaccia standardizzata. Ad esempio, con una unità USB flash, i contatti 515 potrebbero essere nella forma di un connettore maschio USB del tipo A. Per alcune forme di realizzazione, i contatti 515 sono nella forma di una interfaccia semi-proprietaria, la quale potrebbe trovarsi nelle schede di memoria COMPACTFLASH sotto licenza da parte di SANDISK Corporation, schede di memoria MEMOWY STICK sotto licenza da parte di SONY Corporation, schede di memoria SD SECURE DIGITAL sotto licenza da parte di TOSHIBA Corporation, e simili. Tuttavia, in genere, i contatti 515 forniscono una interfaccia per far passare segnali di controllo, indirizzo e/oppure di dati tra il modo di memoria 500 ed un host avente recettori compatibili per i contatti 515.

Il modulo di memoria 500 può facoltativamente includere una circuiteria addizionale 520. Per talune forme di realizzazione, la circuiteria addizionale 520 può includere una unità di controllo di memoria per controllare l'accesso attraverso più dispositivi di memoria 510 e/oppure

per fornire uno strato di traslazione tra un host esterno ed un dispositivo di memoria 510. Ad esempio, può non esservi una corrispondenza di uno ad uno tra il numero di contatti 515 ed il numero di collegamenti di I/O con l'uno o più dispositivi di memoria 510. Così, una unità di controllo di memoria potrebbe essere accoppiata selettivamente ad un collegamento di I/O (non mostrato in figura 5) di un dispositivo di memoria 510 per ricevere il segnale opportuno all'opportuno collegamento di I/O all'istante opportuno oppure fornire il segnale opportuno all'opportuno contatto 515 all'istante opportuno. Similmente, il protocollo di comunicazione tra un host ed un modulo di memoria 500 può essere differente da ciò che viene richiesto per un accesso di un dispositivo di memoria 510. Una unità di controllo di memoria potrebbe quindi traslare le sequenze di comando ricevute da un host nelle opportune sequenze di comando per ottenere l'accesso desiderato al dispositivo di memoria 510. Tale traslazione può inoltre includere variazioni nei livelli di tensione di segnale oltre alle sequenze di comando.

La circuiteria addizionale 520 può inoltre includere funzionalità non correlata al controllo

di un dispositivo di memoria 510. La circuiteria addizionale 520 può includere una circuiteria per limitare l'accesso di lettura o scrittura al modulo di memoria 500, quale protezione di password, biometrica o simili. La circuiteria addizionale 520 può includere una circuiteria per indicare lo stato del modulo di memoria 500. Ad esempio, la circuiteria addizionale 520 può includere una funzionalità per determinare se sta venendo fornita energia elettrica al modulo di memoria 500, e se si sta attualmente accedendo al modulo di memoria 500, e visualizzare una indicazione del suo stato, ad esempio luce piena, mentre alimentato e luce lampeggiante durante l'accesso. La circuiteria addizionale 520 può inoltre includere dispositivi passivi, ad esempio condensatori di disaccoppiamento, per aiutare a regolamentare i requisiti di alimentazione all'interno del modulo di memoria 500.

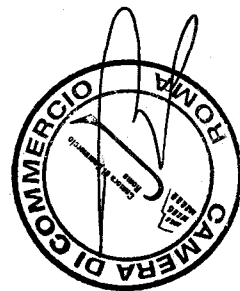
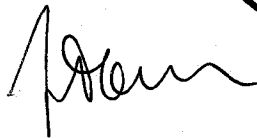
CONCLUSIONE

Riassumendo, le forme di realizzazione delle unità di controllo distribuite della presente invenzione forniscono una migliorata velocità di esecuzione di algoritmo ed una riduzione del carico a monte in un dispositivo di memoria. Inoltre,

avendo più unità di controllo dedicate, ciascuna accoppiata ad una funzione specifica di memoria, è necessario che venga aggiornato soltanto il software/firmware per quella particolare unità di controllo quando un circuito di memoria cambia.

Sebbene siano state illustrate e descritte in questa sede forme di realizzazione specifiche, verrà compreso da coloro che sono di capacità ordinaria nella tecnica che qualsiasi disposizione che viene calcolata per ottenere lo stesso scopo può essere sostituita per le specifiche forme di realizzazione mostrate. Molti adattamenti dell'invenzione saranno evidenti a coloro che sono di capacità ordinaria nella tecnica. Di conseguenza, questa domanda intende coprire qualsiasi adattamento o variazione dell'invenzione. E' chiaramente inteso che questa invenzione viene limitata soltanto dalle rivendicazioni seguenti e dai relativi equivalenti.

Gilberto Toron
(scr. Albo n. 83 BM)



RIVENDICAZIONI

1. Sistema a controllo distribuito in un dispositivo di memoria avente una scheda di memoria per memorizzare dati, il sistema comprendendo:

una molteplicità di circuiti di unità di controllo, ciascun circuito avendo una funzione predeterminata; e

una molteplicità di circuiti periferici di memoria, accoppiati alla schiera di memoria, per

generare segnali di tensione e di cache dei dati in risposta alla molteplicità di circuiti dell'unità di controllo, ciascun circuito periferico di memoria accoppiato a e controllato da un differente circuito dell'unità di controllo della molteplicità di circuiti dell'unità di controllo.

2. Sistema della rivendicazione 1, in cui ciascuna funzione predeterminata è differente da altre funzioni predeterminate.

3. Sistema della rivendicazione 1, in cui uno della molteplicità di circuiti dell'unità di controllo è un circuito dell'unità di controllo master che controlla i rimanenti circuiti dell'unità di controllo.

4. Sistema della rivendicazione 1, in cui il

dispositivo di memoria è un dispositivo di memoria flash.

5. Sistema della rivendicazione 4, in cui il dispositivo di memoria flash è un dispositivo di memoria flash NAND.

6. Sistema della rivendicazione 1, in cui le funzioni predeterminate includono il controllo della tensione analogica, il controllo della cache dei dati, ed il controllo della schiera di memoria.

7. Sistema ad unità di controllo distribuite in un dispositivo di memoria flash avente una schiera di memoria comprendente una molteplicità di celle di memoria non volatile accoppiate in un formato a righe e colonne, ciascuna riga accoppiata da una linea di parole e ciascuna colonna accoppiata da una linea di bit, l'accesso a ciascuna colonna controllata da un transistor di selezione di gate e drain e da un transistor di selezione di gate e source, il sistema comprendendo:

una molteplicità di circuiti dell'unità di controllo, ciascun circuito dell'unità di controllo avendo una funzione predeterminata che differisce dalla funzione predeterminata dei rimanenti circuiti dell'unità di controllo, un primo circuito dell'unità di controllo accoppiato a ciascuno dei

rimanenti circuiti dell'unità di controllo; e

una molteplicità di circuiti periferici di memoria, accoppiati alla schiera di memoria, per generare segnali di tensione e di cache dei dati in risposta alla molteplicità dei circuiti dell'unità di controllo, ciascun circuito periferico di memoria accoppiato a e controllato da un differente circuito dell'unità di controllo della molteplicità di circuiti dell'unità di controllo.

8. Sistema della rivendicazione 7 ed includente inoltre una macchina a stati di comando, accoppiata al primo circuito dell'unità di controllo della molteplicità di circuiti dell'unità di controllo, per accettare ed interpretare comandi di utilizzatore.

9. Sistema della rivendicazione 7, in cui il primo circuito dell'unità di controllo è un circuito dell'unità di controllo master che controlla l'attivazione dei rimanenti circuiti dell'unità di controllo.

10. Sistema della rivendicazione 8, in cui il primo circuito dell'unità di controllo è accoppiato alla e genera segnali di controllo per la schiera di memoria ed i rimanenti circuiti dell'unità di controllo, in risposta a comandi di utilizzatore

interpretati.

11. Sistema della rivendicazione 10, in cui il primo circuito dell'unità di controllo genera segnali di controllo per attivare i transistori di selezione di gate e drain e di selezione di gate e source.

12. Dispositivo di memoria flash avente un sistema ad unità di controllo distribuite, il dispositivo comprendendo:

una schiera di memoria flash comprendente una molteplicità di celle di memoria non volatile accoppiate in un formato a righe e colonne, ciascuna riga accoppiata da una linea di parole e ciascuna colonna accoppiata da una linea di bit, l'accesso a ciascuna colonna controllato da un transistor di selezione di gate e drain e da un transistor di selezione di gate e source;

una cache di dati per accettare dati dalla e trasmettere dati alla schiera di memoria;

un circuito di generazione di tensione analogica per generare tensioni analogiche per l'operazione della schiera di memoria; e

una molteplicità di circuiti di unità di controllo comprendente una unità di controllo master accoppiata alla schiera di memoria flash,

una unità di controllo della cache dei dati accoppiata alla cache dei dati, ed una unità di controllo analogica accoppiata al circuito di generazione di tensione analogica, l'unità di controllo master accoppiata per ed atta ad attivare sia l'unità di controllo della cache dei dati sia l'unità di controllo analogica in risposta ad un comando ricevuto.

13. Dispositivo di memoria flash della rivendicazione 12, in cui l'unità di controllo master è atta a generare segnali di controllo che controllano l'operazione dei transistori di selezione di gate drain e source in risposta al comando ricevuto.

14. Sistema ad unità di controllo distribuite in un dispositivo di memoria flash comprendente una schiera di memoria, un circuito di generazione di tensione analogica, ed una cache dei dati, il sistema comprendendo:

una unità di controllo della cache dei dati accoppiata alla ed atta a controllare la cache dei dati;

una unità di controllo analogica accoppiata al ed atta a controllare il circuito di generazione di tensione analogica; e

una unità di controllo master accoppiata alla schiera di memoria, alla unità di controllo della cache di dati, ed alla unità di controllo analogica per attivare ciascuna unità di controllo in risposta ad un comando ricevuto.

15. Sistema della rivendicazione 14, in cui l'unità di controllo della cache dei dati è atta a generar segnali di controllo che consentono alla cache dei dati di ricevere dati dalla schiera di memoria in risposta ad un comando di lettura e trasmettere dati alla schiera di memoria in risposta ad un comando di scrittura.

16. Sistema della rivendicazione 14, in cui l'unità di controllo analogica è atta a generare segnali di controllo che controllano i livelli di tensione generati dal circuito di generazione di tensione analogica.

17. Sistema della rivendicazione 14, in cui l'unità di controllo master è atta a generare segnali di controllo che attivano elementi circuitali all'interno della schiera di memoria.

18. Sistema della rivendicazione 14, in cui ciascuna delle unità di controllo della cache dei dati, analogica e master comprendono:

una ROM dei codici per memorizzare istruzioni;

un decodificatore di istruzione, accoppiato alla ROM dei codici, per codificare ciascuna istruzione che viene letta dalla ROM dei codici;

una unità logico aritmetica che esegue operazioni in risposta ad istruzioni decodificate;
e

un file dei registri per memorizzare dati dalla unità logico aritmetica.

19. Sistema della rivendicazione 18, in cui la ROM dei codici di ciascuna delle unità di controllo comprende differenti istruzioni in risposta ad una funzione della unità di controllo.

20. Sistema della rivendicazione 14, in cui l'unità di controllo analogica non è collegata alla unità di controllo della cache dei dati.

21. Sistema a memoria comprendente:

un elaboratore che genera segnali di memoria;
e

un dispositivo di memoria accoppiato all'elaboratore e che opera in risposta ai segnali di memoria, il dispositivo di memoria comprendendo:

una schiera di memoria flash, comprendente una molteplicità di celle di memoria non volatile;

una cache dei dati, per accettare dati dalla e trasmettere dati alla schiera di memoria;

un circuito di generazione di tensione analogica, per generare tensioni analogiche per l'operazione della schiera di memoria; e

una molteplicità di circuiti dell'unità di controllo comprendente una unità di controllo master accoppiata alla schiera di memoria flash, una unità di controllo della cache dei dati, accoppiata alla cache dei dati, ed una unità di controllo analogica accoppiata al circuito di generazione di tensione analogica, l'unità di controllo master accoppiata alla ed atta ad attivare, in risposta ad un comando ricevuto, sia la unità di controllo della cache dei dati sia la unità di controllo analogica.

22. Sistema della rivendicazione 21, in cui la schiera di memoria è una schiera di memoria ad architettura NAND.

23. Modulo di memoria comprendente:

almeno due dispositivi di memoria, ciascuno comprendente:

una schiera di memoria flash avente una molteplicità di celle di memoria non volatile;

una cache dei dati per accettare dati dalla e trasmettere dati alla schiera di memoria;

un circuito di generazione di tensione

analogica, per generare tensioni analogiche per l'operazione della schiera di memoria; e

una molteplicità di circuiti dell'unità di controllo comprendenti una unità di controllo master accoppiata alla schiera di memoria flash, una unità di controllo della cache dei dati accoppiata alla cache dei dati, ed una unità di controllo analogica accoppiata al circuito di generazione di tensione analogica, l'unità di controllo master accoppiata alla ed atta ad attivare, in risposta ad un comando ricevuto, sia la unità di controllo della cache dei dati sia la unità dei controllo analogica; e

una molteplicità di contatti configurati per fornire un contatto selettivo tra la schiera di memoria ed un sistema host.

24. Modulo della rivendicazione 23, ed includente inoltre una unità di controllo di memoria accoppiata alla schiera di memoria per controllare l'operazione del dispositivo di memoria in risposta al sistema host.

25. Modulo di memoria comprendente:

un dispositivo di memoria comprendente:

una schiera di memoria flash avente una molteplicità di celle di memoria non volatile;

una cache dei dati per accettare dati dalla e trasmettere dati alla schiera di memoria;

un circuito di generazione di tensione analogica, per generare tensioni analogiche per l'operazione della schiera di memoria; e

una molteplicità di circuiti dell'unità di controllo comprendenti una unità di controllo master accoppiata alla schiera di memoria flash, una unità di controllo della cache dei dati, accoppiata alla cache dei dati, ed una unità di controllo analogica accoppiata al circuito di generazione di tensione analogica, l'unità di controllo master accoppiata alla ed atta ad attivare, in risposta ad un comando ricevuto, sia la unità di controllo della cache dei dati sia la unità di controllo analogica; e

un alloggiamento per racchiudere il dispositivo di memoria; e

una molteplicità di contatti accoppiati all'alloggiamento e configurati per fornire un contatto selettivo tra la schiera di memoria ed un sistema host.

26. Metodo per l'operazione di un circuito ad unità di controllo distribuite in un dispositivo di memoria avente una schiera di memoria, il metodo

comprendendo:

ricevere un comando;

interpretare il comando;

avviare una unità di controllo master in risposta al comando; e

l'unità di controllo master attivando, in risposta al comando, le unità di controllo di memoria distribuite.

27. Metodo della rivendicazione 26, in cui l'unità di controllo master attiva una unità di controllo di cache ed una unità di controllo analogica, l'unità di controllo di cache attivata per controllare la cache dei dati e l'unità di controllo analogica attivata per controllare un circuito di generazione di tensione analogica.

28. Metodo della rivendicazione 27, ed includente inoltre l'unità di controllo di cache che genera, in risposta al comando, segnali di controllo della cache dei dati.

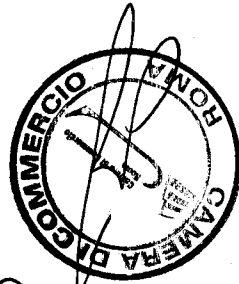
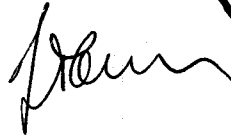
29. Metodo della rivendicazione 28, in cui i segnali di controllo della cache dei dati istruiscono la cache dei dati ad accettare dati dalla schiera di memoria, quando il comando è un comando di lettura, e trasmettere dati alla schiera di memoria, quando il comando è un comando di

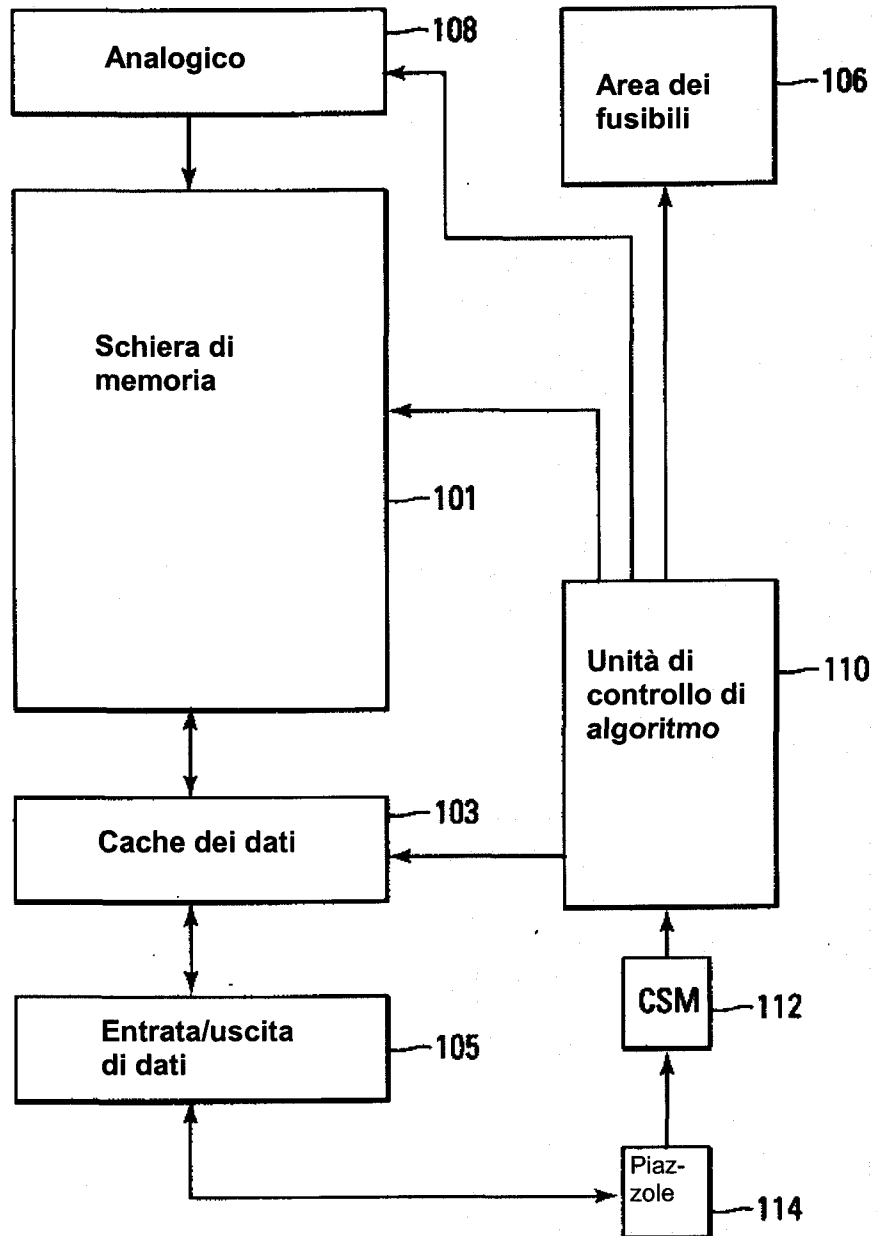
scrittura.

30. Metodo della rivendicazione 27, in cui l'unità di controllo analogica istruisce il circuito di generazione di tensione analogica a generare tensioni di cancellazione in risposta ad un comando di cancellazione, tensioni di scrittura in risposta ad un comando di scrittura, e tensioni di lettura in risposta ad un comando di lettura.

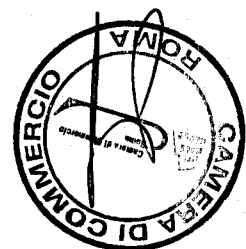
p.p. Micron Technology, Inc.

Gilberto Tonon
(Inscr. Albo n. 83 BM)



**FIG. 1**

Tecnica antecedente



p.p. Micron Technology, Inc.

Gilberto Tonon
 (Iscr. Albo n. 83 BM)
 SOCIETÀ ITALIANA BREVETTI

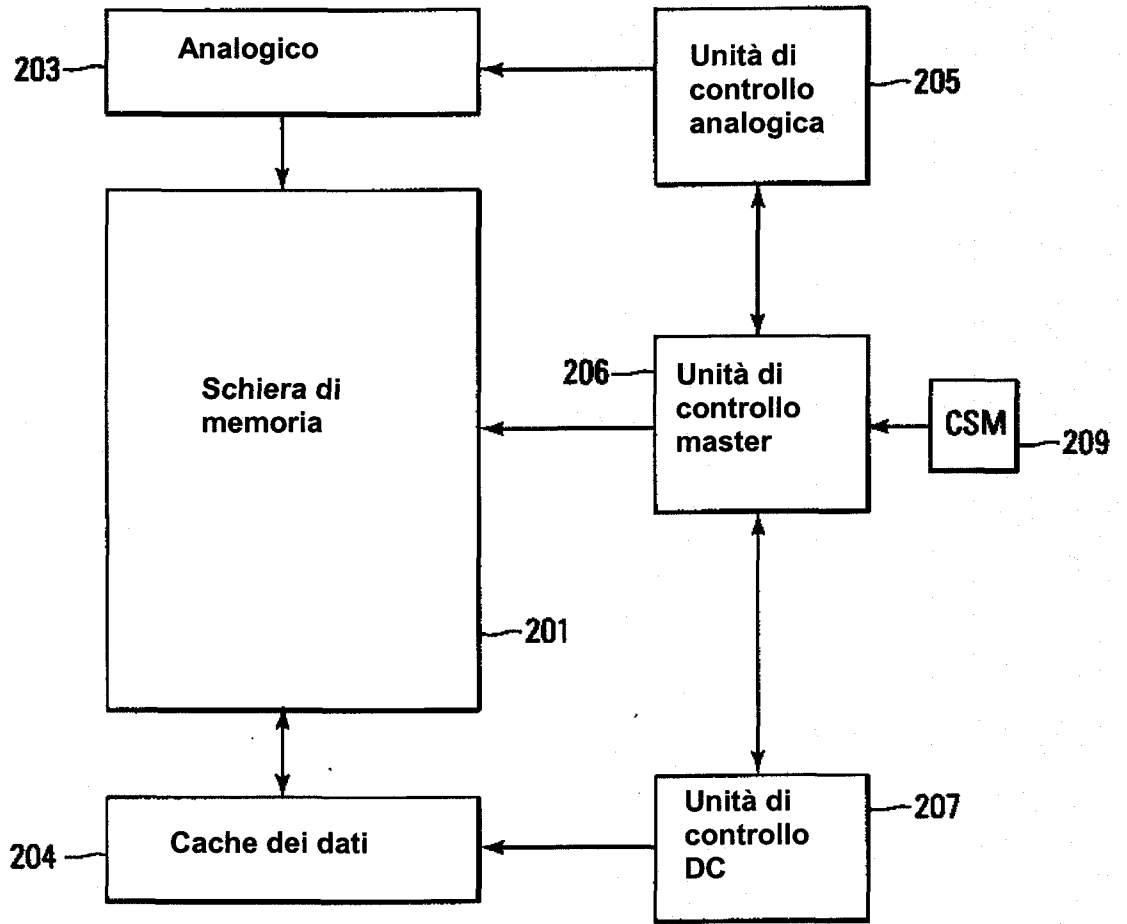
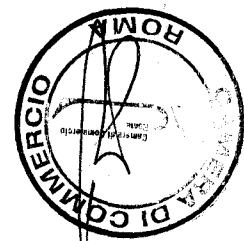


fig. 2



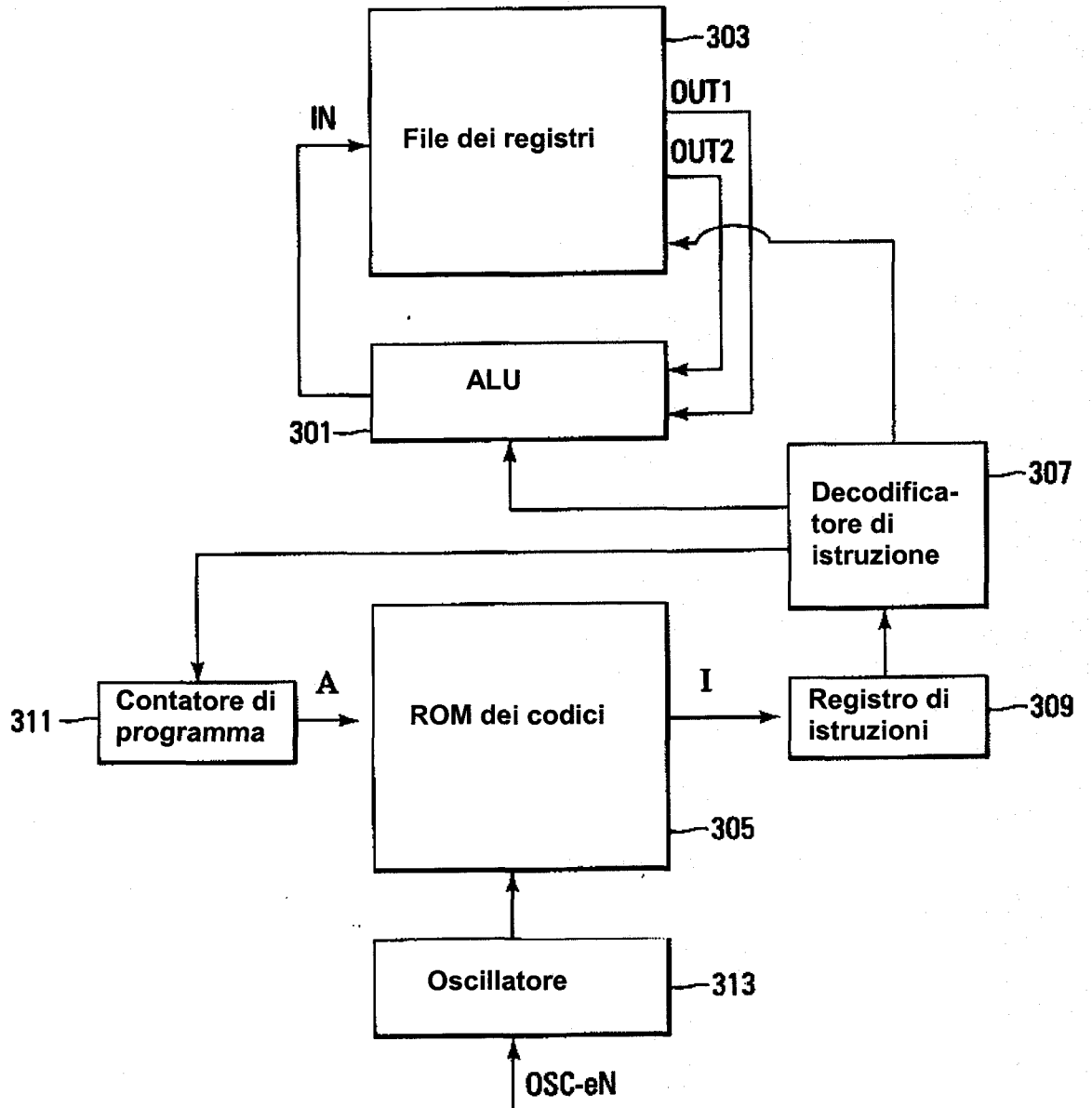
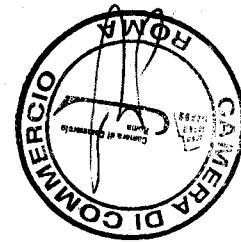


FIG. 3



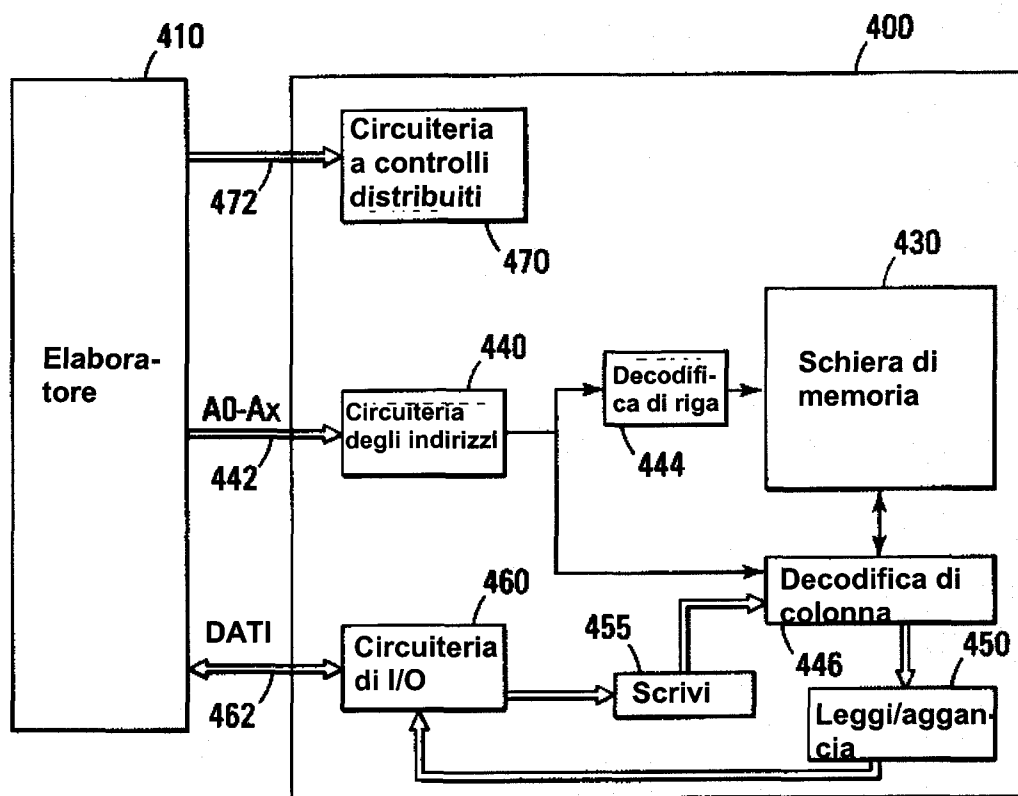
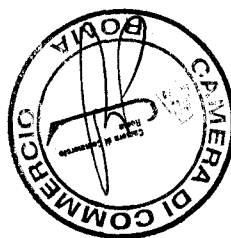


FIG. 4



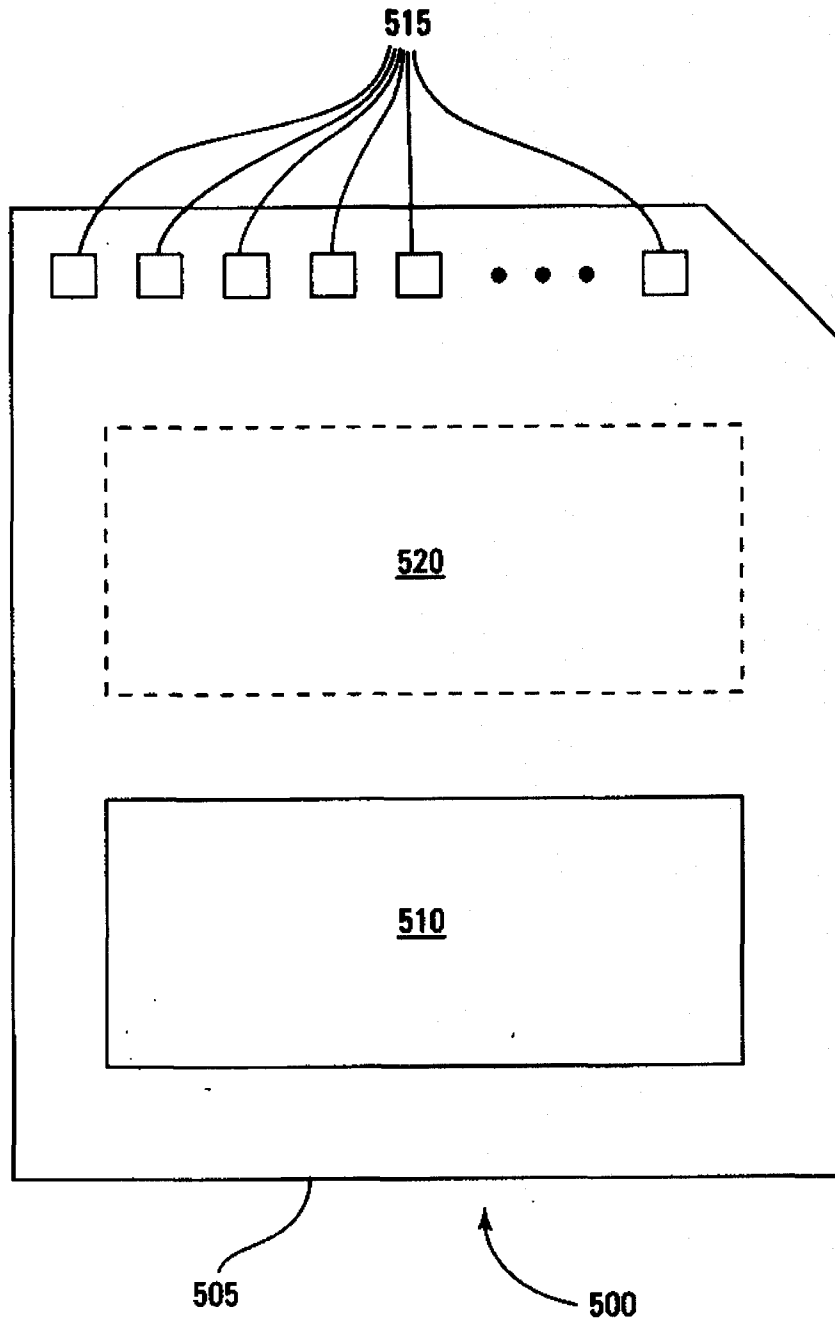
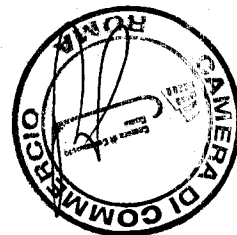


FIG. 5



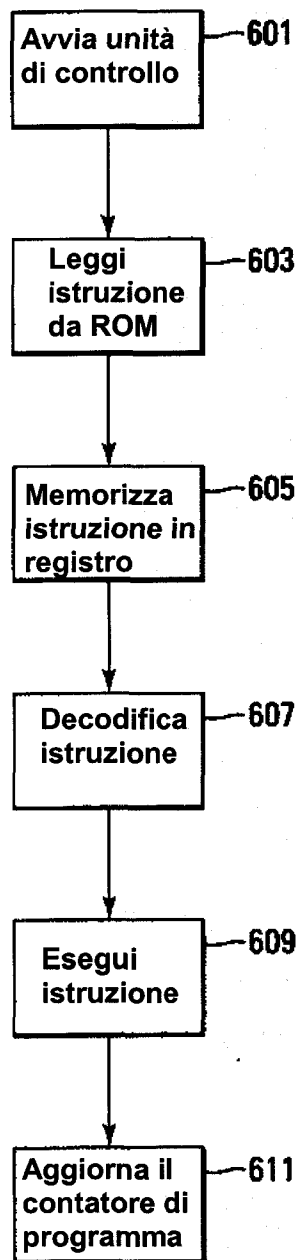


FIG. 6

