

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3958933号

(P3958933)

(45) 発行日 平成19年8月15日(2007.8.15)

(24) 登録日 平成19年5月18日(2007.5.18)

(51) Int. Cl.	F I
H03K 7/06 (2006.01)	H03K 7/06 Z
G01R 19/252 (2006.01)	G01R 19/252
H03K 5/08 (2006.01)	H03K 5/08 E
H03M 1/60 (2006.01)	H03M 1/60

請求項の数 18 (全 23 頁)

(21) 出願番号	特願2000-511247 (P2000-511247)	(73) 特許権者	500077937
(86) (22) 出願日	平成10年9月11日(1998.9.11)		アルフレッド イー マン ファウンダー
(65) 公表番号	特表2001-516980 (P2001-516980A)		ジョン フォア サイエнтиフィック
(43) 公表日	平成13年10月2日(2001.10.2)		リサーチ
(86) 国際出願番号	PCT/US1998/018978		アメリカ合衆国 カリフォルニア州 91
(87) 国際公開番号	W01999/013574		342 シルマー サン フェルナンド
(87) 国際公開日	平成11年3月18日(1999.3.18)		ロード 12744
審査請求日	平成17年8月26日(2005.8.26)	(74) 代理人	100059959
(31) 優先権主張番号	08/928,868		弁理士 中村 稔
(32) 優先日	平成9年9月12日(1997.9.12)	(74) 代理人	100067013
(33) 優先権主張国	米国 (US)		弁理士 大塚 文昭
		(74) 代理人	100082005
			弁理士 熊倉 禎男
		(74) 代理人	100065189
			弁理士 穴戸 嘉一

最終頁に続く

(54) 【発明の名称】 埋設可能なセンサに用いる低電力電流・周波数変換回路

(57) 【特許請求の範囲】

【請求項1】

埋設可能なセンサ装置内で使用するための低電力電流・周波数(I/F)変換回路であって、2つの入力ターミナルおよび1つの出力ターミナルを有する演算増幅器であり、その2つの入力ターミナル間に印加された電気信号を差動増幅してその出力ターミナルに増幅された出力信号を出現させる手段を包含する演算増幅器と、この演算増幅器の入力ターミナルのうちの少なくとも1つに電気的に接続された第1コンデンサと、電圧制御入力ターミナルおよびVCO出力ターミナルを有し、この電圧制御入力ターミナルが演算増幅器の出力ターミナルに接続してある電圧制御発振器(VCO)回路であり、電圧制御入力部に印加された電圧の大きさの関数として変化する周波数を有する周波数出力信号 $F_{OUT}$ を生成する手段を包含する電圧制御発振器(VCO)回路と、第1コンデンサに接続してあり、VCOで発生した周波数出力信号 $F_{OUT}$ の制御の下に前記第1コンデンサの個別の電荷を排出させる電荷ポンプ回路とを包含することを特徴とする低電圧I/F変換回路。

10

【請求項2】

請求項1の低電力I/F変換回路において、演算増幅器、VCOおよび電荷ポンプ回路すべてが第1ターミナルV+および第2ターミナルV-を有する1つの供給電圧を用いて作動し、第1コンデンサが、演算増幅器の第1入力ターミナルとV-との間に接続してあり、演算増幅器の第2入力ターミナルもV-に接続してあることを特徴とする低電力I/F変換回路。

【請求項3】

20

請求項2の低電力I/F変換回路において、このI/F変換回路が600ナノアンペア(na)未満の電流を消費する半導体回路構成要素からなることを特徴とする低電圧I/F変換回路。

【請求項4】

請求項1の低電力I/F変換回路において、さらに、 $F_{OUT}$ 信号に応答して電荷ポンプ回路を制御し、 $F_{OUT}$ 信号の各サイクル中に少なくとも一度第1コンデンサから個別の電荷を排出させる論理回路を包含することを特徴とする低電圧I/F変換回路。

【請求項5】

請求項4の低電力I/F変換回路において、 $F_{OUT}$ 信号の各サイクル中に少なくとも一度第1コンデンサから排出される個別の電荷が約10ピコクーロン以下の電荷を含むことを特徴とする低電圧I/F変換回路。

10

【請求項6】

請求項5の低電力I/F変換回路において、論理回路が、第1フェーズおよび第2フェーズを有する $F_{OUT}$ 信号からクロック信号を生成し、そして、電荷ポンプ回路が、基準電圧 $V_{REF}$ を生成する手段と、第2コンデンサと、クロック信号の第1フェーズ中に指定した基準電圧 $V_{REF}$ まで第2コンデンサを充電する第1セットのスイッチと、クロック信号の第2フェーズ中に反対極性を有する第2コンデンサを第1コンデンサを横切って接続する第2セットのスイッチとを包含し、それによって、クロック信号の第1フェーズ中に第2コンデンサに蓄積した $V_{REF}$ 電荷を、クロック信号の第2フェーズ中に第1コンデンサから引き離すことを特徴とする低電圧I/F変換回路。

20

【請求項7】

請求項6の低電力I/F変換回路において、電荷ポンプ回路が、第3コンデンサと、クロック信号の第2フェーズ中に指定した基準電圧 $V_{REF}$ まで第3コンデンサを充電する、第2セットのスイッチの一部としての付加的スイッチと、クロック信号の第1フェーズ中に、反対極性で第1コンデンサを横切って第3コンデンサを接続する、第1セットのスイッチの一部としての付加的スイッチとを包含し、それによって、クロック信号の第2フェーズ中に第3コンデンサに蓄積した $V_{REF}$ 電荷を、クロック信号の第1フェーズ中に第1コンデンサから引き離すことを特徴とする低電圧I/F変換回路。

【請求項8】

埋設可能なセンサであって、検知した物質またはパラメータの関数としてのアナログ電流を生成するセンサと、センサの検知したアナログ電流をその関数として変化する周波数を有する周波数信号( $F_{OUT}$ )に変換する電流・周波数(I/F)変換回路とを包含し、このI/F変換回路が、正入力ターミナル、負入力ターミナルおよび出力ターミナルを有する演算増幅器であり、その2つの入力ターミナル間に印加された電気信号を差動増幅してその出力ターミナルに増幅出力信号を現れさせる手段を包含する演算増幅器と、演算増幅器の入力ターミナルのうちの1つに接続した第1コンデンサと、演算増幅器の出力ターミナルに接続した電圧制御入力ターミナルおよびVCO出力ターミナルを有する電圧制御式発振器(VCO)回路であり、このVCOの出力信号としてとして周波数信号 $F_{OUT}$ を生成する手段を包含し、この信号 $F_{OUT}$ が電圧制御入力部に印加された電圧の大きさの関数として変化する周波数を有するVCO回路と、第1コンデンサに接続してあって、信号 $F_{OUT}$ の周波数の制御の下に第1コンデンサから個別の電荷を排出させる電荷ポンプ回路を包含し、第1コンデンサに印加された、センサからのアナログ電流が、電流の大きさの関数として第1コンデンサ上に電荷を蓄積させる傾向があり、この電荷が、信号 $F_{OUT}$ の周波数を高めるように演算増幅器の出力電圧を高める傾向があり、この上昇した周波数が高い率で第1コンデンサから電荷を排出させ、演算増幅器が第1コンデンサ上の電荷をほぼゼロに維持するのに必要な任意の率まで $F_{OUT}$ 信号の周波数を強制し、それによって、VCO信号の周波数が第1コンデンサに印加されたアナログ電流の大きさの関数として変化する

30

40

【請求項9】

請求項8の埋設可能なセンサにおいて、演算増幅器、VCOおよび電荷ポンプ回路のす

50

べてが、第1ターミナルV+および第2ターミナルV-を有する或る供給電圧を用いて作動し、第1コンデンサが、演算増幅器の第1入力ターミナルとV-との間に接続してあり、演算増幅器の第2入力ターミナルもV-に接続してあることを特徴とする埋設可能なセンサ。

【請求項10】

請求項9の埋設可能なセンサにおいて、さらに、VCOで発生したF<sub>OUT</sub>信号にตอบสนองして、信号F<sub>OUT</sub>の各サイクル中に少なくとも一度第1コンデンサから個別の電荷を排出させるように電荷ポンプ回路を制御する論理回路を包含することを特徴とする埋設可能なセンサ。

【請求項11】

請求項10の埋設可能なセンサにおいて、F<sub>OUT</sub>信号の各サイクル中に少なくとも一度第1コンデンサから排出させられた個別の電荷が、約10ピコクーロン以下の電荷を包含することを特徴とする埋設可能なセンサ。

【請求項12】

埋設可能な医療機器における低電力電流・周波数コンバータであって、2つの入力ターミナルおよび1つの出力ターミナルを有する演算増幅器であり、その2つの入力ターミナル間に印加された電気信号を差動増幅してその出力ターミナルに増幅された出力信号を出現させる手段を包含する演算増幅器と、この演算増幅器の入力ターミナルの1つに接続された第1コンデンサと、電圧制御入力ターミナルおよびVCO出力ターミナルを有し、この電圧制御入力ターミナルが演算増幅器の出力ターミナルに接続してある電圧制御発振器(VCO)回路であり、電圧制御入力部に印加された電圧の大きさの関数として変化する周波数を有するVOC信号を生成する手段を包含する電圧制御発振器(VCO)回路と、演算増幅器の第1コンデンサに接続してあり、前記VCO信号の周波数の制御の下に前記第1コンデンサから個別の電荷を排出させる電荷ポンプ回路とを包含し、第1コンデンサに印加された電流が、電流の大きさの関数として第1コンデンサ上に電荷を蓄積させる傾向があり、この電荷が、VOC信号の周波数を高めるように演算増幅器の出力電圧を高める傾向があり、この上昇したVOC周波数が高い率で第1コンデンサから電荷を排出させ、演算増幅器が第1コンデンサ上の電荷をほぼゼロに維持するのに必要な任意の率までVOC信号の周波数を強制し、それによって、VCO信号の周波数が第1コンデンサに印加された電流の大きさの関数として変化することを特徴とする低電圧電流・周波数コンバータ。

【請求項13】

請求項12の低電力電流・周波数コンバータにおいて、演算増幅器、VCOおよび電荷ポンプ回路のすべてが第1ターミナルV+および第2ターミナルV-を有する或る供給電圧を用いて作動し、第1コンデンサが、演算増幅器の第1入力ターミナルとV-との間に接続してあり、演算増幅器の第2入力ターミナルもV-に接続してあることを特徴とする低電圧電流・周波数コンバータ。

【請求項14】

請求項12の低電力電流・周波数コンバータにおいて、この電流・周波数コンバータが約600ナノアンプ(na)未満の電流を消費することを特徴とする低電圧電流・周波数コンバータ。

【請求項15】

請求項12の低電力電流・周波数コンバータにおいて、さらに、VCOに接続した、クロック信号を生成するラッチ論理回路を包含し、このラッチ論理回路が、クロック信号の各サイクル中に少なくとも一度第1コンデンサから個別の電荷を排出させるように電荷ポンプ回路を制御することを特徴とする低電圧電流・周波数コンバータ。

【請求項16】

請求項15の低電力電流・周波数コンバータにおいて、クロック信号の各サイクル中に少なくとも一度第1コンデンサから排出させられた個別の電荷が約10ピコクーロン以下の電荷を包含することを特徴とする低電圧電流・周波数コンバータ。

10

20

30

40

50

## 【請求項 17】

請求項 15 の低電力電流・周波数コンバータにおいて、クロック信号が、第 1 フェーズおよび第 2 フェーズを有し、電荷ポンプ回路が、第 2 コンデンサと、クロック信号の第 1 フェーズ中に第 2 コンデンサを指定した基準電圧  $V_{REF}$  まで充電する第 1 セットのスイッチと、クロック信号の第 2 フェーズ中に反対の極性で第 1 コンデンサを横切って第 2 コンデンサを接続する第 2 セットのスイッチとを包含し、それによって、クロック信号の第 1 フェーズ中に第 2 コンデンサに蓄積した  $V_{REF}$  電荷をクロック信号の第 2 フェーズ中、第 1 コンデンサから引き離すことを特徴とする低電圧電流・周波数コンバータ。

## 【請求項 18】

請求項 17 の低電力電流・周波数コンバータにおいて、電荷ポンプ回路が、さらに、第 3 コンデンサと、クロック信号の第 2 フェーズ中に第 3 コンデンサを指定した基準電圧  $V_{REF}$  まで充電する、第 2 セットのスイッチの一部としての付加的スイッチと、クロック信号の第 1 フェーズ中に反対極性で第 1 コンデンサを横切って第 3 コンデンサを接続する、第 1 セットのスイッチの一部としての付加的スイッチとを包含し、それによって、クロック信号の第 2 フェーズ中に第 3 コンデンサ上に蓄積した  $V_{REF}$  電荷を、クロック信号の第 1 フェーズ中、第 1 コンデンサから引き離すことを特徴とする低電圧電流・周波数コンバータ。

## 【発明の詳細な説明】

## 【0001】

## 【技術分野】

本発明は、埋設可能な医療機器に関する。より詳しくは、本発明は、埋設可能なセンサ内で使用して、指定したパラメータまたは物質を検出した結果として、センサによって生成された小アナログ電流を可変周波数パルス列信号に変換することができる非常に低い電力の電流・周波数変換回路に関する。それにより、パルス列のパルスのカウントを行い、センサから発生した小アナログ電流の正確なデジタル計測を行うことができる。

## 【0002】

## 【発明の背景】

埋設可能な医療機器分野においては、所望の医療機能を実施するように構成した医療機器を患者の生体組織に埋設し、患者の利益についての必要に応じて所望の機能を実施できるようにしている。埋設可能な医療機器の数多くの例としては、埋設型ペースメーカー、蝸牛刺激装置、筋肉刺激装置、ブドウ糖センサなどが、この分野では知られている。

## 【0003】

いくつかの埋設可能な医療機器は、検知機能を実施するような構成となっている。すなわち、或る特定のパラメータ、たとえば、患者の血液あるいは組織内の或る特定の物質の量を検知したり、検知された物質の量あるいは濃度を示す電気信号を発生したりするように構成してある。次に、このような電気信号は適当なコントローラ（埋設できても埋設できなくてもよい）に送られる。そして、コントローラはその意図した機能を実施する。たとえば、検知物質の測定値を表示あるいは記録またはこれら両方を実行する。検知機能を実行する埋設可能な医療機器の例が、たとえば、米国特許第 4,671,288 号に示されている。

## 【0004】

医療機器が近年より有用となり、種類が増えるにつれて、このような機器に接続したり、組み込んだりすることができる非常に低い電力のセンサの必要性が生じている。そうすれば、装置の所望機能を大量の電力を消費することなく実施することができるようになる（埋設装置のための電力は、通常、限られている）。

## 【0005】

さらに、多くの埋設可能なセンサの電力消費量は意識的に非常に低くなるように設計されているので、センサの発生する出力信号（センサによって検出されつつあるパラメータまたは物質の測定値を表す）は非常に小さくなる（たとえば、振幅が極めて小さい）。この小さい出力信号は、最終的には、より有用な出力信号、たとえば、増幅信号あるいはディ

10

20

30

40

50

デジタル信号に変換されてから、医療機器を制御するのに使用したり、医療機器によって表示したりすることができる。さらに、時には、センサそれ自体が、それが測定した情報を必要とする医療機器から或る距離隔たったところに設置される。それ故、センサ信号は、適切な導体を通じて医療機器に送られなければならない。あるいは、医療機器に送信されなければならない。センサ出力信号が非常に小さいので、一般的には、まず増幅される。あるいは、より有用なフォーマットで信号に変換される(すなわち、アナログ・デジタル(A/D)コンバータによってデジタル信号に変換される)。その後、医療機器に確実に送信される。残念なことに、このような増幅またはA/D変換あるいはこれら両方にはセンサ側に設置した付加的な回路を必要とする。都合悪いことには、センサ側に設置されたこの付加的な回路(センサの一部として組み込んでもよいし、センサと一緒に使用しなければならない補足的な回路でもよい)は、システムに付加的な電力需要を強要するばかりでなく、激烈にセンサ回路を複雑にし、センサ回路のサイズ、コストを増大させる可能性もある。したがって、必要とされるものは、代表的には埋設可能なセンサから得られる非常に小さい出力信号を、後に信号を医療機器に送信したり、医療機器で使用したりするのを容易にする信号フォーマットに変換する極めて低い電力の変換回路である。

#### 【0006】

上記の必要性は、複数のセンサを使用しなければならない場合には、かなり深刻となる。たとえば、複数の物質または生理学的パラメータを測定するのに複数のセンサが必要である。他の例としては、患者の身体内の異なった部位で同じ物質または生理学的パラメータを測定あるいは検知するのに複数のセンサが必要となる。複数のセンサを埋設し、所望の医療機能を成し遂げるべく組み合わせることを意図している場合にはいつでも、これらの個別のセンサをただ1つの制御回路または共通の制御点に接続するそれ相応の必要性がある。それ故、重大な必要がそれであって、それゆえに、そこで、各センサからの出力信号(出力データを表す)を、データの完全性を犠牲にすることなく、共有データ・バスあるいは通信チャンネルを通してセンサ出力信号を送信することが容易にし、かつ、このような変換で電力を大量あるいは中位にも消費しなくなるようなフォーマットに変換するという重要な必要性がある。

#### 【0007】

##### 【発明の概要】

本発明は、上記および他の必要性を満たすべく、出力信号として低レベル・アナログ電流または電圧を生成する埋設可能なセンサと一緒に現場で使用することができる非常に低い電力の電流・周波数(I-t-o-F)変換回路を提供する。

#### 【0008】

本発明の一態様によれば、センサによって生成されたアナログ出力信号は、非常に小さいアナログ電流、たとえば、ほんの約\_\_\_ピコアンペアのオーダーのピーク値を有するアナログ電流からなり、そして、埋設可能な装置によって利用される変換回路は、低電力電流・周波数変換回路を包含する。このような低電力電流・周波数変換回路は、(1)演算増幅器、(2)第1コンデンサ、(3)電圧制御発振器(VCO)および(4)電荷ポンプ回路を包含する。

#### 【0009】

演算増幅器(このましくは、特殊な寸法を有する低電力N-MOS、P-MOS FETトランジスタで構成されている)は、2つの入力ターミナルと、1つの出力ターミナルとを有する。作動時、この演算増幅器は、その2つの入力ターミナル間に印加された電気信号を差動的に増幅し、その出力ターミナルに増幅された出力信号を出現させる。第1コンデンサは、演算増幅器の入力ターミナルのうちの1つに接続され、入力電流によって与えられる電荷を受け取るのに用いられる。VCO回路は、電圧制御入力ターミナルとVCO出力ターミナルを有する。そして、電圧制御入力ターミナルは演算増幅器の出力ターミナルに接続される。VCO(この技術分野では公知である)は、電圧制御入力部に印加された制御電圧の大きさの関数として変化する周波数を有するVCO信号を生成する手段を包含する。

10

20

30

40

50

## 【0010】

作動時、電荷ポンプ回路は、演算増幅器の第1コンデンサに接続し、VCO信号の周波数の制御の下に第1コンデンサから個別の電荷を排出させる。たとえば、センサの出力部から第1コンデンサに印加された電流は、電流の大きさの関数として電荷を第1コンデンサに蓄積させる傾向がある。そして、この電荷は、VCO信号の周波数を高めるように演算増幅器の出力電圧を高める傾向がある。次いで、この上昇したVCO周波数は、増大した率で、電荷を第1コンデンサから排出させる。それによって、演算増幅器は、第1コンデンサ上の電荷をほぼゼロに維持するのに必要な任意の率までVCO信号の周波数を強制する。このようにして、VCO信号の周波数は、第1コンデンサに印加された電流の大きさの関数として変化する。

10

## 【0011】

有利には、好ましい実施例においては、演算増幅器、VCOおよび電荷ポンプ回路は、すべて、第1ターミナルV+および第2ターミナルV-を有するたった1つの供給電圧を使用して差動する。ここで、これら2つのターミナルは、時には、単にV、「アース」と呼ぶことがある。第1コンデンサは、演算増幅器の第1入力ターミナルとV-との間に接続され、演算増幅器の第2入力ターミナルもV-に接続される。このようにして1つの供給電圧を使用することにより、電流・周波数コンバータの電力消費量を非常に低く保つことができる。たとえば、好ましい設計において、低電力電流・周波数変換回路は、約600ナノアンプ(na)未満の電流を消費する。

## 【0012】

本発明のさらに別の態様によれば、I-to-F変換回路は、埋設可能なセンサの密封シールした部分内に組み込むことができる。この埋設可能なセンサは、非密封シールした部分(たとえば、人体または組織と接触しなければならない電極、接続ターミナルおよび/またはセンサ材料を含む)と、密封シールした部分(非密封シールした部分を管理、モニタおよび/または制御する電気回路を含む)とを包含する。第1対のターミナルが、非密封シールした部分の一部として組み込まれ、たった2つの導体を包含し、1つの導体が接続している接続バスを通して埋設可能な医療機器に埋設可能なセンサを接続するための出力ターミナルとして機能する。作動電力、制御データは、共に、医療機器からセンサまでの2導体バスを通じて伝送される。そして、検出されたデータが本発明のI-to-Fコンバータによって伝送するのに適したフォームに変換され、埋設可能なセンサから医療機器まで同じ2導体バスを通じて伝送される。第1対のターミナル(または第1対のターミナルに電気的に接続した第2対のターミナル)も、デイジーチェーン式に接続バスに付加的な埋設可能なセンサを取り付けるための接続ターミナルとして機能することができる。このことは、本出願人の出願中の特許出願、\_\_\_\_\_に出願された通し番号\_\_\_\_\_の、「DAISY-CHAINABLE SENSORS AND STIMULATORS FOR IMPLANTATION IN LIVING TISSUE」という名称の特許出願(Attorney Docket No. 56287)に開示されている。

20

30

## 【0013】

したがって、本発明の特徴は、検出された生理学的パラメータまたは物質の関数として小さいアナログ電流を生成する埋設可能なセンサ、たとえば、埋設可能なブドウ糖センサ)内で使用することができる非常に低い電力の、埋設可能な電流・周波数変換回路を提供することにある。

40

## 【0014】

本発明の別の特徴は、記憶コンデンサ上に入力電流(I)を蓄積し、記憶コンデンサ上の電荷の関数として制御電圧を発生し、この制御電圧でVOCを駆動して、制御電圧の関数として変化する周波数(F)を有するVOC出力信号を生成し、VCO信号の周波数の制御の下に第1コンデンサから個別の電荷を排出させ、第1コンデンサ上の電荷をほぼゼロに維持し、それによって、入力電流(I)を出力周波数(F)に変換する非常に低い電力の、埋設可能なI-to-F変換回路を提供することにある。

## 【0015】

本発明のまたさらに別の特徴は、密封シールした部分および非密封シールした部分を有す

50

る埋設可能なセンサであり、密封シールした部分と非密封シールした部分との電気接続を行う電気フィードスルー手段と、密封シールした部分内に組み込んだ低電力 I - t o - F 変換回路とを包含する埋設可能なセンサを提供することにある。

【 0 0 1 6 】

【 発明の詳細な説明 】

以下の説明は、本発明を実施することを現在意図している最良の形態に付いてのものである。この説明は、限定的な意味で解釈されるべきではなく、単に本発明の全般的な原理を説明しているものに過ぎない。発明の範囲は、特許請求の範囲を参照して決定されるべきである。

【 0 0 1 7 】

本発明は、図 9 ~ 1 0 と関連して以下にさらに詳細に説明する非常に低い電力の電流・周波数 ( I - t o - F ) 変換回路に関するものである。この I - t o - F 変換回路の目的は、アナログ入力信号、すなわち、非常に低い振幅の電流を可変周波数出力信号に変換することにある。このような出力信号は、アナログ入力電流の大きさの関数として変化する周波数を有する。

【 0 0 1 8 】

本発明によって提供される I - t o - F 変換回路は、図 1 ~ 8 に関連して説明するタイプの埋設可能なセンサ内で使用するのに特に適している。しかしながら、本発明が図 1 ~ 8 に関連して説明するタイプのセンサ内でのみ使用することに限られるものではなく、むしろ、図 1 ~ 8 と関連して説明するタイプのセンサおよびセンサ・システムは、単に、埋設可能なセンサ内で I - t o - F 変換回路を使用することを現在意図している最良の形態を表しているにすぎないことは了解されたい。本明細書で説明する I - t o - F 変換回路の顕著な特徴を認識し、理解するにはこのようなセンサについての完全な理解は必要でなく、このようなセンサの全般的な理解が発明を使用することができる 1 つの方法に対する有用な背景情報を与える助けとなり得るので、ここでは、図 1 ~ 8 の簡略な説明のみを行う。図 1 ~ 8 の各々についてのより完全な説明は、ここに参考資料として援用する、\_\_\_\_\_に出願された出願通し番号第\_\_\_\_\_号の、「DAISY-CHAINAELE SENSORS AND STIMULATORS FOR IMPLANTATION IN LIVING TISSUE」という名称の、本出願人の審査継続中の特許出願 ( Attorney Docket No. 56287 ) に見出すことができる。

【 0 0 1 9 】

次に、まず図 1 を参照して、ここには、相互に接続した複数のセンサ 1 2 a、1 2 b、...、1 2 n または他の埋設可能な装置ならびにたった 2 つの共通導体 1 4、1 6 を使用するコントローラ ( 図 1 には図示せず ) を示すブロック図が示してある。2 つの導体 1 4、1 6 ( まとめて 2 導体接続「バス」と呼ぶ ) は、装置 1 2 a、1 2 b、...、1 2 n にコントローラから送られるデータ信号、電力信号のための共通信号・戻り経路ならびに装置 1 2 a、1 2 b、...、1 2 n からコントローラに送信されるデータ信号のための共通信号・戻り経路を提供する。

【 0 0 2 0 】

図 2 は、リモート・コントローラ 2 0 および他の埋設可能な装置 1 8 b、...、1 8 n に埋設可能なセンサノ刺激装置 1 8 a を直列で、すなわち、デイジーチェーン形態で接続する方法を概略的に示している。図 2 でわかるように、装置 1 8 a は、接続バスの 2 つの導体 1 4、1 6 によってコントローラ 2 0 に接続されている。これらの導体は、装置 1 8 a の近位側 ( すなわち、コントローラ 2 0 に最も近い側 ) に沿って 1 対のパッドまたはターミナル 1 3、1 5 に取り付けられている。他の対のパッドまたはターミナル 1 7、1 9 が、装置 1 8 a の遠位側 ( すなわち、コントローラ 2 0 から最も遠い側 ) に沿って設置してある。遠位側パッド 1 7 は、装置 1 8 a 上に設置された回路 2 1 を通して近位側パッド 1 3 に接続されている。同様に、遠位側パッド 1 9 は、装置 1 8 a 内に含まれる回路 2 1 を通して近位側パッド 1 5 に電氣的に接続されている。次に、2 つの付加的な導体 1 4、1 6 を用いて装置 1 8 a の遠位側パッド 1 7、1 9 をデイジーチェーン式に接続した次の装置 1 8 b の対応する近位側パッド 1 3、1 5 に接続してある。このように

10

20

30

40

50

して、望むままに多くの装置を、たった2つの導体を使用してコントローラ20に直列に接続することができる。

【0021】

図1または図2に示すデジチェーン接続可能なセンサ12または18の用途は種々ある。一般には、センサ12または18を埋設する場合、人体組織または体液に見出される1つまたはそれ以上の人体パラメータまたは物質、たとえば、ブドウ糖レベル、血液pH、O<sub>2</sub>、温度などを検知するように設計してある。このような測定値は、患者の状態、状況に関する価値ある情報を提供できる。

【0022】

次に図3A、図3B、図3Cおよび図3Dを参照して、ここには、本発明と共に使用するのに適したタイプの代表的な埋設可能なセンサ装置30の展開斜視図(図3A)、側面図(図3E)、平面図(図3C)、端面図(図3D)が示してある。図3Aで最も良くわかるように、センサ装置30は、代表的には、集積回路(IC)38その他の構成要素(たとえば、コンデンサ40)を装着するキャリアまたは基板36を包含する。いくつかの実施例において、キャリアまたは基板36が実際にIC38を作成した基板からなるものであってもよいが、ここでは、以下の説明の目的のために、種々の回路要素を搭載してハイブリッド回路を形成するように別個の基板またはキャリア36を使用するものと仮定することは了解されたい。キャリアまたは基板は、エッチングまたは蒸着した導電性パターンを有し、IC30、コンデンサ40および任意他の構成要素を相互接続し、所望の検知(または他の)機能を実施するハイブリッド回路を形成している。

【0023】

ハイブリッド回路の構成要素のすべては、基板36に接合したふたまたはカバー42によって形成した空所内に密封シールされる。近位側パッドまたはターミナル13、15ならびに遠位側パッドまたはターミナル17、19は、ハイブリッド回路の密封シールした部分の外側に残る。しかしながら、これらの近位側、遠位側パッドは、適当なフィードスルー接続部を介して密封シールした部分内の回路に電気的に接続されている。このようなフィードスルー接続部を製造する1つの方法は、「Hermetically-Sealed Electrical Feedthrough For Use With Implantable Electronic Devices」という名称で、08/16/95に出願された審査継続中の特許出願、出願通し番号第08/515,559号(本願の譲渡人と同じ譲渡人に譲渡されている)に開示された階段法(垂直、水平両方向のセグメントを含む)でキャリアまたは基板を貫通するフィードスルー接続部を使用することである。この特許出願は、参考資料としてここに援用する。

【0024】

ハイブリッド電気回路の、キャリアまたは基板と反対側には、適当な電気化学センサ44または他の所望タイプのセンサあるいは刺激装置を形成あるいは設置してもよい。使用できるタイプの電気化学センサとしては、たとえば、米国特許第5,497,772号(参考資料としてここに援用する)に、特に、この米国特許の図2A、図2B、図2C、図3、図4Aおよび図4Bに記載されている酵素電極センサがある。

【0025】

本発明の目的のために、センサ44あるいは装置30内で使用される他の埋設可能な要素の精密な性質は絶対必要ではない。すべては、センサまたは他の要素が埋設可能であるということであり、また、適切な制御信号(単数または複数)に応答して、所望の機能、たとえば、或る種のパラメータまたは物質を検知したり、あるいは、或る種の信号を発生したりするということである。

【0026】

基板又はキャリア36のハイブリッド回路側(装置30を図3B又は図3Dのように見て装置の密封シールされた部分を含む上側)と装置30のセンサー側(図3B又は図3Dに示す底側)との間の信号伝送は、例えば上記の'559特許出願に記載された仕方で基板又はキャリア36を介して装置30のハイブリッド(頂部)側から階段状に通る適当な密封シールした貫通接続部によって行われる。

10

20

30

40

50



## 【 0 0 2 7 】

図 2 に示す形態は、図 4 に示すように幾つかの埋設可能な装置が互いに連鎖されることになる場合に特によく適合する。図 4 に見られるように、三つのセンサー型の装置 3 0 a、3 0 b、3 0 c は導線セグメント 4 6 a、4 6 b、4 6 c を介して互いに接続される。これら導線セグメント 4 6 a、4 6 b、4 6 c の各々は二本の導体 1 4、1 6 を備え、そして適当な仕方で構成され得、例えば二本の導体は導線セグメント内でらせん状に巻かれ、そしてらせん状巻線は導線技術において公知であるようにシリコンゴムのシース内に収納され又はシリコンゴムのシースで被覆される。末端キャップ 3 4 は導線 3 2 の端部すなわち最も末端の装置 3 0 c の末端パッドを覆っている。

## 【 0 0 2 8 】

本発明の低出力電流・周波数変換器回路は、埋設可能な装置 3 0 “ハイブリッド回路部分”として上記したものの一部に收容された又は一部として含まれた電気回路の一部として含まれ得る。一般に、そのような電気回路は、埋設可能な装置 3 0 を他の同様な埋設可能な装置と連鎖させることができ、しかも各個々の装置は単一制御装置 2 0 によって個々にアドレスされ、制御され得る。特に、本発明の電流・周波数変換器回路は、センサー 4 4 などから得られた変換すべき低レベルのアナログ信号を周波数に変換し、そしてこの周波数は固定時間間隔に渡って容易に計数され、センサーのアナログ出力を表すデジタル信号を発生するとができる。その後、そのようなデジタル信号は二導体バスを介して制御装置 2 0 へ確実に伝送される。

## 【 0 0 2 9 】

装置 3 0 の密封シールされた部分内に含まれた回路は、多くの種々の形態であり得る。図 5 A、5 B、5 C には三つの形態を示す。例えば図 5 A はセンサー 5 2 と共に用いる制御・インターフェース回路 5 0 の基本形態の機能的ブロック線図である。点線 5 4 は回路 5 0 及びセンサー 5 2 の一部を密封シールする密封シールを表している。入力パッド 1 3、1 5 及び出力パッド 1 7、1 9 は密封シールされず、従ってこれらのパッドは制御装置 2 0 から二本の導体 1 4、1 6 に容易に接続され得る。

図 5 A に見られるように、入力パッド 1 3、1 5 は LINE 1 ( I N ) 及び LINE 2 ( I N ) で表されたそれぞれの導電トレースに接続され、これらの導電トレースは、装置 3 0 をその制御装置 2 0 又は他の装置に接続する二導体バスの二本の導体を表している。LINE 1 ( I N ) 及び LINE 2 ( I N ) で表された導電トレースの各々は、それぞれの貫通接続部 5 3、5 5 を介して回路 5 0 の密封シールした部分内へのびている。回路の他側の出力パッド 1 7、1 9 は同様に LINE 1 ( O U T ) 及び LINE 2 ( O U T ) で表されたそれぞれの導電トレースに接続され、これらの導電トレースの各々は、それぞれの貫通接続部 5 7、5 9 を介して回路 5 0 の密封シールした部分 5 4 内へのびている。密封シールした部分内において、LINE 1 ( I N ) は導電トレース 5 6 を介して LINE 1 ( O U T ) に接続され、LINE 2 ( I N ) は導電トレース 5 8 を介して LINE 2 ( O U T ) に接続されている。このようにして、入力パッド 1 3 は、貫通接続部 5 3、5 7 間の密封シールした部分 5 4 を通る導電トレース 5 6 を介して出力パッド 1 7 に電氣的に接続される。入力パッド 1 3 と導電トレース 5 6 と出力パッド 1 7 とのこの相互接続は以下単に LINE 1 と記載する。同様に、入力パッド 1 5 は、貫通接続部 5 5、5 9 間の密封シールした部分 5 4 を通る導電トレース 5 8 を介して出力パッド 1 9 に電氣的に接続される。この相互接続は以下単に LINE 2 と記載する。

## 【 0 0 3 0 】

図 5 A に見られるように、電力整流器回路 6 0 は LINE 1 と LINE 2 との間に接続されている。この回路は LINE 1 及び LINE 2 に現れる全ての信号パルスを取り出し、整流し、そして回路 5 0 を付勢する動作電圧 + V、- V を発生する。このような整流は、LINE 1 及び LINE 2 に一般に現れる低レベル信号をのりふれた仕事ではなく、これらの信号は通常普通のシリコンダイオードの 0.6 ~ 0.8 電圧降下より十分に低い。このような回路の詳細については出願中の特許出願、埋設可能な装置用の低出力整流器回路 代理人整理番号第 5 7 7 9 5 号 ( 参照文献として本明細書に結合される ) に記載されている。

10

20

30

40

50

## 【 0 0 3 1 】

またLINE 1 とLINE 2 との間にはラインインターフェース回路 6 2 が接続され、このラインインターフェース回路 6 2 は回路 5 0 とLINE 1 とLINE 2 との間のインターフェースとして機能する。この目的のため、インターフェース回路 6 2 はLINE 1、LINE 2 に入ってくるデータパルスを受信し、そしてライン 6 4 にDATA - IN 信号を発生する。インターフェース回路 6 2 はさらに、ライン 6 6 にクロック (CLK) 信号を発生し、このクロック信号は入ってくるデータ信号と同期化される。インターフェース回路 6 2 はまたカウンター回路 6 8 からデジタル出力データDATA OUTを受信し、そしてこの出力データをLINE 1、LINE 2 に入る前に適当なフォーマットに変換する。回路 5 0 に使用され得るラインインターフェース回路 6 2 の一つの形式は図 9 に示す概略線図に例示され、そして図 9 を参照して後で説明する。

10

## 【 0 0 3 2 】

さらに図 5 A を参照すると、センサー 5 2 は、装置 3 0 が埋込まれる埋設可能な組織内に存在する (又は存在しない) 所望の状態、パラメーター又は物質を検知するようにされた任意の適当なセンサーであり得る。例えば、センサー 5 2 は、ライン 6 9 に出力アナログ電流 I を発生するグルコースセンサーから成り得、出力アナログ電流 I の大きさは過検知したグルコースの関数として変化する。

実際問題として使用されるセンサー 5 2 の形式に関係なく、濃度、大きさ、組成、又は検知されるパラメーターの他の属性の関数としてアナログ出力電圧か又はアナログ出力電流を通常発生する。このようなアナログ出力電圧か又はアナログ出力電流は適当な変換器回路 7 0 を用いて周波数信号に変換され、ライン 7 2 に出力される。典型的には、ライン 7 2 に現れる周波数信号は、入力電圧又は電流の関数として変化する周波数 (すなわち繰り返し数) をもつパルス列から成る。図 5 A において、例えば、センサー 5 2 は出力電流 I を発生し、又変換器回路 7 0 は出力電流 I の大きさの変化に応じて変化する周波数をもつ出力パルス列をライン 7 2 に発生する電流 - 周波数 (I - F) 変換器回路から成ると仮定される。この電流 - 周波数 (I - F) 変換器回路 7 0 又は等価の変換器回路は本発明の主題をなしている。

20

## 【 0 0 3 3 】

センサー 5 2 によって検知されるパラメーターの関数として変化する周波数のパルス列又は他の交流信号が発生されると、そのような信号はカウンター回路 6 8 に加えられる。(本願において使用した記述法として所与参照番号をもつ信号線に現れる信号はそのような所与参照番号をもつ信号として記載し、すなわち信号線 7 2 に現れる信号は“信号 7 2”として記載し得る。) カウンター回路は単に予定の時間間隔例えば 1 秒の固定時間窓にわたって信号 7 2 に存在するパルスの数を計数し、それにより、信号 7 2 の周波数を測定する。このようにして、各測定期間の開始時にカウンター 6 8 をリセットすることによって、測定期間の終了時にカウンターに保持された計数値は信号 7 2 の周波数を表す信号を構成する。そのような計数信号は図 5 A に示す基本の実施の形態の場合、出力データ信号DATA OUTとして機能し得、信号線 7 4 を介してラインインターフェース回路 6 2 に伝送される。

30

## 【 0 0 3 4 】

カウンター 6 8 の制御すなわち予定の測定期間後のカウンターのリセット及び (又は) カウンターの停止は制御論理回路 7 6 で制御される。簡単な実施の形態では、測定期間は固定時間間隔であり得る。他の実施の形態では、測定期間はラインインターフェース回路 6 2 から信号線 6 4 を介して受信した入力データによって設定され得る。クロック信号 6 6 は、カウンター 6 8 がDATA OUT 信号 7 4 をラインインターフェース回路 6 2 に伝送する時点を調整すると共に経過時間の測定値として用いられ得る。

40

## 【 0 0 3 5 】

要求されたように、電圧発生器回路 7 8 は基準電圧  $V_{REP}$  及び一つ以上のバイアス電圧信号  $V_{BIAS}$  を発生し、これらの信号は電流 - 周波数 (I - F) 変換器回路 7 0 で用いられ、図 9 及び図 1 0 に関連して後で一層十分に説明するように、アナログ電流信号 6 9 を周波

50

数信号 72 に変換する機能が実行される。

同様にして、上記出願中の特許出願 発明の名称：生きた組織に埋込む連鎖接続したセンサー及び刺激装置 に記載されているように、図 5 B 及び図 5 C に例示された装置内に一つ以上の電流 - 周波数 ( I - F ) 変換器回路が用いられ得る。

【 0 0 3 6 】

図 2 に戻ると、多数の埋設可能で連鎖可能なセンサー 18 a、18 b..... 18 n は縦に並んで接続されて示され、好ましい動作方法では制御装置 20 は各装置 18 を個々にアドレスして各装置 18 にデータを送りそして各装置 18 からデータを受けると共に動作電力を供給し、各装置 18 は導体 14、16 から成る二導体バスを介して接続されている。そのような給電及び個々のアドレス操作を行う一つの方法は図 6、図 7、図 8 に関して示 10

【 0 0 3 7 】

図 6 には例えば、全ての装置を互いに接続する二つの LINE 1、LINE 2 導体に現れる際の、埋設可能な装置に伝送した入力データ ( 頂部波形 ) と埋設可能な装置から受信した出力データ ( 底部波形 ) との好ましい関係を示すタイミング線図を例示している。図 6 に見られるように、入力データの好ましい形式は二相パルスである。各二相パルスは第 1 極性の第 1 電流パルスを備え、この第 1 電流パルスの後に反対極性で同じ大きさの第 2 電流パルスが続いている。従って、各二相パルスの正味の電流は好ましくはゼロであり、正の電流パルスは負の電流パルスと有効に平衡を保つ。電流パルスの代表的な幅は ~ msec であり、各電流パルスの大きさは代表的には ~ mA である。二進値すなわち論理値 20

“ 1 ” は一方の相の二相パルス例えば負の電流パルスが後に続く正の電流パルスで表され、一方、二進値すなわち論理値 “ 0 ” は他方の相の二相パルス例えば正の電流パルスが後に続く負の電流パルスで表される。従って、図 6 に示すように、二進値 “ 1 ” は負の電流パルスが後に続く正の電流パルスとして表され得、一方、二進値 “ 0 ” は正の電流パルスが後に続く負の電流パルスとして表される。

【 0 0 3 8 】

又、図 6 に見られるように、出力データの好ましい形式も二相パルスであり、この二相パルスは、出力データが二進値 “ 1 ” であるか又は二進値 “ 0 ” であるかの関数として振幅変調 ( 又は好ましくは ON / OFF 変調 ) される。好ましい実施の形態では、二進値 “ 1 ” の出力データパルスのピーク振幅は IP であり、一方、二進値 “ 0 ” の出力データパ 30

ルスのピーク振幅はゼロである。従って、この好ましい ON / OFF 変調形態では、出力データパルスのありは二進値 “ 1 ” を表し、出力データパルスのなしは二進値 “ 0 ” を表している。出力データパルスは、時分割多重化方式で入力データパルス間に入るように入力データパルスから特定の時間 T2 において LINE 1、LINE 2 導体に現れるデータ流に挿入される。出力データパルスの好ましい形態は ( 電流平衡を達成するために ) 二相パルス、であるが、ある場合には時間 T2 における ( そして IP 又はゼロの振幅をもつ ) 単相パルスを用い得ることか認められる。

図 7 及び図 8 に示すように、制御装置によって LINE 1、LINE 2 導体を介して伝送されてきた入力データは時間長さ T3 のデータフレームに分割される。各データフレーム内には N ビットのデータがあり、N は代表的には 8 ~ 64 の範囲の整数である。データフレームに 40

含まれたデータビットの表示は図 7 に例示されている。

【 0 0 3 9 】

入力データは規則的な間隔又はレート ( 例えば T1 秒ごと ) で生じる二相パルスから成るので、そのようなパルスに含まれたエネルギーは装置 50 ' ' 内に含まれた回路の動作電力を供給するのに利用され得る。これは、整流器回路 60、60 ' 又は 60 ' ' ( 図 5 A、図 5 B 又は図 5 C ) を用いることにより行われる。

【 0 0 4 0 】

図 6 及び図 8 に示す形式の入力及び出力データパルスはラインインターフェース回路 62、62 ' 又は 62 ' ' ( 図 5 A、図 5 B 又は図 5 C ) によって発生される。好ましいライン 50

インターフェース回路は、上記で引用した出願中の特許出願、代理人整理番号第 5628

7号(特に引用した出願の図9及びその添付テキスト参照)に記載されている。

【0041】

次に図9を参照すると、本発明に従って構成した電流-周波数変換器回路150のブロック線図が示されている。図9に見られるように、電流-周波数変換器回路150は四つの主機能要素を備えている。これら四つの主機能要素は、(1)正の入力端子153aと負の入力端子153bと出力端子154とを備えた演算増幅器152、(2)演算増幅器152の正の入力端子153aに接続されたコンデンサC4、(3)演算増幅器152の出力端子154に接続された電圧・制御入力端子と可変周波数出力信号F<sub>OUT</sub>を供給する電圧・制御出力端子とを備えた電圧制御型発振器(VCO)回路156、及び(4)コンデンサC4に接続された(すなわち演算増幅器152の正の入力端子153aに接続された)チャージポンプ回路158を含んでいる。

10

【0042】

動作において、アナログ入力信号I<sub>IN</sub>はコンデンサC4を充電する。コンデンサC4に充電された電荷の量は入力電流I<sub>IN</sub>の大きさの関数であり、入力電流は、埋設可能な装置30内からモニタされるセンサーなどによって検知されることになるパラメータ又は他の状態の測定値を表している。チャージポンプ回路158は、電圧制御型発振器(VCO)回路156で発生した可変周波数出力信号F<sub>OUT</sub>の各サイクル中コンデンサC4のディスクリートチャージ(すなわち一定数のクーロン)をくみ出す。演算増幅器152は二つの入力端子153a、153b間に加えられた電気信号を差動増幅し、出力端子154に増幅された出力信号を発生する。負の入力端子153bは接地されているので、演算増幅器152に加えられた差動入力信号は有効には、コンデンサC4に蓄えられた電荷の量すなわち電圧である。従って、演算増幅器152からの増幅された出力信号は、入力電流I<sub>IN</sub>の関数として変化する電圧から成っている。この増幅された出力信号は、電圧制御型発振器(VCO)回路156に制御電圧として加えられ、電圧制御型発振器(VCO)回路156の周波数出力信号F<sub>OUT</sub>が入力電流I<sub>IN</sub>の関数として変化する周波数をもつようにされる。

20

【0043】

(図5Aに関して説明してきたように)固定時間間隔にわたって計数され得る可変周波数出力信号F<sub>OUT</sub>として利用できる電圧制御型発振器(VCO)回路からの周波数出力信号F<sub>OUT</sub>は、チャージポンプ回路158にも加えられる。この周波数出力信号F<sub>OUT</sub>は、典型的にはパルス列から成り、このパルス列の周波数は電圧・制御入力に加えられた電圧の大きさの関数として変化する。可変周波数パルス列F<sub>OUT</sub>の各パルスに対して、チャージポンプ回路158はコンデンサC4のディスクリートチャージをくみ出す。従って入力電流I<sub>IN</sub>によりコンデンサC4は電荷を蓄え、この電荷は演算増幅器152の出力電圧を増大させ、出力信号F<sub>OUT</sub>の周波数を増大させることがわかる。この周波数の増大によりコンデンサC4からくみ出される電荷は増大する(又は増大したレートで生じる)。最終結果として、演算増幅器152はこのようにしてコンデンサC4に蓄えられた電荷を増幅することにより出力信号F<sub>OUT</sub>の周波数を、コンデンサC4における正味の電荷を本質的にゼロに維持するのに必要なレートにする。その結果、出力信号F<sub>OUT</sub>の周波数は、コンデンサC4に加えられた電流I<sub>IN</sub>の大きさの関数として変化し、こうして所望の電流-周波数(I-F)変換が達成される。

30

40

必要に応じてかつ図10に関して後でより十分に説明するように、安定して分離した基準電圧V<sub>REF</sub>を発生するために図9の電流-周波数(I-F)変換回路150の一部として電圧バッファ回路160を使用でき、この基準電圧はチャージポンプ回路158によってその電荷ポンピング機能を行う際に使用される。

【0044】

図9の回路150より複雑でない電流-周波数(I-F)変換器回路が当業者によって考えられ得るが、図9の電流-周波数(I-F)変換回路150の有利な特徴は、消費電力を極めて少なくして動作できるように低電力FETトランジスタを用いて構成できることにある。このような低電力構成は図10A、図10B、図10C及び図10Dに関して示

50

し以下に説明する。

【 0 0 4 5 】

次に図 1 0 A、図 1 0 B、図 1 0 C 及び図 1 0 D を参照すると、本発明を実施するために目下考えられる最良の形態に従って構成した好ましい低電力電流 - 周波数 ( I - F ) 変換器回路の概略及び ( 又は ) 論理線図が例示されている。電流 - 周波数 ( I - F ) 変換器回路 1 5 0 は好ましくは、例えば共通の基板上に形成しかつ特に低電力消費用に設計した “ N - F E T ” 及び “ P - F E T ” トランジスタと呼ばれる N チャネル及び P チャネル電界効果トランジスタ ( F E T ) の特殊な組み合わせにより形成した小型集積回路 ( I C ) を用いて実現される。関連した N - F E T 又は P - F E T トランジスタの各々の好ましい寸法 ( 長さ及び幅 ) は関係する他の構成要素の値と共に表 1 に示す。表 1 に示す N - F E T 及び P - F E T トランジスタの寸法は、 I C 基板上に形成されるので各トランジスタの関連寸法に関係している。一層特に、例えば “ 5 / 1 0 ” の寸法をもつ N - F E T は [ Jhon: これらの値の意味するところを説明する文章を加えてください ] を意味している。 I C 内に使用した種々の N - F E T 及び P - F E T トランジスタのこの型の特徴 ( 大きさ又は寸法による ) は公知であり、半導体製造技術における当業者には理解される。有利には、 I C 製造段階中にそのようなトランジスタの寸法 ( 大きさ ) を選択的に制御することにより、 F E T トランジスタの性能は、トランジスタの使用される特殊な設計に対して制御され又は適合され得る。従って例えば 5 / 1 0 の寸法をもつ相対的に “ 長い ” N - F E T は例えば 4 / 4 の寸法をもつ相対的に “ 短い ” N - F E T より高い導通抵抗 ( 遅い導通時間 ) を示し得る。

【 0 0 4 6 】

表 1

トランジスタ又は

構成要素符号

形 式

大きさ / 寸法

M 1	NFET	2. 4 / 1 0
M 2	NFET	4 / 1. 2
M 3	NFET	2. 4 / 1 0
M 4	NFET	4 / 1. 2
M 5	NFET	2. 4 / 1 0
M 6	NFET	4 / 1. 2
M 7	NFET	4 / 1. 2
M 8	NFET	4 / 1. 2
M 9 (使用されない)	-----	-----
M 1 0	PFET	3 / 2 4
M 1 1	PFET	5 / 1 0
M 1 2	PFET	5 / 1 0
M 1 3	NFET	5 / 1 0
M 1 4	NFET	5 / 1 0
M 1 5	PFET	2. 4 / 2
M 1 6	NFET	4 / 4
M 1 7	NFET	4 / 1. 2
M 1 8	PFET	2. 4 / 2
M 1 9	NFET	4 / 4
M 2 0	NFET	4 / 1. 2
M 2 1	PFET	2. 4 / 4
M 2 2	NFET	4 / 4
M 2 3	PFET	4 / 1. 2
M 2 4	PFET	2. 4 / 1. 2
M 2 5	PFET	2. 4 / 4
M 2 6	NFET	4 / 4

10

20

30

40

50

M27	PFET	4 / 1.2
M28	PFET	2.4 / 1.2
M29	PFET	4 / 1.2
M30	NFET	4 / 1.2
M31	PFET	4 / 1.2
M32	NFET	4 / 1.2
M33	NFET	2.4 / 10
M34	NFET	8 / 4
M35	NFET	4 / 4
R1	抵抗	200K
C1	コンデンサ	25pf
C2	コンデンサ	25pf
C3	コンデンサ	40pf
C4	コンデンサ	50pf

10

一般に、当該技術において公知のように、FETトランジスタは三つの端子“ソース”、“ドレイン”及び“ゲート”を備えている。ゲート端子に印加される電圧は、ソース端子をドレイン端子に接続する半導体チャネルの導電率を制御する。ソース-ドレインチャネルの導電率を制御することにより、このチャネルに流れる電流の量はゼロ電流から最大電流まで(ON抵抗及びチャネルの両端の有効電圧降下により決まる)制御され得る。FETトランジスタは普通スイッチとして使用される。スイッチとして使用した場合、ベース端子に印加される電圧で制御されるソース-ドレインチャネルの導電率は非常に低い(FETスイッチはオン)か又は非常に高い(FETスイッチはオフ)。図10A、図10B及び図10Cの回路に用いた形式のFETでは、P-FETのゲートに高電圧を印加することにより、P-FETは“オフ”状態となり、一方、N-FETのゲートに高電圧を印加することにより、N-FETは“オン”状態となる。図10A、図10B及び図10Cにおいて、N-FETは古典的なFET形式で表され、すなわち三つのセグメントから成る順方向又は逆方向阻止文字“C”として表れ、“C”の一つのセグメントの一端は“ソース”を備え、また“C”の別のセグメントの一端(隣接の太い点で示されている)は“ドレイン”を備えている。“ゲート”は“C”の中間セグメントに平行であるが接触していない短い線として表されている。P-FETは、対角線が“C”に引かれている点を除いてN-FETと同じに表されている。

20

30

#### 【0047】

好ましい演算増幅器(オペアンプ)152は図10Aに概略的に示されている。P-FET M10は差動対のトランジスタM11、M12に対する数nAの定電流源を形成するように外部電圧基準信号BIASPによってバイアスされる。差動対のトランジスタM11、M12の各々に印加されるベース電圧が等しい限り、電流源M10からの電流はトランジスタM11、M12間に等しく分けられる。N-FET M13、M14Fは対称電流を供給するように普遍的にオン状態にバイアスされ、事実上差動対のトランジスタM11、M12に対する固定負荷抵抗として機能する。トランジスタM11のベース端子は充電コンデンサC4の一側に接続されている。コンデンサC4の他側は接地(V-に接続)されている。トランジスタM12のベース端子は接地(V-)に接続されている。オペアンプ152の入力端子はトランジスタM11のゲートを備えている。従って、オペアンプに流れる入力電流 $I_{IN}$ はコンデンサC4を充電し始め、トランジスタM11のゲートに、トランジスタM12のゲートに印加される電圧と異なる電圧が現れる。トランジスタM11はP-FETトランジスタであるので、比較的高いゲート電圧(入力電流 $I_{IN}$ がコンデンサC4を充電し始めるときに生じる)はトランジスタM11をオフ状態(抵抗が増大する)にさせる。そしてこの抵抗の増大により、電流源M10からの電流は二つのトランジスタM11、M12の通路間に等しく分けられなくなる。一層特に、トランジスタM11のゲートに印加される入力電圧が増大(コンデンサC4を充電するように入力電流 $I_{IN}$ を加えることによって生じる)すると、オペアンプのトランジスタM12の脚部に流れる電

40

50

流が増大し、それにより、接地（ $V^-$ ）に対して測定した信号線154における出力電圧 $V_{OUT}$ （トランジスタM12のドレインにおける電圧）が増大する。オペアンプのトランジスタM12の脚部における有効負荷抵抗（M14）の値を適当に選択しそしてトランジスタM11、M12の対の所与性能特性を仮定することにより、オペアンプの“利得”（“利得”は図10Aに示すオペアンプのために $V_{OUT}/V_{IN}$ の比として決められ、 $V_{IN}$ は入力電流 $I_{IN}$ によりコンデンサC4に発生した電圧である）は、電流-周波数（ $I-F$ ）変換器回路の所望の全体動作を支持するために十分に大きく、例えば にされ得る。

#### 【0048】

差動対のトランジスタM11、M12の入力がゼロ又はゼロ近くに維持され、そして閾値BIASPがP-FETの本体（基板）に印加される電圧（典型的には $V^+$ 又は約3ボルト）と組合わされると、オペアンプ152の出力電圧 $V_{OUT}$ は接地（ $V^-$ ）から約1.5ボルトに変動し得る。コンデンサC3はオペアンプの出力端子（トランジスタM12のドレイン）との間に接続され、この出力電圧を所望の程度にろ波する。

10

#### 【0049】

信号線154におけるオペアンプ152（図10A）からの出力電圧 $V_{OUT}$ は電圧制御型発振器（VCO）回路156の制御電圧入力に印加される。好ましい電圧制御型発振器（VCO）回路の概略論理線図は図10Cに例示され、電圧制御型発振器（VCO）回路156の基本動作を示すタイミング波形線図は図10Dに示されている。簡略性のために図10Cの電圧制御型発振器（VCO）回路に含まれるゲート162～174（生きた高入力との交差結合ラッチとして示されている）は論理線図形態で示されている。しかしながら、このようなゲートは好ましくは当該技術において公知のように付加的なN-FET及びP-FETトランジスタを用いて構成されることが理解されるべきである。

20

#### 【0050】

電圧制御型発振器（VCO）回路の動作は、ゲートの出力（図10C及び図10Dに $CLK_B$ として示されている）が高くなった直後に、生じる状態を考察することにより最もよく理解される。ゲートの出力が高くなると、トランジスタM15はオフ状態となり、トランジスタM15のドレイン（トランジスタM16のドレインと同じ点である）は図10Dに示すように接地（ $V^-$ ）に向かって傾斜する。この傾斜の傾きはトランジスタM16のドレインノードにおける容量及びドレイン電流（及びゲート電圧）に依存している。トランジスタM15、M16のドレイン電圧が $V^+$ より約1閾値下方へ傾斜すると、P-FET M21はオン状態となり、ゲート164の入力は入力線176（図10C）を介して正になる。ゲート164が論理閾値に達すると、ゲート164の出力は低くなり、（信号線178を介して）トランジスタM24をオン状態にする。この作用は、ゲート164の入力における高くなる信号を（信号線176を介して）補強することにより、ヒステリシスとなる。短い時間の経過した後、ゲート164の出力はゲート170の論理閾値に達し、ラッチ（すなわちゲート162～172から成る生きた高入力との交差結合ラッチ）は状態を変える。

30

#### 【0051】

交差結合ラッチの状態が変わると、ゲート172の出力は低くなり、ゲート168の出力（ $CLK_A$ ）は高くなり、そしてトランジスタM18、M25及び信号通路におけるゲート162において順次繰り返される。この繰り返し時間中、トランジスタM15、M16のドレインは高いままであるが、トランジスタM18のドレイン（トランジスタM19のドレインと同じ点である）は、トランジスタM19のドレインノードにおける容量及びドレイン電流（及びドレイン電圧）に依存するレートで接地（ $V^-$ ）に向かって傾斜する。図10Dに見られるように、この結果、二つの相補クロック信号 $CLK_A$ 、 $CLK_B$ が発生され、インバータゲート174でバッファされて、クロック信号 $CLK_B$ から出力信号 $F_{OUT}$ が誘導される。

40

#### 【0052】

上記の動作中、N-FET M17及びM20は、電圧制御型発振器（VCO）回路にお

50

ける容量充電電流を約  $50 \text{ nA}$  に制限する電流源として機能する。このように制限作用より、電圧制御型発振器 (VCO) 回路がその通常の最大周波数以上で作動しようとする際にロックアップ状態が生じるのを阻止する。動作において、電圧制御型発振器 (VCO) 回路 156 の公称周波数は約  $\text{KHz}$  であり、通常の最小動作周波数は  $\text{KHz}$  であり、又通常の最大動作周波数は  $\text{KHz}$  である。

図 10C に示す電圧制御型発振器 (VCO) 回路 156 の周波数対電圧関係は線形でない (N-FET M16、M19 のドレーン電流対ゲート電圧に依存するため) ことが認められる。しかしながら、完全な電流 - 周波数 (I-F) 変換器の動作の説明から明らかのように、全電流対周波数線形性は単に、後で説明するように電圧制御型発振器 (VCO) 回路の各切り換えにおいて約  $6 \text{ pC}$  の一定の電荷をポンピングするように設計される電荷ポンプの繰返し度に依存するだけである。

#### 【0053】

図 10C に示す電圧制御型発振器 (VCO) 回路 156 に関連する一つの特別な特徴は、論理入力が給電線間すなわち  $V+$  と  $V-$  との間の電圧にある時に NOR ゲート 162 及び 164 の各々が給電電流を  $100 \text{ nA}$  以下に制限する直列バイアス FET を含むことにある。

#### 【0054】

出力信号  $CLK_A$ 、 $CLK_B$  は図 10B の下半分に示すチャージポンプ回路 158 を駆動する。チャージポンプ回路 158 は八つの N-FET トランジスタ M1 ~ M8 を備えている。動作において、チャージポンプ回路は信号線 180 を介して回路入力ノードに一定サイズの電荷パケットを放出する。電荷の量はコンデンサ C1、C2 の値及び基準電圧  $V_{REF}$  によって決まる。基準電圧  $V_{REF}$  は、図 10B の上半分に示す電圧バッファ回路 160 で発生されるバッファ基準電圧からなっている。電流 - 周波数 (I-F) 変換器回路 150 で使用される他の基準電圧は、非バッファ基準電圧  $V_R$ 、BIASP 基準電圧及び BIASN 基準電圧を含んでいる。BIASP 基準電圧は、BIASP 基準電圧からの電流を約  $100 \text{ nA}$  以下に制限する直列の限流器 (すなわちプルアップ抵抗) を備えている。チャージポンプ回路 158 の動作は次のとおりである。電圧制御型発振器 (VCO) 回路の一つの状態中、すなわち出力信号  $CLK_A$  が低く、出力信号  $CLK_B$  が高い時に、トランジスタ M3、M4 はオン状態となり、トランジスタ M1、M2 はオフ状態となる。この状態において、コンデンサ C1 は基準電圧  $V_{REF}$  まで充電する。電圧制御型発振器 (VCO) 回路の状態が切換ると、すなわち出力信号  $CLK_A$  が高くなり、出力信号  $CLK_B$  が低くなると、トランジスタ M3、M4 はオフ状態となり、トランジスタ M1、M2 はオン状態となる。これにより、コンデンサ C1 は信号線 180 (オペアンプ 152 の入力に接続される) を介して放電し、高くなる入力信号線 (入力電流  $I_{IN}$  がコンデンサ C4 を充電している) は接地 ( $V-$ ) に向かって戻される。

#### 【0055】

第 2 のコンデンサ C2 は第 1 のコンデンサ C1 と縦列に作動する。すなわち、コンデンサ C1 が基準電圧  $V_{REF}$  まで充電すると、第 2 のコンデンサ C2 は信号線 180 を介して接地まで放電する。コンデンサ C1 又は C2 が放電している時に、信号線 180 を介して入力コンデンサ C4 の電荷を引き込む。最終的には電流 - 周波数 (I-F) 変換器は、オペアンプ 152 の入力端子 153a を、 $V-$  (接地) である入力 153b と同じ電位に維持することになる。

#### 【0056】

こうして、電圧制御型発振器 (VCO) 回路の切り換え (フリップ) により電荷パケットは入力コンデンサ C4 からポンピングされることがわかる。これらの電荷パケットはセンサーから流れる単なる電流でありしかも全て同じ大きさであるので、それらの周波数は入力電流  $I_{IN}$  に直接関係する。

#### 【0057】

チャージポンプ回路 158 及び電圧制御型発振器 (VCO) 回路 156 内に使用された種々の FET の寸法は、通常の動作の最大周波数でも電圧制御型発振器 (VCO) 回路 15

10

20

30

40

50



6の各動作位相中にコンデンサC1、C2が十分に充放電されるように選択される。電圧制御型発振器(VCO)回路156の二つの出力信号CLK<sub>A</sub>、CLK<sub>B</sub>のタイミングにより、チャージポンプコンデンサC1、C2に接続されたスイッチにおけるブレーク・ビフォア・メイク作用が保証される。

【0058】

要するに、コンデンサC4で集められるセンサー電流I<sub>IN</sub>の全てはチャージポンプ回路によってコンデンサC4からポンピングされる。入力電流I<sub>IN</sub>が回路入力153aを接地から離れる方向に引くとすると直ぐに、オペアンプの出力は電圧制御型発振器(VCO)をスピードアップさせ、それによりチャージポンプ回路158から一層負に向かう電荷パケットが放出され、回路入力153aを接地に引き戻す。

10

【0059】

V<sub>REF</sub>の遷移負荷によるクロストークを防ぐために、電圧バッファ回路160が使用される。このような電圧バッファ回路は、図10Bの上半分に示すように、FETトランジスタM29～M35から成る普通のオペアンプフォロワ回路を備えている。

【0060】

図10に関して説明してきた電流-周波数(I-F)変換器回路の総体消費電力はほんの約1.8ピコワット(動作電圧を3ボルト、動作電流を600nAとした場合)である。装置の静的動作電流は約100nA以下である。このような低電力動作は、本発明の電流-周波数(I-F)変換器回路が静かであるという特徴の一つである。

【0061】

本発明の別の重要な特徴は、オペアンプ152の端子153aである電流-周波数(I-F)変換器回路の入力端子が第2の電源を必要とせず本質的に接地電位に維持されることにある。すなわち、普通のオペアンプにおいて、入力をゼロボルトに維持するためには、ゼロより高い電圧、例えば+5ボルト及びゼロより低い電圧、例えば-5ボルトでオペアンプにバイアスをかける必要があり、それにより二つの別個の電源を用いる必要がある。しかしながら、図10Aに示すようにFETトランジスタを使用することにより、オペアンプ自体がV<sub>+</sub>、V<sub>-</sub>(接地)間の単一電源でバイアスをかけられるだけであっても、入力をゼロ又はゼロ近くに維持することができる。

20

【0062】

従って上記のように、本発明は、大きさが検知したパラメータ又は物質のを表している非常に小さな直流電流のような低レベルアナログ信号を、共有通信バスを介して遠隔の受信機に良好に伝送され得るデジタル値に変換するのが必要である例えば埋設可能なセンサー装置に利用できる低電力電流-周波数変換器回路を提供することがわかる。

30

【0063】

以上本発明を特定の実施の形態及び応用について説明してきたが、請求の範囲に定義した本発明の範囲から逸脱せずに当業者によって種々の変更及び変形がなされ得る。

【図面の簡単な説明】

本発明の上記および他の態様、特徴および利点は、添付図面に関連した以下のより詳しい説明からさらに明らかとなろう。

【図1】 図1は、コントローラに接続することができる2導体バスを用いて相互に接続した複数のセンサ/刺激装置を示すブロック図である。

40

【図2】 図2は、本発明によるセンサをどのようにして直列式あるいはデイジーチェーン式にコントローラおよび他のセンサに接続することができるかを示す好ましい方法の概略図である。

【図3A】 図3Aは、図2のデイジーチェーンで使われるタイプのセンサの部分展開斜視図を示す。

【図3B】 図3Bは、図3Aのセンサの側断面図を示す。

【図3C】 図3Cは、図3Aのセンサの頂断面図を示す。

【図3D】 図3Dは、図3Aのセンサの端面断面図を示す。

【図4】 図4は、図3A～3Dの複数のセンサを包含する埋設可能なリードを示す。

50

【図5A】 図5Aは、本発明によるI - t o - F変換回路を包含する簡単なデジチェーン接続可能な埋設可能センサの機能ブロック図である。

【図5B】 図5Bは、図5Aと同様の機能ブロック図であるが、付加的なセンサを取り付けるために代替の接続構造を示していることを示す図である。

【図5C】 図5Cは、図5Aと同様の機能ブロック図であるが、種々のセンサおよび刺激装置を同じ埋設可能なセンサ装置内に組み込むことができるように付加的な回路機能を設け、複数のI - t o - F変換回路を装置の一部として組み込んだ状態を示す図である。

【図6】 図6は、図5A、図5Bまたは図5Cに示すタイプの埋設可能なセンサに送られたり、そこから受け取られたりした入力、出力データを示すタイミング線図である。

【図7】 図7は、本発明の埋設可能なセンサと通信するのに用いるデータ・フレームを示す。 10

【図8】 図8は、図5A、図5Bまたは図5Cに示すタイプの複数のデジチェーン接続可能な装置を接続している2導体式バス上に現れたときに時間多重化される入力、出力データを示すタイミング線図である。

【図9】 図9は、本発明によるI - t o - F変換回路の機能ブロック図を示す。

【図10A】 図10Aは、図9に示すI - t o - F変換回路のOPアンプ部分のブロック線図を示す。

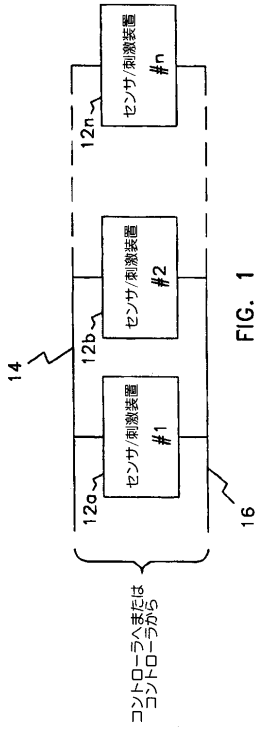
【図10B】 図10Bは、図9に示すI - t o - F変換回路のVOLTAGE BUFFER、CHARGE PUMP部分のブロック線図を示す。

【図10C】 図10Cは、図9に示すI - t o - F変換回路のVCO部分の系統/論理図を示す。 20

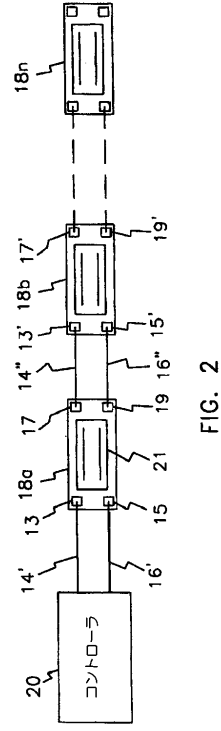
【図10D】 図10Dは、図10CのVCO回路の動作と関連したタイミング波形図を示す。

いくつかの図を通じて対応する参照符号は対応する構成要素を示している。すなわち、「図3」、「図5」または「図10」に対する総括的な言及は、その番号と関連した図のすべてに言及している。すなわち、「図3」への総括的な言及は「図3A」、「図3B」、「図3C」および「図3D」のすべてについての言及であり、「図5」についての総括的な言及は「図5A」、「図5B」および「図5C」のすべてへの言及であり、「図10」への総括的な言及は「図10A」、「図10B」、「図10C」、「図10D」への言及である。 30

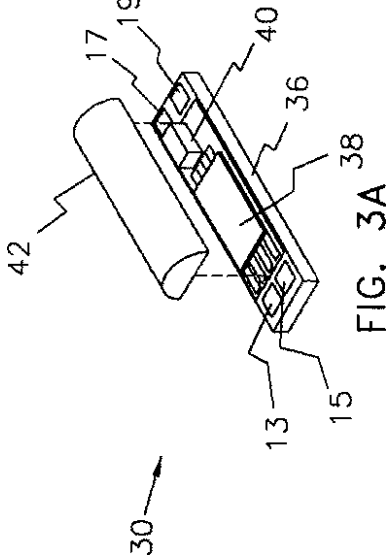
【 図 1 】



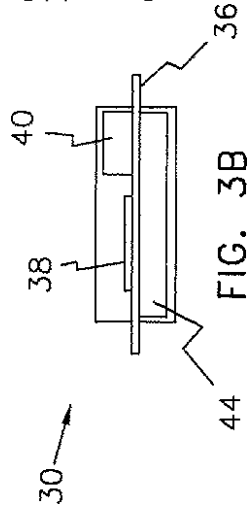
【 図 2 】



【 図 3 A 】



【 図 3 B 】



【 図 3 C 】

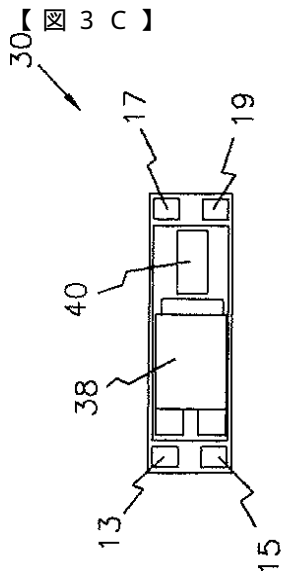


FIG. 3C

【 図 3 D 】

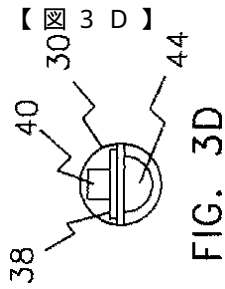


FIG. 3D

【 図 4 】

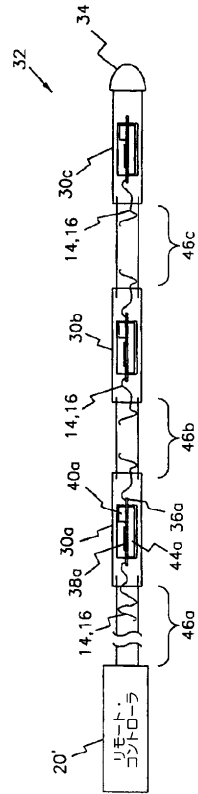


FIG. 4

【 図 5 A 】

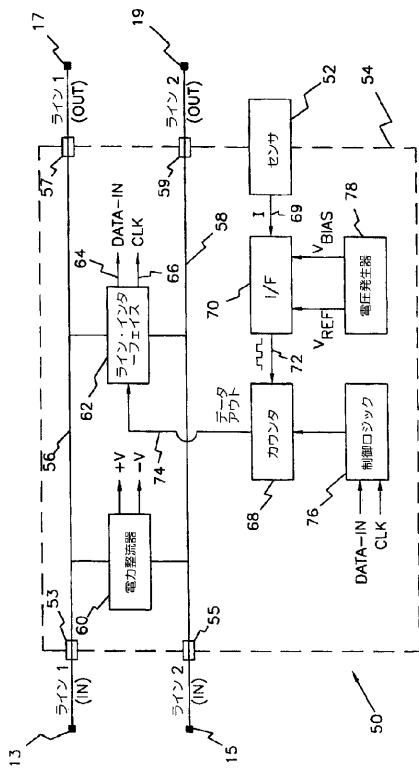


FIG. 5A

【 図 5 B 】

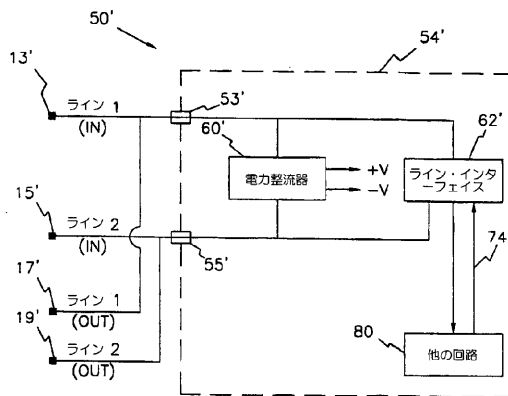


FIG. 5B

【図5C】

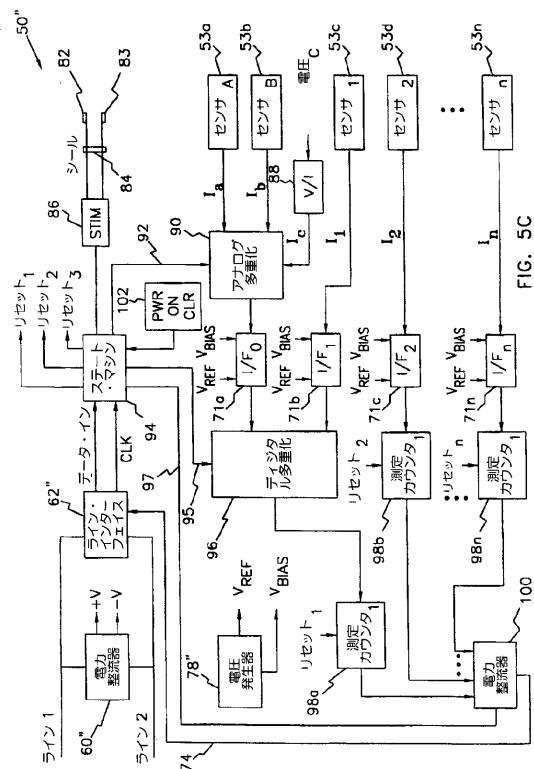


FIG. 5C

【図6】

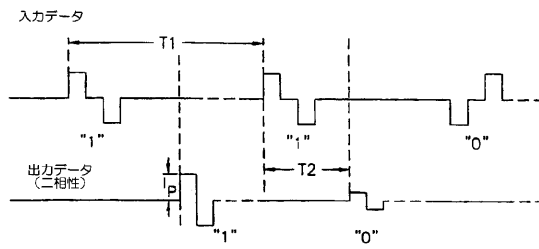


FIG. 6

【図7】

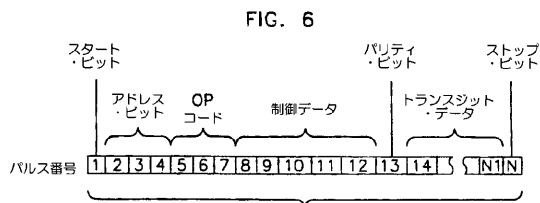


FIG. 6

FIG. 7

【図8】

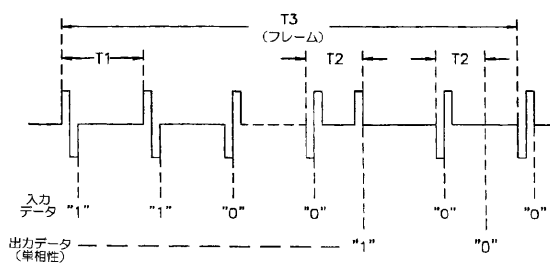


FIG. 8

【図9】

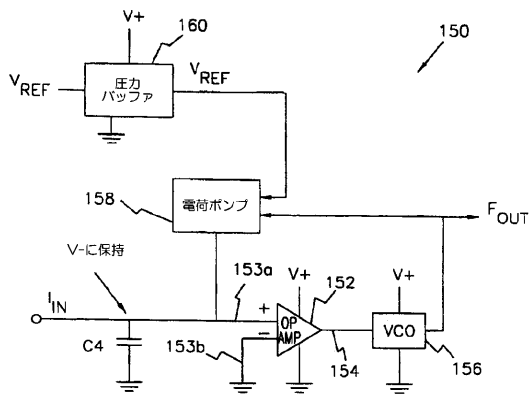


FIG. 9

【図10A】

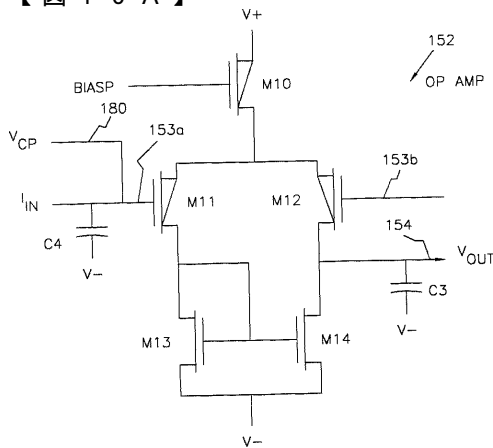


FIG. 10A

【 図 1 0 B 】

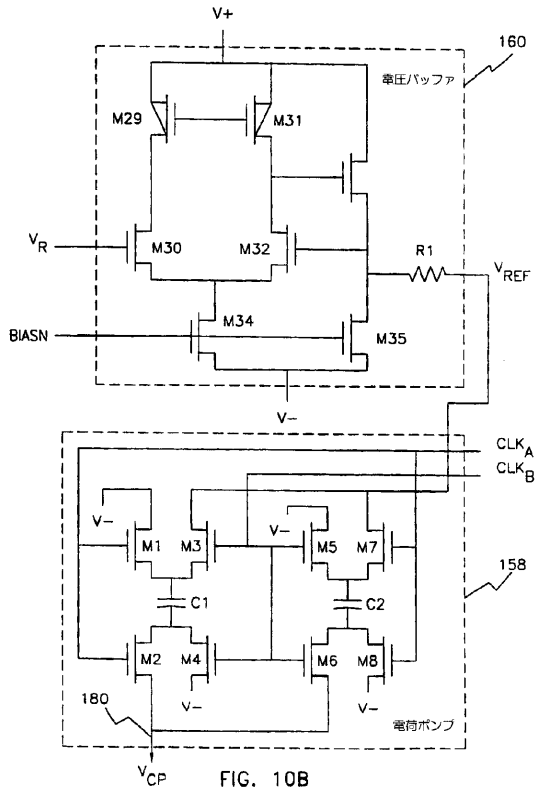


FIG. 10B

【 図 1 0 C 】

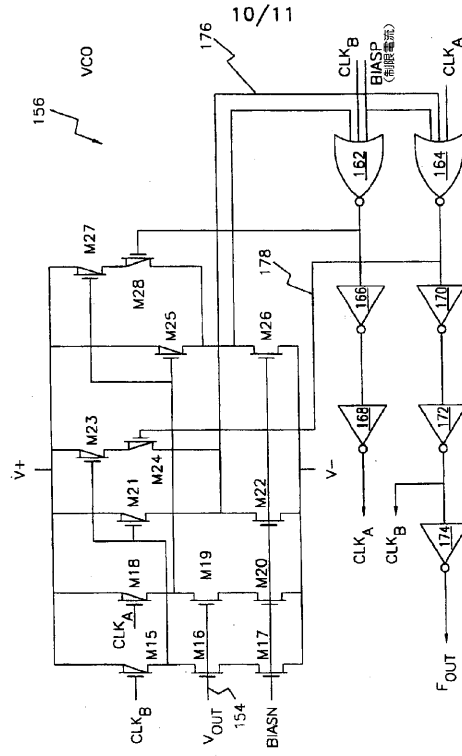


FIG. 10C

【 図 1 0 D 】

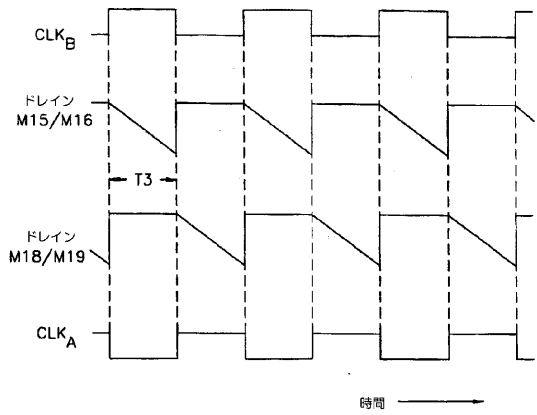


FIG. 10D

---

フロントページの続き

(74)代理人 100096194

弁理士 竹内 英人

(74)代理人 100074228

弁理士 今城 俊夫

(74)代理人 100084009

弁理士 小川 信夫

(74)代理人 100082821

弁理士 村社 厚夫

(74)代理人 100086771

弁理士 西島 孝喜

(74)代理人 100084663

弁理士 箱田 篤

(72)発明者 ゴード ジョン シー

アメリカ合衆国 カリフォルニア州 90291 ヴェニス インディアナ アベニュー 806

審査官 清水 稔

(56)参考文献 特開昭61-126474(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 7/06

G01R 19/252

H03K 5/08

H03M 1/60