



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1188862 A

(51)4 Н 03 К 3/286

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3748934/24-21
(22) 19.04.84
(46) 30.10.85. Бюл. № 40
(71) Московский ордена Трудового
Красного Знамени инженерно-физичес-
кий институт
(72) А.П.Панфилов и Г.П.Мозговой
(53) 621.375 (088.8)
(56) Алексеенко А.Г., Шагурин И.И.
Микросхемотехника. - М.: Радио и
связь, 1982, с.178.

Березенко А.И., Корягин Л.Н.,
Назарьян А.Р. Микропроцессорные
комплекты повышенного быстродейст-
вия. - М.: Радио и связь, 1981,
с.59, рис.39.

(54)(57) D - ТРИГГЕР, содержащий
четыре транзистора и четыре резисто-
ра, D - вход D - триггера соединен с
эмиттером первого транзистора, база
которого через первый резистор сое-
динена с шиной питания, коллектор

первого транзистора соединен с базой
второго транзистора, коллектор вто-
рого транзистора соединен с коллек-
тором третьего транзистора и через
второй резистор с шиной питания, а
коллектор четвертого транзистора
соединен через третий резистор с ши-
ной питания, отличающийся -
ся тем, что, с целью уменьшения
потребляемой мощности и увеличения
быстродействия, в него введен пя-
тый транзистор, база которого сое-
динена через четвертый резистор с
шиной питания, а коллектор соединен
с базой третьего транзистора, пер-
вый эмиттер пятого транзистора сое-
динен с эмиттером второго транзисто-
ра и тактовым входом D - триггера,
второй эмиттер пятого транзистора
соединен с выходом D - триггера и с
коллектором четвертого транзистора,
эмиттер которого соединен с эмитте-
ром третьего транзистора и общей
шиной.

(19) SU (11) 1188862 A

Изобретение относится к импульсной технике и предназначено для использования в интегральных логических цифровых микросхемах.

Цель изобретения — уменьшение потребляемой мощности и увеличение быстродействия путем уменьшения напряжения питания и логического перепада.

На чертеже изображена принципиальная схема D-триггера, тактируемого низким уровнем тактового сигнала.

D-триггер содержит пять транзисторов 1-5 и четыре резистора 6-9, D-вход 10 соединен с эмиттером первого транзистора 1, база которого через первый резистор 6 соединена с шиной питания, коллектор первого транзистора 1 соединен с базой второго транзистора 2, коллектор которого соединен с коллектором третьего транзистора 3 и через второй резистор 7 с шиной питания, а коллектор четвертого транзистора 4 соединен через третий резистор 8 с шиной питания, база пятого транзистора 5 соединена через четвертый резистор 9 с шиной питания, а коллектор соединен с базой третьего транзистора 3, первый эмиттер пятого транзистора 5 соединен с эмиттером второго транзистора 2 и тактовым входом 11 триггера, второй эмиттер пятого транзистора 5 соединен с выходом 12 триггера и с коллектором четвертого транзистора 4, эмиттер которого соединен с эмиттером третьего транзистора 3 и общей шиной.

D-триггер работает следующим образом.

Предположим, что на тактовый вход 11 подано напряжение "0". Если на входе триггера 10 установлен потенциал "1", то транзистор 1 находится в инверсном режиме и ток его коллектора втекает в базу транзистора 2 и является достаточным для насыщения транзистора 2, потенциал на коллекторе которого равен сумме остаточного напряжения на насыщенном транзисторе 2 и напряжения на входе. Таким образом, потенциал на базе транзистора 4 недостаточен для его отпирания, поэтому на выходе триггера устанавливается потенциал "1". Потенциал "0" с входа тактового сигнала поступает также и на первый

эмиттер транзистора 5, поэтому независимо от потенциала на втором эмиттере транзистора 5 последний насыщен, а транзистор 3 закрыт при любом потенциале на выходе триггера.

Если на вход 10 триггера подается потенциал "0", транзистор 1 насыщается и на его коллекторе устанавливается потенциал, равный сумме потенциала "0" и падения напряжения между коллектором и эмиттером насыщенного транзистора 4. Этот потенциал недостаточен для удержания транзистора 2 во включенном состоянии, поэтому он включается и потенциал на его коллекторе увеличивается до напряжения отпирания эмиттерного перехода транзистора 4. Транзистор 4 включается и переходит в насыщение, при этом на выходе триггера потенциал уменьшается до уровня "0". Транзистор 5 также насыщен благодаря потенциалу "0" на первом эмиттере, поэтому транзистор 3 выключен и его коллекторный ток равен нулю.

Таким образом, при удержании потенциала "0" на тактовом входе 11 на выходе триггера потенциал повторяет потенциал на входе 10 триггера.

Пусть на тактовый вход 11 подано напряжение "1", тогда независимо от входного сигнала на эмиттере транзистора 1, на базе транзистора 2 сохраняется потенциал, недостаточный для отпирания транзистора 2, поэтому коллекторный ток транзистора 2 равен нулю. Если потенциал на выходе триггера равен потенциалу "1", то транзистор 5 работает в инверсном режиме и в базу транзистора 3 втекает ток резистора 9, достаточный для насыщения транзистора 3. На базе транзистора 4 устанавливается потенциал "0", недостаточный для отпирания транзистора 4, поэтому на выходе триггера сохраняется высокий потенциал "1". Если же на выходе триггера было напряжение "0", то транзистор 5 насыщается, потенциал на его коллекторе снижается до величины, равной сумме потенциала "0" и падения напряжения между коллектором и эмиттером насыщенного транзистора 5, недостаточной для того, чтобы транзистор 3 остался в режиме насыщения. Поэтому потенциал на коллекторе транзистора 3 возрастает до уровня, достаточного для удержания транзистора 4 в насы-

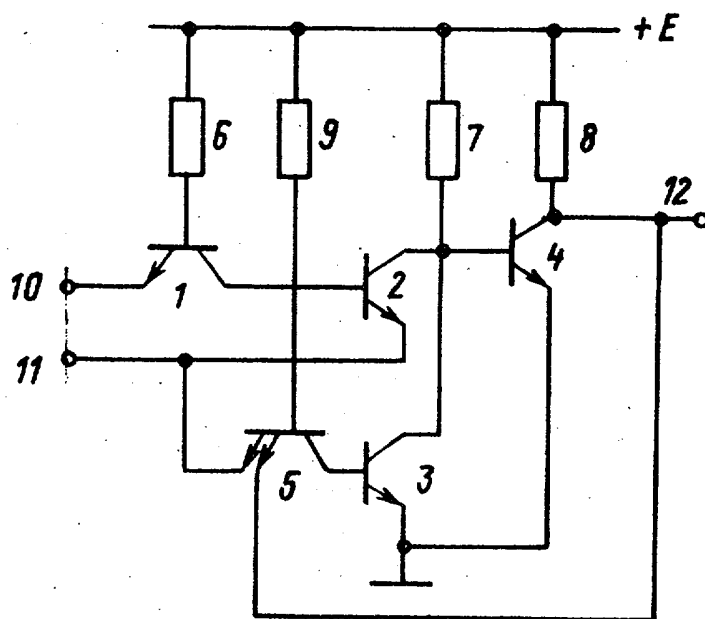
щенном состоянии, при этом на выходе триггера сохраняется потенциал "0", следовательно, при удержании потенциала "1" на тактовом входе триггер хранит ранее записанную информацию.

Таким образом, предложенное устройство функционирует как D-триггер, тактируемый уровнем "0".

Предложенный триггер работает при низких напряжениях источника питания вплоть до величины $U_{\text{эо}} + U_{\text{мо}}$, где $U_{\text{мо}}$, $U_{\text{эо}}$ - падение напряжения на открытом диоде Шоттки и эмиттерном переходе транзисторов.

Предлагаемый триггер имеет более высокое быстродействие за счет уменьшения логического перепада. Порог переключения D-триггера снижен, поэтому задержка переключения триггера на положительном фронте входного или тактового сигналов также уменьшается.

Предложенный триггер может работать как на транзисторах п-р-п-типа с диодами Шоттки, так и без диодов Шоттки, однако в первом случае достигается наибольшее быстродействие схемы благодаря исключению насыщения транзисторов.



Составитель А. Янов

Редактор М. Дылын

Техред З. Палий

Корректор С. Шекмар

Заказ 6754/57

Тираж 871

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4