



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년04월26일  
(11) 등록번호 10-1852670  
(24) 등록일자 2018년04월20일

(51) 국제특허분류(Int. Cl.)  
G11C 7/10 (2015.01) G11C 29/02 (2006.01)  
H02M 3/158 (2006.01) H04L 25/02 (2006.01)  
(52) CPC특허분류  
G11C 7/1057 (2013.01)  
G11C 29/022 (2013.01)  
(21) 출원번호 10-2015-7031723  
(22) 출원일자(국제) 2014년06월19일  
심사청구일자 2015년11월04일  
(85) 번역문제출일자 2015년11월04일  
(65) 공개번호 10-2015-0139925  
(43) 공개일자 2015년12월14일  
(86) 국제출원번호 PCT/US2014/043285  
(87) 국제공개번호 WO 2014/209765  
국제공개일자 2014년12월31일  
(30) 우선권주장  
13/931,604 2013년06월28일 미국(US)  
(56) 선행기술조사문헌  
US07479949 B2\*  
(뒷면에 계속)

(73) 특허권자  
인텔 코포레이션  
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200  
(72) 발명자  
모작, 크리스토퍼 피.  
미국 97006 오리건주 비버튼 사우쓰웨스트 델타 코트 16648  
트리베디, 리테쉬 비.  
미국 95630 캘리포니아주 풀섬 아자베도 코트 1716  
(뒷면에 계속)  
(74) 대리인  
양영준, 백만기

전체 청구항 수 : 총 18 항

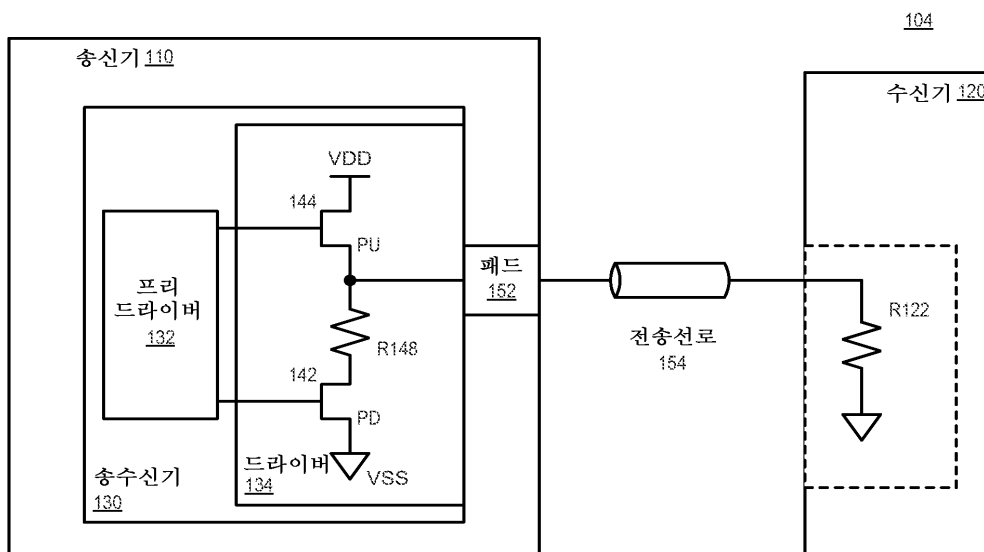
심사관 : 이흥민

(54) 발명의 명칭 I/O 드라이버 송신 스윙 제어

(57) 요약

전송 선로 인터페이스 회로는 신호 송신을 위해 전송 선로 인터페이스 회로의 전압 스윙을 제어하기 위해 전압 조정기를 포함한다. 전송 선로 인터페이스 회로는 논리 하이에 응답하여 전송 선로를 풀 업하기 위한 p형 드라이버 소자와, 논리 로우에 응답하여 전송 선로를 풀 다운하기 위한 n형 드라이버 소자를 포함하는 상보성 드라이버 소자들을 포함한다. 전압 조정기는 드라이버 소자들 중 하나와 각각의 전압 기준 사이에 결합되어 전송 선로 인터페이스 회로의 전압 스윙을 감소시킨다.

대표도 - 도1b



(52) CPC특허분류

*G11C 29/025* (2013.01)  
*G11C 29/028* (2013.01)  
*H02M 3/158* (2013.01)  
*H04L 25/0276* (2013.01)  
*H04L 25/029* (2013.01)  
*G11C 2207/105* (2013.01)

(72) 발명자

**맥클, 제임스 에이.**

미국 97229 오리건주 포틀랜드 노쓰웨스트 크릭뷰  
드라이브 12965

**마틴, 아론**

미국 95762 캘리포니아주 엘 도라도 힐스 돌시 코  
트 212

(56) 선행기술조사문헌

KR1020060036110 A\*  
WO2013009418 A1\*  
KR1019990029198 A\*  
US20080054860 A1\*  
US05966030 A\*  
US20130328591 A1  
US08988106 B2  
US07898295 B1  
KR1020100076760 A  
JP10229165 A  
EP02501088 A1

\*는 심사관에 의하여 인용된 문헌

**명세서**

**청구범위**

**청구항 1**

전송 선로 인터페이스 회로로서:

다중 드라이버 소자들 - 상기 다중 드라이버 소자들은,

전송 선로와 상기 전송 선로 인터페이스 회로에 대한 고 전압 기준 사이에 결합되어, 상기 전송 선로 상에서 구동되는 입력 신호의 논리 하이 값에 응답하여 상기 전송 선로를 풀 업하기 위한 p형 드라이버 소자; 및

상기 전송 선로와 상기 전송 선로 인터페이스 회로에 대한 저 전압 기준 사이에 결합되어, 상기 입력 신호의 논리 로우 값에 응답하여 상기 전송 선로를 풀 다운하기 위한 n형 드라이버 소자를 포함함 - ;

상기 드라이버 소자들 중 하나의 드라이버 소자와 상기 고 전압 기준 및 저 전압 기준 중 각각의 전압 기준 사이의 상기 전송 선로 인터페이스 회로에 국지적으로 결합되어, 상기 전송 선로 인터페이스 회로의 전압 스윙을 감소시키기 위한 전압 조정기 - 상기 전압 조정기가 활용될 때 상기 드라이버 소자들 중 각각의 드라이버 소자가 상기 전압 조정기로부터 전류를 공급받도록, 상기 전압 조정기의 입력은 상기 고 전압 기준 및 저 전압 기준 중 각각의 전압 기준에 결합되고 상기 전압 조정기의 출력은 상기 드라이버 소자들 중 하나의 드라이버 소자에 결합됨 -; 및

상기 드라이버 소자들 중 하나의 드라이버 소자와 상기 고 전압 기준 및 저 전압 기준 중 각각의 전압 기준에 결합되어, 누설 전력이 지배하는 유희 기간들 동안 우회 회로가 활성화될 때 상기 전압 조정기를 우회하는 우회 회로

를 포함하는 전송 선로 인터페이스 회로.

**청구항 2**

제1항에 있어서, 상기 전압 조정기는 선형 전압 조정기를 포함하는 전송 선로 인터페이스 회로.

**청구항 3**

제1항에 있어서, 상기 전압 조정기는 스위치형 회로 전압 조정기를 포함하는 전송 선로 인터페이스 회로.

**청구항 4**

제1항에 있어서, 상기 전압 조정기는 공통 집적 회로 상에서 상기 전송 선로 인터페이스 회로와 집적되는 전송 선로 인터페이스 회로.

**청구항 5**

제1항에 있어서, 상기 전압 조정기는 상기 p형 드라이버 소자와 상기 고 전압 기준 사이에 결합되는 전송 선로 인터페이스 회로.

**청구항 6**

제5항에 있어서,

상기 전압 조정기는 제1 전압 조정기이고,

상기 n형 드라이버 소자와 상기 저 전압 기준 사이에 결합되는 제2 전압 조정기

를 더 포함하는 전송 선로 인터페이스 회로.

**청구항 7**

삭제

**청구항 8**

제1항에 있어서, 상기 전압 조정기는 상기 전송 선로 인터페이스 회로의 전압 스윙을 제어하기 위해 상기 전압 조정기의 출력을 구성하기 위한 테스트 회로로부터의 설정 값을 수신하는 제어 소자들을 더 포함하는 전송 선로 인터페이스 회로.

**청구항 9**

제1항에 있어서, 상기 다중 드라이버 소자들은 메모리 디바이스와 상호접속하는 패드를 구동하는 메모리 컨트롤러 디바이스의 출력 드라이버 소자들인 전송 선로 인터페이스 회로.

**청구항 10**

제9항에 있어서, 상기 메모리 디바이스는 LPDDR(low power dual data rate) 메모리 디바이스, DDR(dual data rate) 메모리 디바이스, 또는 WIDEIO 메모리 디바이스 중 하나를 포함하는 전송 선로 인터페이스 회로.

**청구항 11**

전자 디바이스로서:

프로세서를 포함하는 호스트 하드웨어 플랫폼;

메모리 디바이스와 통신하기 위한 전송 선로 인터페이스 회로를 갖는 상기 호스트 하드웨어 플랫폼 상의 메모리 컨트롤러 디바이스; 및

상기 메모리 컨트롤러 디바이스에 의해 접근되는 데이터에 기초하여 디스플레이를 발생하기 위해 결합되는 터치스크린 디스플레이

를 포함하고,

상기 전송 선로 인터페이스 회로는,

다중 드라이버 소자들 - 상기 다중 드라이버 소자들은,

전송 선로와 상기 전송 선로 인터페이스 회로에 대한 고 전압 기준 사이에 결합되어, 상기 전송 선로 상에서 구동되는 입력 신호의 논리 하이 값에 응답하여 상기 전송 선로를 풀 업하기 위한 p형 드라이버 소자, 및

상기 전송 선로와 상기 전송 선로 인터페이스 회로에 대한 저 전압 기준 사이에 결합되어, 상기 입력 신호의 논리 로우 값에 응답하여 상기 전송 선로를 풀 다운하기 위한 n형 드라이버 소자를 포함함 - ;

상기 드라이버 소자들 중 하나의 드라이버 소자와 상기 고 전압 기준 및 저 전압 기준 중 각각의 전압 기준 사이의 상기 전송 선로 인터페이스 회로에 국지적으로 결합되어, 상기 전송 선로 인터페이스 회로의 전압 스윙을 감소시키기 위한 전압 조정기 - 상기 전압 조정기가 활용될 때 상기 드라이버 소자들 중 각각의 드라이버 소자가 상기 전압 조정기로부터 전류를 공급받도록, 상기 전압 조정기의 입력은 상기 고 전압 기준 및 저 전압 기준 중 각각의 전압 기준에 결합되고 상기 전압 조정기의 출력은 상기 드라이버 소자들 중 하나의 드라이버 소자에 결합됨 -; 및

상기 드라이버 소자들 중 하나의 드라이버 소자와 상기 고 전압 기준 및 저 전압 기준 중 각각의 전압 기준에 결합되어, 누설 전력이 지배하는 유희 기간들 동안 우회 회로가 활성화될 때 상기 전압 조정기를 우회하는 우회 회로를 포함하는 전자 디바이스.

**청구항 12**

제11항에 있어서, 상기 전압 조정기는 상기 메모리 컨트롤러 디바이스 상에 집적되는 전자 디바이스.

**청구항 13**

제11항에 있어서, 상기 전압 조정기는 상기 p형 드라이버 소자와 상기 고 전압 기준 사이에 결합되는 전자 디바이스.

**청구항 14**

제13항에 있어서,

상기 전압 조정기는 제1 전압 조정기이고,

상기 n형 드라이버 소자와 상기 저 전압 기준 사이에 결합되는 제2 전압 조정기

를 더 포함하는 전자 디바이스.

**청구항 15**

삭제

**청구항 16**

제11항에 있어서, 상기 전송 선로 인터페이스 회로의 전압 스윙을 제어하기 위한 상기 전압 조정기를 구성하기 위해 상기 메모리 컨트롤러 디바이스에 결합되는 테스트 회로를 더 포함하는 전자 디바이스.

**청구항 17**

제11항에 있어서, 상기 메모리 디바이스는 LPDDR(low power dual data rate) 메모리 디바이스를 포함하는 전자 디바이스.

**청구항 18**

방법으로서:

누설 전력이 지배하는 유희 기간들 외의 기간들 동안 전압 조정기가 우회되지 않도록, 전압 조정기를 우회하는 우회 회로가 활성화되지 않도록 구성하는 단계;

메모리 디바이스에의 전송 선로 상에서 구동할 신호를 수신하는 단계;

상기 신호를 수신한 것에 응답하여 상기 전압 조정기를 활성화하는 단계 - 상기 전압 조정기는, 상기 전압 조정기가 활용될 때 드라이버 소자들이 상기 전압 조정기로부터 전류를 공급받도록, 전송 선로 인터페이스 회로의 전압 스윙을 감소시키기 위해 드라이버 소자와 고 전압 기준 및 저 전압 기준 중 각각의 전압 기준 사이의 상기 전송 선로 인터페이스 회로에 국지적으로 결합됨 -;

입력 신호의 논리 하이 값에 응답하여, 상기 전송 선로와 상기 전송 선로 인터페이스 회로에 대한 상기 고 전압 기준 사이에 결합되는 p형 드라이버 소자에 의해 상기 전송 선로를 하이로 구동하는 단계; 및

상기 입력 신호의 논리 로우 값에 응답하여, 상기 전송 선로와 상기 전송 선로 인터페이스 회로에 대한 상기 저 전압 기준 사이에 결합되는 n형 드라이버 소자에 의해 상기 전송 선로를 로우로 구동하는 단계 - 상기 p형 드라이버 소자 및 상기 n형 드라이버 소자 중 하나가 상기 드라이버 소자임 -

를 포함하는 방법.

**청구항 19**

제18항에 있어서, 상기 전압 조정기를 활성화하는 단계는 상기 p형 드라이버 소자와 상기 고 전압 기준 사이에 결합되는 전압 조정기를 활성화하는 단계를 포함하는 방법.

**청구항 20**

제18항에 있어서,

상기 전압 조정기를 활성화하는 전압 레벨을 결정하는 단계 - 상기 전압 조정기를 활성화하는 전압 레벨을 결정하는 단계는,

상기 전송 선로 인터페이스 회로의 목표 I/O(입력/출력) 성능 특성을 위한 다중의 상이한 I/O 회로 파라미터에

대한 다중의 상이한 설정의 각각에 대해,

각각의 I/O 회로 파라미터에 대한 값을 설정하고;

상기 설정을 위한 테스트 트래픽을 발생시키고;

상기 I/O 성능 특성을 위한 동작 마진을 측정하는 단계를 포함함 - ;

상기 동작 마진이 최소 문턱값을 충족하고 상기 I/O 회로 파라미터들 중 적어도 하나의 I/O 회로 파라미터의 성능이 증가되는 각각의 I/O 회로 파라미터에 대한 값들을 결정하기 위해 검색 기능을 실행하는 단계; 및

상기 검색 기능에 기초하여 상기 I/O 회로 파라미터들에 대한 런타임 값들을 설정하는 단계를 더 포함하는 방법.

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예들은 일반적으로 디바이스 간 통신에 관련되는데, 보다 상세하게는 디바이스 간의 통신 드라이버에 대한 스윙 제어(swing control)와 관련된다.

[0002] [저작권 공지/허가]

[0003] 본 특허 문서의 개시 내용의 부분들은 저작권 보호를 받는 자료를 포함할 수 있다. 저작권 소유자는 누구든지 이 특허 문서 또는 특허 개시 내용을 특허상표청 특허 파일 또는 기록에 나타나 있는 대로 복사하는 것에는 이의가 없지만, 다른 경우라면 무엇이든 간에 모든 저작권 권리를 보유한다. 저작권 공지는 아래에 기술되는 모든 데이터와 여기의 첨부 도면들은 물론이고, 아래에 기술되는 어떠한 소프트웨어에도 적용된다: 저작권 © 2013, 인텔사, 모든 권리 보유.

**배경 기술**

[0004] 호스트 플랫폼 상의 컴포넌트들 간의 통신은 전자 디바이스의 동작에 필요하다. 그러나, 통신은 출력 선로 또는 전송 선로 드라이버들의 사용을 수반하고, 이는 전자 디바이스들 내에서 이용되는 전체 전력 중 상당한 양을 소비한다. 예를 들어, 프로세서와 메모리 간의, 메모리 컨트롤러와 프로세서 간의, 메모리 컨트롤러와 메모리 디바이스 간의, 주변 장치 컨트롤러와 프로세서 또는 메모리 서브시스템 간의 통신, 또는 기타 통신은 상당한 양의 전력을 소비한다. 일반적으로, 상이한 컴포넌트들 중에서의 통신은 I/O(입력/출력)로서 지칭될 수 있고, 빈번하게 (예를 들어, 메모리 서브시스템의 컴포넌트들 간의) 표준들에 의해 지배를 받는다. I/O 표준들은 I/O 전력, I/O 대기 시간, 및 I/O 주파수에 대한 성능 특성들과 관련될 수 있다. I/O 성능 설정들의 표준들 또는 공칭 값들은 호환성과 상호 운용성을 위해 상이한 시스템들에 걸쳐서 달성될 수 있는 값들에 설정된다.

[0005] 도 1a는 알려진 CMOS 출력 드라이버의 블록도이다. 알려진 CMOS(complementary metal-oxide semiconductor) 출력 드라이버(134)는 I/O 시스템들을 위한 혼한 설계이다. 시스템(102)은 송신기(110)를 포함하고, 이것은 수신기(120)와 통신한다. 수신기(120)가 송신기(110)에의 통신을 구동할 때 송신기(110)가 수신 디바이스가 될 것임을 이해할 것이다. 그러므로, 송신 디바이스와 수신 디바이스는 그 역할들이 역전될 수 있고, 출력 드라이버(134)는 송수신기(130)의 일부로서 도해된다. 그러나, 본 명세서의 논의 목적상, 주안점은 신호의 수신이 아니라 신호의 송신에 있다. 송신기(110)로부터 수신기(120)로의 신호의 송신을 위해, 수신기(120)는 부하 임피던스(R122)로서 모델링될 수 있다. 송신기(110)는 풀 업(pull-up: PU) 소자(140)를 통해 전송 선로(154)를

VDD로 풀 업하고, 및 풀 다운(pull-down: PD) 소자(142)를 통해 전송 선로(154)를 VSS로 풀 다운함으로써, 수신기(120)가 수신하기 위한 전송 선로(154)를 구동한다. 출력 임피던스(R146)는 드라이버(134)에 의해 관찰되는 패드(152)와 전송 선로(154)의 임피던스와 전형적으로 정합된다. 프리드라이버(predriver)(132)는 전송 선로(154) 상의 신호를 출력하기 위해 시그널링 및 제어를 드라이버(134)에게 제공한다. 패드(152)는 송신 디바이스(110)를 전송 선로(154)에 인터페이싱한다.

[0006] 시스템(102)의 사용 예는 LPDDR3(low power dual data rate version 3, JEDEC에 의해 2012년 5월에 공표된 초기 사양)의 드라이버에 대한 것이다. 시스템(102)은 출력 신호를 구동하기 위한 출력 전압의 풀 스윙(full swing) 결과를 낳는다. 메모리 서브시스템들의 것들 이외의 컴포넌트들도 출력 전압의 풀 스윙 결과를 낳는 드라이버를 이용할 수 있다. 출력 전압의 풀 스윙은 컴포넌트들 간의 I/O(입력/출력) 또는 인터페이싱을 위한 상당한 양의 전력을 사용한다.

**발명의 내용**

**해결하려는 과제**

**과제의 해결 수단**

**발명의 효과**

**도면의 간단한 설명**

[0007] 하기 설명은 본 발명의 실시예들의 구현들을 예로 들어 주어지는 도면들을 갖는 도면들에 대한 논의를 포함한다. 도면들은 제한을 위해서가 아니라, 예를 든 것으로 이해해야 한다. 본 명세서에 사용되는 바로는, 하나 이상의 "실시예들"에 대한 참조들은 본 발명의 적어도 하나의 구현에 포함되는 특정 특징, 구조, 및/또는 특성을 설명하는 것으로 이해되어야 한다. 따라서, 본 명세서에 등장하는 "일 실시예에서" 또는 "대안 실시예에서"와 같은 문구들은 본 발명의 여러 실시예들 및 구현들을 기술하는 것이며, 반드시 모두 동일 실시예를 가리키는 것은 아니다. 그러나, 이들이 반드시 상호 배타적인 것도 아니다.

도 1a는 알려진 CMOS 출력 드라이버의 블록도이다.

도 1b는 이중 NMOS 출력 드라이버의 블록도이다.

도 2는 송신 스윙을 감소시키기 위한 전압 조정기를 갖는 시스템의 실시예의 블록도이다.

도 3a는 출력 신호의 고 전압 기준에 대하여 스윙을 감소시키기 위해 결합되는 전압 조정기를 갖는 시스템의 실시예의 블록도이다.

도 3b는 출력 신호의 저 전압 기준에 대하여 스윙을 감소시키기 위해 결합되는 전압 조정기를 갖는 시스템의 실시예의 블록도이다.

도 3c는 출력 신호의 저 전압 기준과 고 전압 기준 모두에 대하여 스윙을 감소시키기 위해 결합되는 전압 조정기들을 갖는 시스템의 실시예의 블록도이다.

도 4는 출력 전압 스윙을 제어하기 위한 시스템 중 테스트를 제공하는 테스트 시스템을 갖는 메모리 서브시스템의 실시예의 블록도이다.

도 5는 신호 스윙을 제어하기 위한 전압 조정을 가진 메모리 컨트롤러 및 메모리 디바이스 통신 서브시스템의 실시예의 블록도이다.

도 6a는 멀티 레그 풀 업 임피던스 회로의 실시예의 블록도이다.

도 6b는 멀티 레그 풀 다운 임피던스 회로의 실시예의 블록도이다.

도 7은 감소된 전압 스윙을 가진 신호를 출력하기 위한 처리의 실시예의 흐름도이다.

도 8은 가능한 값들을 모조리 쓰는 검색을 이용하여 통신 설정을 경험적으로 테스트하고 결정하기 위한 처리의 실시예의 흐름도이다.

도 9는 전압 스윙 제어가 구현될 수 있는 컴퓨팅 시스템의 실시예의 블록도이다.

도 10은 전압 스윙 제어가 구현될 수 있는 모바일 디바이스의 실시예의 블록도이다.

도면들의 설명을 포함하는, 소정의 상세 사항들 및 구현들에 대한 설명이 이어지는데, 이는 하기 설명되는 실시예들의 일부 또는 전부를 묘사할 뿐만 아니라, 본 명세서에 제시되는 발명 개념의 다른 잠재적인 실시예들 또는 구현들도 논의할 수 있다.

**발명을 실시하기 위한 구체적인 내용**

[0008] 하기 기술된 것처럼, 전압 조정기(voltage regulator)는 신호 송신을 위한 전송 선로 인터페이스 회로의 전압 스윙을 제어한다. 전송 선로 인터페이스 회로는 전송 선로를 구동하는 드라이버이거나 또는 이것의 일부이다. 전송 선로 인터페이스 회로는 논리 하이에 응답하여 전송 선로를 풀 업하기 위한 p형 드라이버 소자, 및 논리 로우에 응답하여 전송 선로를 풀 다운하기 위한 n형 드라이버 소자를 포함하는 상보성 드라이버 소자들을 포함한다. 전압 조정기는 드라이버 소자들 중 하나와 각각의 전압 기준 사이에 결합되어 전송 선로 인터페이스 회로의 전압 스윙을 감소시킨다. 일 실시예에서, 전압 조정기들은 전송 선로 인터페이스 회로의 풀 업 레그(pull-up leg)와 풀 다운 레그 모두에서 사용된다. 그러므로, 제1 전압 조정기는 고 전압원(VDD)과 풀 업 소자 사이에 배치될 수 있고, 제2 전압 조정기는 저 전압원 또는 접지(VSS)와 풀 다운 소자 사이에 배치될 수 있다. 감소된 전압 스윙은, I/O 전송용 시스템 내에서 이용되는 전력량을 감소시키는 한편, I/O(입력/출력) 인터페이스 표준들에 부합하도록 이루어질 수 있다.

[0009] 일 실시예에서, 전송 선로 인터페이스 회로의 동작은 경험적 테스트의 사용을 통해 추가로 제어될 수 있다. 시스템은 특정 디바이스에 대한 디바이스 I/O(입력/출력)의 성능 파라미터들을 경험적으로 테스트할 수 있다. 테스트 시스템을 통한 경험적 테스트에 기초하여, 시스템은 디바이스 간 통신이 일어나는 시스템 또는 디바이스에 특정한 성능 파라미터들을 설정할 수 있다. 다중의 상이한 I/O 회로 파라미터들을 위한 다중의 상이한 설정의 각각을 위해, 테스트 시스템은 각각의 I/O 회로 파라미터에 대한 값을 설정하고, 파라미터 값(들)과의 통신을 스트레스 테스트하기 위해 테스트 트래픽을 발생하고, 및 I/O 성능 특성을 위한 동작 마진을 측정한다. 회로 파라미터들은 Vref, Ron, 슬루율(slew rate), ODT(on-die termination), 조정기 출력 전압, 및/또는 기타 파라미터들을 포함할 수 있다. 테스트 시스템은 동작 마진이 최소 문턱값을 만족시키고 또한 I/O 회로 파라미터들 중 적어도 하나의 파라미터의 성능이 증가되는 각각의 I/O 회로 파라미터에 대한 값들을 결정하기 위해 검색 기능을 추가로 실행한다. 일 실시예에서, 시스템은 검색 기능에 기초하여 I/O 회로 파라미터들에 대한 런타임 값들을 설정한다. 설정들은 테스트에 기초하여 특정 시스템들의 특정 컴포넌트들에 대해 동적으로 바뀔 수 있다.

[0010] 일 실시예에서, 설명된 테스트 시스템 또는 테스트 엔진은 메모리 서브시스템들, 및 보다 상세하게는 플랫폼 컴포넌트(예를 들어, 프로세서, 메모리 컨트롤러)와 메모리 디바이스 사이의 통신을 테스트하는데 사용될 수 있다. 스케줄러 또는 등가 로직을 가진 메모리 컨트롤러를 사용하는 임의의 메모리 서브시스템은 적어도 하나의 테스트 엔진 실시예를 구현할 수 있다. 메모리 디바이스들에 대해 본 명세서에서 이뤄지는 참조는 상이한 메모리 유형들을 포함할 수 있다. 예를 들어, 메모리 서브시스템들은 흔하게 DRAM을 사용하는데, 이것은 본 명세서에서 설명되는 메모리 디바이스의 한 예이다. 그러므로, 본 명세서에서 설명되는 테스트 엔진은, DDR3(dual data rate version 3, 2007년 6월 27일에 JEDEC (Joint Electronic Device Engineering Council)에 의한 최초 릴리스, 현재적으로는 릴리스 21), DDR4(DDR version 4, JEDEC에 의해 2012년 9월에 공표된 초기 사양), LPDDR4(low power dual data rate version 4, 본 출원의 출원일 기준으로 JEDEC에 의해 개발된 사양), WIDEIO(본 출원의 출원일 기준으로 JEDEC에 의해 개발된 사양), 및/또는 다른 것들, 및 그러한 사양들의 파생물들 또는 확장들에 기초한 기술들과 같은 수많은 메모리 기술들 중 어느 것보다도 호환 가능하다.

[0011] 도 1b는 알려진 이중 NMOS 출력 드라이버의 블록도이다. 시스템(104)은 도 1a의 시스템(102)과 유사하지만, n형 풀 업 소자(144)와 n형 풀 다운 소자(142)를 구비하고 있다. 출력 신호들의 스윙이 시스템(102)에서보다 시스템(104)에서 더 적는데, 그 이유는 n형 풀 업 소자 또는 디바이스가 소자(144)를 턴 온하는데 필요한 문턱 전압을 가지며, 이것이 상보성 드라이버 설계를 이용하여 출력 스윙 오버를 감소시키기 때문이다. 소자들(110, 120, R122, 130, 132, 134, 152, 및 154)은, 언급한 것을 제외하고, 시스템(104)에서의 것들과 동일하다. 출력 임피던스(R148)는 드라이버(134)에 의해 관찰되는 패드(152)와 전송 선로(154)의 임피던스와 정합되도록 전

형적으로 설계된다.

- [0012] 시스템(104)의 사용의 예는 LPDDR4를 위한 드라이버에 대한 것인데, 이것은 시스템(104)과 같은 설계를 제안한다. 시스템(102)은 출력 신호를 구동하기 위한 출력 전압의 풀 스윙 결과를 낳는데, 이것은 시스템(104)보다 더 높은 전력을 사용한다. 그러나, 시스템(104)은 패드 커패시턴스(pad capacitance: padcap)를 증가시키고, 시스템(102)에 사용된 것과는 상이한 슬루율 제어를 요구한다. 그러므로, 인터페이스 시스템은 레거시 디바이스 지원을 위한 LPDDR3 드라이버를 LPDDR4 드라이버에 접속되는 동일 패드 상으로 쉽게 접속할 수 없다. 덧붙여, 시스템(104)의 설계는 PVT(process, voltage, 및 temperature)에 걸쳐서 잘 제어되지 않는 풀 업 전압 및 Ron(output impedance) 값들을 낳는다. 덧붙여, 풀 업 전압 및 Ron은 시스템(104)에서 보상하기가 어렵다.
- [0013] 도 2는 I/O 송신 상에서 스윙을 감소시키는 전압 조정기를 갖는 시스템의 실시예의 블록도이다. 시스템(200)은 원격 디바이스(220)와 통신하는 로컬 디바이스(210)를 포함한다. 시스템(200)에 대한 논의의 주안점은 로컬 디바이스(210)로부터 원격 디바이스(220)로의 신호의 송신에 대해 것이다. 로컬 디바이스(210)는 송신에 있어서 전송 선로(240)를 구동하는 전송 선로 인터페이스 회로에 대해 "국지적이다". 그러므로, 디바이스(210)로부터 디바이스(220)로의 송신에 대해, 원격 디바이스(220)는 전송 선로 인터페이스 회로에 대해 원격적이다. 송신기와 수신기로서의 2개의 디바이스의 역할들이 역전될 수 있다는 것을 이해할 것이다. 디바이스들(210 및 220)의 송신 드라이버 회로들은 반드시 동일할 필요는 없다.
- [0014] 로컬 디바이스(210)는 I/O 회로(230)를 포함하고, 이것은 패드(212)를 경유해 전송 선로(240)와 인터페이싱한다. 회로(230)는 드라이버(232)를 포함하고, 이것은 원격 디바이스(220)에의 통신을 위해 전송 선로(240)를 구동한다. 일 실시예에서, 전송 선로(240)는 로컬 디바이스(210)의 I/O 핀들을 원격 디바이스(220)와 접속하는 신호 라인(예를 들어, 트레이스)이다. 전송 선로(240)는 대안적으로 와이어 또는 다른 상호접속부일 수도 있다.
- [0015] 일 실시예에서, 드라이버(232)는 풀 업 소자와 풀 다운 소자의 회로 등가물을 가진 CMOS(complementary metal oxide semiconductor) 구조이다. 드라이버(232)의 풀 업 및 풀 다운 레그들의 어느 한 쪽 또는 양쪽은 전압 조정기를 통해 각각의 전압 기준에 접속될 수 있다. 일 실시예에서, 전압 조정기는 풀 업 레그에 제공된다. 일 실시예에서, 전압 조정기는 풀 다운 레그에 제공된다. 일 실시예에서, 전압 조정기들은 풀 업과 풀 다운 레그들 양쪽에 제공된다. 예를 들어, 풀 업 레그는 전압 조정기(VR)(234)를 통해 VDD에 연결될 수 있고, 풀 다운 레그는 VR(236)을 통해 VSS에 연결될 수 있다. 그러므로, 로컬 디바이스(210)에 의한 송신에 대한 실효 논리 하이 값은  $VDD - V_{VR234}$  또는 VDD에서 VR(234)에 의해 제공된 전압 강하를 뺀 값일 수 있다. 로컬 디바이스(210)에 의한 송신에 대한 실효 논리 로우 값은  $VSS + V_{VR236}$  또는 VSS에서 VR(236)에 의해 제공된 전압 상승을 더한 값일 수 있다. VR(234)와 VR(236)에 의해 제공된 전압 변화가 반드시 동일할 필요는 없다는 것을 알 것이다. 양쪽 경우에서, 전압 스윙은 전압 조정기 없는 등가 회로에 비해 축소될 것이다.
- [0016] 출력 전압 스윙의 축소는 레일마다(from rail to rail) 스윙하는 설계와 비교하여 회로(230)에게 전력 절감을 제공할 수 있다. VR(234)이 회로(230)에 포함되어,  $VDD - V_{VR234}$ 의 출력 전압을 제공한다고 가정하자. VR(234)이 선형 전압 조정기라면, 시스템(200)의 설계는  $V_{VR234}$ 에 의해 제공되는 전압 축소에 대한 선형 관계성으로 송신 전력을 감소시킬 것이다. VR(234)이 스위칭 전압 조정기 또는 스위치형 회로 조정기(switched circuit regulator)(예를 들어, 스위치형 커패시터 조정기, 스위치형 인덕터 조정기)라면, 시스템(200)의 설계는  $V_{VR234}$ 에 의해 제공되는 전압 축소에 대한 거의 2차 관계성으로 송신 전력을 감소시킬 수 있다. 일 실시예에서, 도 4와 도 5에 대하여 하기에서 더 자세히 설명하는 대로, 한쪽 또는 양쪽의 전압 조정기들에 대한 정확한 스윙 목표는, 소정 아이 높이(eye height) 및/또는 아이 폭 목표들을 유지하는 한편 총 전력을 감소시키려고 모색할 수 있는 테스트 시스템에서 트레이닝 흐름들을 이용함으로써 실제 물리적 디바이스의 제조 후에 최적화될 수 있다.
- [0017] 일 실시예에서, 한쪽 또는 양쪽 전압 조정기들(234 및 236)은 매우 작은 면적 오버헤드를 가지며, 회로(230)와 동일한 반도체 다이 또는 집적 회로 상에 국지적으로 집적될 수 있다. 예를 들어, 디바이스 설계는 종종 회로(230)에 전압 조정기의 구현을 수용하기 위한 충분한 공백을 갖는다. 상당한 양의 온 다이 분리 커패시턴스(decoupling capacitance)를 요구하지 않으면서 적은 오버헤드 전력을 달성할 수 있는 선형 조정기들을 설계하기 위한 알려진 기법들이 있다. 일 실시예에서, 한쪽 또는 양쪽 전압 조정기들(234 및 236)은 동일 반도체 기판 상에 있지 않으면서, 회로(230)와 동일한 패키지 또는 동일한 보드 상에 구현된다. 전압 조정기들이 오프 다이로 놓는 것은 더 큰 설계 및/또는 구현 비용들을 부과할 수 있다.

- [0018] 일 실시예(명시적으로 도시되지는 않음)에서, 한쪽 또는 양쪽 전압 조정기들(234 및 236)은 우회 경로를 경유해 선택적으로 우회될 수 있다. 우회 경로는 전압 조정기를 통하여 전압 기준에 접속되는 것 또는 직접적으로 전압 기준에 접속되는 것 간에 스위칭하기 위해 선택적으로 활성화될 수 있다. 그러므로, 예를 들어, 조정기에의 입력과 조정기의 출력은 활성화될 때 조정기를 우회할 선택적(예를 들어, 스위칭된) 낮은 임피던스 경로를 통하여 결합될 수 있다. 그러한 설계는 상이한 유형들의 시스템들과의 인터페이싱[예를 들어, (풀 스윙을 위해 우회되는) LPDDR3과 (낮은 스윙을 위해 활성화되는) LPDDR4 양쪽과의 인터페이싱]하는 데에 사용될 수도 있다. 덧붙여, 전압 조정기는, 신호의 송신을 구동하는 것이 아니라 신호를 수신하는 것에 대해 그런 것처럼, 필요하지 않을 때 스위치 오프될 수도 있다. 그러므로, 저 전력 상태들에서, 전압 조정기는 전력 게이트의 역할을 겸하고 또한 사용 중이 아닐 때 드라이버에의 전력을 차단할 수 있는데, 이는 회로 누설을 감소시킬 수 있다.
- [0019] 도 3a는 출력 신호의 고 전압 기준에 대하여 스윙을 감소시키기 위해 결합되는 전압 조정기를 갖는 시스템의 실시예의 블록도이다. 시스템(302)은 시스템(200)의 실시예의 한 예일 수 있다. 송신기(310)는 로컬 디바이스이고, 수신기(320)는 원격 디바이스이다. 송신 목적을 위해, 수신기(320)는 부하 임피던스(R2322)로서 시스템(302)에서 표현된다. 송신기(310)는 드라이버(334)가 패드(352)를 경유해 전송 선로(354) 상에서 출력 또는 송신 신호를 구동하기 위한 제어와 시그널링을 제공하는 프리드라이버(332)를 포함한다.
- [0020] 드라이버(334)는 풀 업 소자(342) 및 풀 다운 소자(344)를 포함한다. 소자(344)는 논리 로우 신호를 발생하기 위해 전송 선로(354)를 풀 다운하는 n형(예를 들어, NMOS) 소자이다. 소자(342)는 논리 하이 신호를 발생하기 위해 전송 선로(354)를 풀 업하는 p형(예를 들어, PMOS) 소자이다. "논리 로우"와 "논리 하이"는 디바이스들(310 및 320) 사이에서 이용되는 통신 프로토콜 또는 시그널링이 아니라, 전압 레벨들을 지칭한다는 것을 이해해야 한다. 예를 들어, 어느 한 시그널링 방식에서, 논리 로우는 "제로"를 전송하는 것에 대응할 수 있고, 논리 하이는 "1"을 전송하는 것에 대응할 수 있다. 그러나, 시그널링 방식은 반전될 수도 있고, 여기서 논리 하이는 제로를 전송하는 것에 대응할 수 있고, 논리 로우는 1을 전송하는 것에 대응할 수 있다.
- [0021] 송신기(310)는 송신 고 전압 레벨을 VDD로부터 VDDTX까지 낮추는 전압 조정기(362)를 포함하는데, 이것은 VDD에서 전압 조정기(362)의 전압 강하를 뺀 값이다. 일 실시예에서, 송신기(310)는 우회 경로(372)를 포함하고, 이것은 전압 조정기(362)를 우회하는 것을 허용한다. 평활화 커패시터(smoothing capacitor)가 전압 조정기(362)에 의해 도입될 수도 있는 잡음을 필터링하기 위해 VDDTX로부터 VSS까지에 배치될 수 있다. 드라이버(334)는 출력 임피던스  $R_{on}$ , 상보성 출력 소자들(342 및 344) 간에 결합되는 R346, 및 패드(352)를 포함한다. 시스템(302)의 설계는 잘 제어된  $R_{on}$  및 출력 전압 레벨들을 제공한다. 덧붙여, 출력 전압 레벨들은 전압 조정기(362)의 출력을 조절함으로써 튜닝될 수 있다.
- [0022] 시스템(302)은 LPDDR4 저 스윙 VSS 중단 방식의 구현으로서 이용될 수 있다. 덧붙여, 시스템(302)은, 예를 들어 전압 조정기(362)를 선택적으로 우회함으로써 LPDDR3과 LPDDR4 모두에 대해 구현될 수 있다. 그러므로, 시스템(302)은 고성능 조합 LPDDR3/4 설계를 지원한다. 일 실시예에서, 우회 경로(372)는 조정기로 하여금 VDD를 VDDTX에게 단락시키도록 허용하기 위해, 전압 조정기(362)의 일부가 되거나 또는 그에 의해 구현된다. 통상의 기술자는 시스템(302)의 설계가 송신기(310)의 패드 커패시턴스 또는 전체적 성능에 영향을 주지 않을 것이라는 점을 알 것이다.
- [0023] CMOS 버퍼의 사용은 상수 임피던스의  $R_{on}$ 을 패드(352)에게 제시함으로써 고유한 신호 무결성 장점들을 제공한다. 그러므로, 송신기(310)는 전송 선로(354)의 특성 임피던스와 매칭될 수 있고, 반사들로 인한 어떠한 과잉 에너지도 흡수할 수 있다. 그러나, 전압 조정기(362)의 목표 전압을 조절함으로써, 시스템(302)은 바라는 스윙 또는 공통 모드 전압을 달성하기 위해 수신기(320)에게 제시되는 스윙을 조절할 수 있다. 그 결과, 시스템(302)은 I/O 버퍼 스윙과  $R_{on}$ 에 대한 독립적 제어를 제공한다.
- [0024] 도 3b는 출력 신호의 저 전압 기준에 대하여 스윙을 감소시키기 위해 결합되는 전압 조정기를 갖는 시스템의 실시예의 블록도이다. 시스템(304)은 시스템(200)의 실시예의 한 예일 수 있다. 송신기(310)는 로컬 디바이스이고, 수신기(320)는 원격 디바이스이다. 송신 목적을 위해서, 수신기(320)는 부하 임피던스(R322)로서 시스템(304)에서 표현되고, 이것은 특정한 구현에 좌우되어, 공통 모드 전압인 VDD에 또는 접지에 중단될 수 있다. 송신기(310)는 드라이버(334)가 패드(352)를 경유해 전송 선로(354) 상에서 출력 또는 송신 신호를 구동하기 위한 제어와 시그널링을 제공하는 프리드라이버(332)를 포함한다. 드라이버(334)는 풀 업 소자(342) 및 풀 다운 소자(344)를 포함한다. 소자(344)는 논리 로우 신호를 발생하기 위해 전송 선로(354)를 풀 다운하는 n형(예를 들어, NMOS) 소자이다. 소자(342)는 논리 하이 신호를 발생하기 위해 전송 선로(354)를 풀 업하는 p형(예를 들어, PMOS) 소자이다.

- [0025] 송신기(310)는 송신 저 전압 레벨을 VSS로부터 VSSTX까지 상승시키기 위한 전압 조정기(364)를 포함하는데, 이것은 VSS에 전압 조정기(364)의 전압을 더한 것이다. 일 실시예에서, 송신기(310)는 우회 경로(374)를 포함하는데, 이것은 전압 조정기(364)를 우회하는 것을 허용한다. 평활화 커패시터가 전압 조정기(364)에 의해 도입될 수도 있는 잡음을 필터링하기 위해 VSSTX에서 VSS까지(또는 환경에 좌우되어 VDD까지) 배치될 수 있다. 드라이버(334)는 출력 임피던스  $R_{on}$ , 상보성 출력 소자들(342 및 344) 사이에 결합되는 R346, 및 패드(352)를 포함한다. 시스템(304)의 설계는 잘 제어된  $R_{on}$  및 출력 전압 레벨들을 제공한다. 덧붙여, 출력 전압 레벨들은 전압 조정기(364)의 출력을 조절함으로써 튜닝될 수 있다.
- [0026] 도 3c는 출력 신호의 저 전압 기준과 고 전압 기준 모두에 대하여 스윙을 감소시키기 위해 결합되는 전압 조정기들을 갖는 시스템의 실시예의 블록도이다. 시스템(306)은 시스템(200)의 실시예의 한 예일 수 있다. 송신기(310)는 로컬 디바이스이고, 수신기(320)는 원격 디바이스이다. 송신 목적을 위해서, 수신기(320)는 부하 임피던스( $R_{322}$ )로서 시스템(306)에 표현되는데, 이것은 공통 모드 전압 또는 VDD에 중단될 수 있다. 송신기(310)는 드라이버(334)가 패드(352)를 경유해 전송 선로(354) 상에서 출력 또는 송신 신호를 구동하기 위한 제어와 시그널링을 제공하는 프리드라이버(332)를 포함한다. 드라이버(334)는 풀 업 소자(342) 및 풀 다운 소자(344)를 포함한다. 소자(344)는 논리 로우 신호를 발생하기 위해 전송 선로(354)를 풀 다운하는 n형(예를 들어, NMOS) 소자이다. 소자(342)는 논리 하이 신호를 발생하기 위해 전송 선로(354)를 풀 업하는 p형(예를 들어, PMOS) 소자이다.
- [0027] 송신기(310)는 송신 고 전압 레벨을 VDD로부터 VDDTX까지 낮추는 전압 조정기(366)를 포함하는데, 이것은 VDD에서 전압 조정기(366)의 전압 강하를 뺀 값이다. 일 실시예에서, 송신기(310)는 전압 조정기(366)를 우회하기 위한 우회 경로를 포함한다(명시적으로 보여지지 않음). 송신기(310)는 송신 저 전압 레벨을 VSS로부터 VSSTX까지 상승시키는 전압 조정기(368)를 또한 포함하는데, 이것은 VSS에 전압 조정기(368)의 전압을 더한 것이다. 일 실시예에서, 송신기(310)는 전압 조정기(368)를 우회하기 위한 우회 경로를 포함한다(명시적으로 보여지지 않음). 커패시터는 출력 신호의 잡음을 필터링하기 위해 VSSTX에서 VDDTX까지의 사이에 배치될 수 있다. 출력 신호. 드라이버(334)는 출력 임피던스를 포함하는 것으로 명시적으로 보여지지는 않았지만, 출력 임피던스가 제공될 수 있다. 드라이버(334)의 출력 전압 레벨들은 고 전압과 저 전압 모두에 대하여 조절될 수 있다.
- [0028] 시스템(306)은 WIDEIO 출력 드라이버뿐만 아니라, LPDDR3 출력 드라이버의 구현으로서 이용될 수 있고, 스윙이 VDD/2를 기준으로 하는 임의의 I/O에 적용 가능하다. WIDEIO에 대해, 알려진 설계들은 패드(352)를 전체 레일로(VSS에서 VDD까지) 스윙한다. LPDDR3에 대해 수신기는 VDD/2의 공통 모드를 예상한다. 드라이버는  $CV^2F$ 에 동등한 전력을 소비한다(C는 캐패시턴스이고, V는 전압이고, F는 신호의 주파수임). LPDDR3에 대한 사양과 WIDEIO에 대한 제안된 사양과 같은 JEDEC에 의한 표준은 대략  $0.2 \cdot VDD$  내지  $0.8 \cdot VDD$ 까지의 패드 스윙이 요구된 허용 오차 내에 있는 것으로 인정한다. 그러나, 알려진 설계들은 전 레일을 스윙한다. 전압 조정기들(366 및 368)이 VDD의 20%에 설정되면, 출력 스윙은, 전력 소비를 0부터 VDD까지의 스윙과 비교하여 40%만큼 줄이면서도 여전히 표준에 부합할 것이다. 대안적으로, 전압 조정기들(366 및 368)은 상이한 값들에 설정될 수도 있고, 반드시 동등 전압 스텝에 설정될 필요는 없다. 전압 조정기들(366 및 368)이 수신기(320)에 대해 VDD/2의 공통 모드를 보존하기 위해 (예를 들어, 동등 양만큼 전압 스윙을 조절함으로써) 대칭적으로 동작하도록 구성될 수 있다는 것을 이해할 것이다.
- [0029] WIDEIO에 대한 구현에서, 수신기 회로는 일반적으로 단순 인버터로서 구현된다. 그러므로, 누설 전력 소비는 패드(352)가 전 레일 스윙하지 않을 때 지수함수적으로 증가한다. 유휴 기간들 동안 패드(352)를 전압 기준 레일(VDD 또는 VSS)로 풀링하기 위한 우회 경로들의 사용은 누설 전력 소비를 줄일 수 있다.  $CV^2F$  전력이 지배하는 큰 활동 기간들 동안, 시스템(306)은 전력을 절감하기 위해 출력 전압 스윙을 낮추도록 조절할 수 있다. 누설 전력이 지배하는 유휴 기간들 동안, 시스템(306)은 패드(352)로 하여금 전 레일을 스윙하도록 야기하기 위해 전압 조정기들을 우회할 수 있고, 이는 누설을 감소시키거나 제거할 것이다. 일 실시예에서, 우회 경로들은 유휴 기간들 동안 패드(352)를 VDD/VSS로 풀링하기 위해 약한 풀 업/풀 다운 경로들로서 구현될 수 있다. 일반적으로, 한 우회 경로는 송신 전압이 전압 조정기 오프셋을 갖는 대신에 기준 전압과 동등하도록 야기하기 위한 저 임피던스 경로로서, 또는 고 임피던스 경로(예를 들어, 전력 게이트)로서 구현될 수 있다.
- [0030] 도 3a, 3b, 또는 3c 중 임의의 것의 임의의 실시예에서, 테스트 시스템은 특정 생산 제품에 기초하여 출력 전압 스윙을 프로그래밍하기 위해(예를 들어, 현장 제품의 동작을 조절함) 덧붙여 추가될 수 있다. 그러므로, VSSTX 및/또는 VDDTX의 정확한 목표값들은 전력에 대한 아이 높이 및/또는 아이 폭의 평가에 기초하여 테스트 시스템에 의해 튜닝될 수 있다. VSSTX와 VDDTX의 비대칭 값은 시스템으로 하여금 추가로 전력을 감소시키는 한편 고

및 저 측 전압 마진들을 동등화하도록 허용할 수 있다. 그와 같은 기법은 하기에 추가로 기술된다.

[0031] 도 4는 출력 전압 스윙을 제어하기 위해 시스템 내 테스트를 제공하는 테스트 시스템을 갖는 메모리 서브시스템의 실시예의 블록도이다. 특정 출력 전압 스윙이 아이 높이 및/또는 아이 폭 및 총 전력 간의 절충들을 결정하기 위한 동작에서 특정 디바이스에 대해 계산될 수 있다. 메모리 서브시스템(400)이 특정적으로 도해되기는 하였지만, 디바이스간 통신을 활용하는 또 다른 전자 디바이스 서브시스템이 동등하게 이용될 수도 있다는 것을 이해할 것이다. 메모리 서브시스템(400)은 메모리 디바이스(410), 테스트 시스템(420), 파라미터 조절 로직(430), 측정 로직(440), 및 검색 로직(450)을 포함할 수 있다. 그와 같은 기능 로직은 하드웨어, 소프트웨어, 펌웨어, 또는 조합을 지칭할 수 있다. 기능 로직은 또한 SoC(system on chip) 내에 직접적으로 구현될 수 있거나, 또는 원격에 있고 별개의 I/O 인터페이스에 걸쳐서 통신할 수 있다.

[0032] 메모리 디바이스(410)는 메모리 서브시스템에서의 하나 이상의 스토리지 디바이스들을 표현한다. 테스트 시스템(420)은 메모리 디바이스(410)와의 통신에 대하여 I/O 동작 파라미터들을 어떻게 설정할지를 결정하기 위해 메모리 디바이스(410)와의 통신을 테스트하는 것을 제공한다. I/O 동작 파라미터들 중에서도, 테스트 시스템(420)은 특정 메모리 디바이스(410)(또는 송신 디바이스로부터의 다른 수신 디바이스)에의 출력의 전압 스윙을 감소시키도록 특정 전압 조정기 설정들을 결정할 수 있다. 일 실시예에서, 테스트 시스템(420)은 테스트를 실행할 루프를 나타내는 테스트 루프(422)를 포함한다. 특히, 일 실시예에서, 테스트 및 측정은 메모리 디바이스(410)가 다양한 조건들 하에서 어떻게 동작할지를 결정하기 위해 루프(422)에서 반복적으로 실행된다. 일 실시예에서, 테스트 시스템(420)은 외삽 로직(명시적으로 보여지지 않음)을 포함하는데, 이것은 상이한 파라미터 설정들에 대한 많은 수의 측정들에 기초하여 메모리 디바이스(410)의 성능(예를 들어, 최악의 경우의 성능)를 외삽하는데 사용될 수 있다. 일 실시예에서, 테스트 시스템(420)은 상관 로직(특정적으로 보여지지 않음)을 포함하는데, 이것은 테스트 결과들에서 잡음을 감소시키거나 보상하기 위해 다중 테스트 결과를 서로 상관시키는 데에 사용될 수 있다.

[0033] 파라미터 조절 로직(430)은 성능 파라미터를 변경하는 로직을 나타낸다. 일 실시예에서, 로직(430)은 전압 조정기 값을 조절하거나 메모리 디바이스(410)에 대한 전압 기준을 조절하는 로직을 나타낸다. 전압 조정기들은 제어 로직에 응답하여 출력 전압 스윙을 조절하기 위해 가변 전압을 제공하는 가변 출력 회로들을 포함할 수 있다. 일 실시예에서, 로직(430)은 하나 이상의 대기 시간 파라미터들을 조절하는 로직을 나타낸다. 예를 들어, 로직(430)은 Ron(output impedance), Rodt(on die termination impedance), 슬루율, 등화, 데이터 스트로브들 사이의 타이밍 센터링, 주파수와 같은 전기적 파라미터들, 또는 기타 전기적 파라미터들을 조절할 수도 있다. 일 실시예에서, 로직(430)은 하나 이상의 주파수 파라미터들을 조절하는 로직을 나타낸다. 예를 들어, 로직(430)은 앞에서 기술된 대기 시간 파라미터들 또는 기타 타이밍 파라미터들, 턴어라운드 시간, 또는 기타 I/O 파라미터들 중 임의의 것과 연관되는 파라미터들을 조절할 수 있다. 대기 시간 및/또는 주파수는 전압 조정기에 대한 설정에 영향을 미칠 수 있다.

[0034] 일 실시예에서, 파라미터 조절 로직(430)은 메모리 컨트롤러의 일부이고, 지연들을 제어하는 메모리 컨트롤러 내의 구성 설정들에 영향을 미친다. 일 실시예에서, 로직(430)은 메모리 컨트롤러에 근접한 테스트 엔진에서와 같이 메모리 컨트롤러 외부에 존재한다. 일 실시예에서, 로직(430)은 메모리 컨트롤러로 하여금 설정 구성 옵션들에 의해 그런 것처럼, 메모리 디바이스 자체에서 설정들을 조절하도록 야기한다. 일 실시예에서, 파라미터 조절 로직(430)은 메모리 서브시스템이 미세 단위 크기 스텝 크기(fine granularity step size)로 실행하는 주파수를 조절할 수 있다. 테스트 시스템(420)은 테스트에 기초하여 메모리 서브시스템(400)에게 특정적인 동작 설정들을 결정한다. 메모리 서브시스템(400)에서, 출력 드라이버들은 메모리 컨트롤러 내에 존재하고, 본 명세서에서 기술되는 임의의 실시예에 따라서 전압 스윙을 조절하는 전압 조정기(들)를 포함한다.

[0035] 측정 로직(440)은 성능의 하나 이상의 표시자들을 측정하는 로직을 나타낸다. 예를 들어, 로직(440)은 신호 아이 폭, 신호 아이 높이, 또는 양쪽을 측정할 수 있다. 일 실시예에서, 로직(440)은 0도 또는 90도 이외의 다른 각도들에서 측정함으로써 아이 높이/아이 폭의 2차원 버전을 측정한다. 일 실시예에서, 로직(440)은 메모리 서브시스템(400)에 의한 전력 소비를 측정한다. 설정들이 측정 로직(440)의 측정의 단위 크기에 따라서 파라미터 조절 로직(430)에 의해 조절된다는 것을 이해할 것이다(즉, 검출가능한 차이를 만들기에 충분하게 파라미터 설정을 바꾼다). 검색 로직(450)은 측정된 값들로부터 메모리 디바이스(410)와의 I/O를 위해 어떤 설정들을 이용할지를 결정하는 로직을 나타낸다. 일 실시예에서, 측정 로직(440)은 테스트를 받는 특정 메모리 서브시스템(400)에 대한 하나 이상의 대표적 성능 곡선들을 발생하기 위해 이용된다. 대표적 곡선들에 기초하여, 검색 로직(450)은, 기타의 것들에 대해 요구되는 (표준 또는 구성에 의한) 성능을 적어도 유지하는 한편으로, 적어도 하나의 파라미터에 대한 더 나은 성능을 충족시키기 위해 어떤 설정들을 이용할지를 결정하기 위해 검색 기능을

실행할 수 있다. 검색 로직(450)은 n차원 검색 로직, (n개의 1차원 검색을 실행하기 위한) 1차원 검색 로직, 선형 맞춤 검색 로직(linear fit search logic), 2차 맞춤 검색 로직, 급강하 검색 로직, 곡선 맞춤 검색 로직, 또는 기타의 것들 중 임의의 것을 포함할 수 있다. n이 검색할 독립적 파라미터들의 수를 표시하는 정수를 나타낸다는 것을 알 수 있다. 검색 로직(450)은 또한, 반복성 잡음을 감소시키거나 또는 최악의 경우의 조건들을 외삽하기 위해 다중 측정을 함께 조합할 수 있다. 일 실시예에서, 관리자는 어느 고려 사항(I/O 전력, I/O 주파수, 또는 I/O 대기 시간)이 메모리 서브시스템(400)의 시스템 배치에 대해 가장 중대한 특성인지를 결정할 수 있고 해당 특정 목표 특성을 향상시키기 위해 테스트 동작들을 실행할 수 있다.

[0036] I/O 전력은 디바이스들 간에서 통신을 보내는데 사용되는 전력을 지칭하고, 대다수의 전자 기기들에서 상당한 양의 전력 소비를 차지한다. I/O 대기 시간은 접근 트랜잭션을 위해 메모리 디바이스에 접근하는 데에 얼마나 오래 걸리는지에 영향을 미친다. 낮은 I/O 대기 시간은 고속 접근 결과를 낼 수 있고, 따라서 데이터를 고속으로 획득하기 때문에 시스템에서의 상승된 성능을 가져올 수 있다. I/O 주파수는 접근 트랜잭션을 위해 메모리 디바이스에 접근하는 데 얼마나 오래 걸리는지에 영향을 미친다. 높은 I/O 주파수는 높은 대역폭 결과를 낼 수 있고, 데이터를 고속으로 획득하기 때문에 시스템에서의 상승된 성능을 가져올 수 있다. 높은 대역폭은 주어진 시간 기간에 더 많은 동작들을 허용하고, 이는 데이터 제한된 시스템이 더 높은 성능으로 동작하도록 허용할 수 있다. 이는 I/O가 활성인 시간 양을 줄임으로써 전력을 감소시킬 수 있고, I/O가 저 전력 상태에 있는 시간 양을 증가시킬 수 있다.

[0037] 최근에, I/O 전력, I/O 대기 시간, 및 I/O 주파수에 관한 디바이스의 성능은 특정 DPM(defect per million) 레벨에서 기능성을 보장하지만 개개의 특정 디바이스에 대한 최저의 가능한 동작 I/O 대기 시간을 달성하지는 않는 고정된 값 설정들에 의해 지배된다. 일 실시예에서, 본 명세서에서 기술되는 바와 같이, 테스트 시스템은, 여전히 DPM 목표를 유지하면서, 특정 디바이스에 대한 동작 전력, 대기 시간, 및/또는 주파수를 설정할 수 있는 설정들을 경험적으로 테스트하고 결정한다. 각각의 설정은 전압 조정기가 감소된 출력 스윙을 제공하도록 설정되어야 하는 레벨에 영향을 주거나 그에 의해 영향을 받을 수 있다. 테스트 시스템(420)은, 통신의 상이한 메트릭들에 대한 바라는 성능을 달성하면서, 전압 조정기에 대해 어떤 설정들을 이용해야 하는지를 경험적으로 테스트할 수 있다.

[0038] 임의의 목표 I/O 성능 특성(예를 들어, I/O 전력, I/O 대기 시간, I/O 주파수)에 대해, 테스트 시스템은 목표 성능 특성에 영향을 미치는 I/O 회로 파라미터들 중 임의의 수를 조절할 수 있다. 테스트 시스템은, 예를 들어, 전체로서의 컴퓨팅 디바이스에 대한 것이 아니라 메모리 서브시스템에 대해서만 주파수를 조절할 수 있는, PLL(phase locked loop) 회로에서의 1/N 분주기(fractional-N divider)를 이용하여 주파수를 조절할 수 있다. 메모리 서브시스템 주파수를 조절하기 위한 다른 방법들은 또한 오버클록킹 시스템 기술 분야의 통상의 기술자에 의해 또한 이해될 것이다. 테스트 시스템은 이후 각각의 설정에 걸쳐서 하나 이상의 동작 마진들(예를 들어, 타이밍, 최대 주파수, 및/또는 전압)을 측정한다. 테스트 시스템은, 목표 성능 특성의 성능을 개선하면서, 최소 요구들(예를 들어, 디바이스가 DPM 요구들을 충족하는 것을 허용하는 설정들)을 유지하는 설정들을 식별하기 위해 측정된 값들에 기초하여 검색을 수행한다. 테스트 시스템의 동작들은 시스템을 "최적화하는" 것으로 말해질 수 있다. "최적화"는 가능한 절대적 최고 성능을 반드시 지칭하는 것은 아니라는 점을 이해할 것이다. 최적화는 그 대신에 소정 조건들에 대하여, 또는 특정 상황들에서, 또는 소정 제약들 내에서 성능을 향상시키거나 최대화하는 것을 지칭할 수 있다.

[0039] 테스트는, 상기에 예들에 의해 제공된 것처럼, 관심 대상의 하나 이상의 성능 파라미터들의 관점에서 볼 때 메모리 디바이스에 대한 스트레스를 제공한다. 다른 성능 파라미터들이 테스트 시스템에 의해 평가 받을 수도 있다는 것을 이해할 것이다. 한 관점에서, 메모리 디바이스 및 메모리 서브시스템(또는 기타 서브시스템들)은 서브시스템이 I/O에 대하여 메모리 서브시스템과 메모리 디바이스에 적용 가능한 사양 또는 표준을 넘어서 동작될 수 있는지를 결정하기 위해 시스템 중에서 특정적으로 테스트된다. 테스트는 외부 테스트 장비에 대한 필요 없이 시스템 자체에만 기초하여 실행될 수 있다.

[0040] 테스트에 관하여, 본 명세서에서 언급되는 테스트 시스템은 (예를 들어, 공유 다이 공간 상의, SoC(system on a chip) 또는 그 I/O 성능이 출력 스윙을 감소시키기 위해 전압 조정기들에 의해 제어되게 되는 기타 타겟 디바이스 상의) 메모리 컨트롤러 내에 및/또는 그 근처에 자리잡은 하드웨어 소자들을 포함한다. 테스트 시스템은 I/O 유도된 전원 잡음, ISI(inter-symbol interference), 신호 누화, 및/또는 기타 상태들의 결과를 낳는 I/O(input/output)의 정밀한 조합들을 생성할 수 있다. 이들 효과들 중 어느 것이든 각각의 I/O 라인 상의 데이터, 각각의 커맨드 라인 상의 패턴, 및/또는 데이터 신호들이 라인들에 걸쳐서 서로 정렬되는 방식을 정밀하

게 제어함으로써 생성될 수 있다.

- [0041] 도 5는 신호 스윙을 제어하는 전압 조절을 가진 메모리 컨트롤러 및 메모리 디바이스 통신 서브시스템의 실시예의 블록도이다. 일 실시예에서, 시스템(500)은 메모리 컨트롤러(530) 및 메모리 디바이스(550)를 포함하는 메모리 서브시스템을 포함한다. 시스템(500)은 제조 시스템, 또는 메모리 디바이스(550)가 소비자에 의해 사용되도록 배치되는 시스템을 나타낸다. 시스템(500)은 호스트 프로세서(502)가 그 상에 상주하는 하드웨어 플랫폼(명시적으로 도시되지는 않음)뿐만 아니라, 메모리 컨트롤러(530) 및 메모리 디바이스(550)를 포함하는 메모리 서브시스템도 포함한다. 메모리 서브시스템을 포함하는, BIOS(basic input/output system)(520) 또는 시스템을 초기화하기 위한 등가 펌웨어가 하드웨어 플랫폼 상에 또한 상주한다.
- [0042] 호스트 프로세서(502)는, 무엇보다도, 호스트 운영 체제(OS)(510)를 실행한다. 호스트 OS(510)는 일반적으로 런타임 동안 시스템(500)의 운영 제어를 제공한다. 호스트 OS(510)는 소프트웨어 대 하드웨어 및 하드웨어 대 소프트웨어 인터페이스들을 제공하여, 사용자로 하여금 시스템(500)과 상호작용하는 것을 허용한다. BIOS(520)는 호스트 OS(510)가 로딩될 때까지 시스템(500) 상에서의 기동 제어를 제공한다.
- [0043] 호스트 OS(510)는 데이터의 판독 및/또는 기입을 위해 메모리 디바이스(550)에 접근하기 위해 메모리 접근 요청들을 메모리 컨트롤러(530)에게 제공한다. 유사하게, BIOS(520)는 메모리 접근 요청들을 메모리 컨트롤러(530)에게 제공할 수 있다. 메모리 컨트롤러(530)는 데이터 접근 요청들에 응답하여 메모리 디바이스(550)에 접근한다. 일 실시예에서, 테스트 엔진(540)은 메모리 컨트롤러(530)가 메모리 디바이스(550)에게 보내기 위한 데이터 접근 요청들 및/또는 접근 트랜잭션들을 발생한다. 일 실시예에서, 테스트 엔진(540)은 직접적으로 테스트 데이터를 메모리 디바이스(550)에게 제공할 수 있다.
- [0044] 일 실시예에서, BIOS(520)는 테스트 프로그램(522)을 통해 테스트를 시작하고, 테스트 엔진(540)에 접근하여 테스트 데이터(542)를 발생시켜서 메모리 컨트롤러(530)를 경유한 메모리 디바이스(550)와의 통신을 테스트한다. 일 실시예에서, 테스트 데이터(542)는, 상이한 파라미터 설정들 하에서 메모리 디바이스(550)의 성능을 식별하는데 사용되는 데이터와 같이, 메모리 디바이스(550)를 테스트하는 것을 모니터링하는 동안 저장되는 데이터를 나타낸다. 메모리 디바이스의 성능을 식별하는 것에 응답하여, 시스템(500)은 동적으로 메모리 디바이스(550)와의 I/O에 대한 동작 파라미터들을 설정할 수 있다. 동작 파라미터들을 동적으로 설정하는 것은 시스템으로 하여금 일반적으로 모든 디바이스들에게 적용 가능한 표준 또는 디폴트 설정을 이용하기 보다는, 특정 디바이스에 따라 성능을 설정하도록 허용한다. 이런 방식으로, 특정 시스템은 최악 경우의 가능한 시스템의 성능에 제한되지 않는다.
- [0045] 일 실시예에서, 구성(552)은 레지스터 또는 TX/RX(554)에 대한 I/O 설정들을 저장하는 기타 구성 메커니즘과 같은 메모리 디바이스(550) 내의 메커니즘을 나타낸다. TX/RX(554)는 메모리 디바이스(550)의 I/O 성능을 제어하는 메모리 디바이스(550)의 송신 및 수신 회로들을 나타낸다. VR(536)은 TX/RX(554)의 출력 스윙을 제어하기 위해 이용되는 하나 이상의 전압 조정기들을 나타낸다. 일 실시예에서, 구성(532)은 TX/RX(534)에 대한 I/O 설정들을 저장하는 메모리 컨트롤러(530)에서의 메커니즘을 나타낸다. TX/RX(534)는 메모리 디바이스(550)에 대한 I/O 성능을 제어하는 메모리 컨트롤러(530)의 송신 및 수신 회로들을 나타낸다. 구성(532)은 TX/RX(534)의 출력 스윙을 조절하기 위한, VR(536)에 대한 설정들을 또한 저장할 수 있다. 기타 컴포넌트들이 TX/RX 회로들을 경유해 메모리 디바이스(550)에 또한 접속될 수 있고, 비슷한 구성 메커니즘들을 가질 것이라는 점을 이해할 것이다.
- [0046] 구성(532 및 522)은 전송 및 수신 기능들을 위한 설정들을 포함할 수 있다. 예를 들어, 다양한 설정들이 타이밍, 전력, 출력 전압 레벨들, 전압 조정기 레벨들, 출력 임피던스, 슬루율, 또는 기타 전송 파라미터들을 제어하기 위해 적용될 수 있다. 수신 측에서, ODT(on die termination), 증폭기 이득, 등화, 및 기타 수신기 파라미터들이 다양한 설정들을 통해 제어될 수 있다. 테스트 엔진(540)은 송신 및 수신 파라미터들의 다양하고 상이한 설정들에서 테스트를 실행하고, 측정들을 이루고, 시스템에 대한 동작 마진들(예를 들어, 시스템이 필요한 최소 성능과 비교하여 어떻게 실행하는지에 대한 것)을 결정할 수 있다. 동작 마진들은, 예를 들어, 다양한 성능 특성들에 대한 최소 문턱값(이것은 일 실시예에서 보호 대역을 포함함)을 가짐으로써 결정될 수 있다. 그러므로, 동작 마진들을 결정하는 것은 문턱값들과 비교하여 실제 성능을 결정하는 것을 포함할 수 있다. 문턱값들은 상이한 동작 전압들, 온도들, 또는 테스트에서의 다중 측정에 기초하여 동적으로 계산될 수 있거나, 또는 최악 경우의 조건들에게 외삽될 수 있다. 덧붙여, 하나 이상의 문턱값들이 테스트되는 각각의 상이한 동작 마진들에 대해 다를 수 있다.
- [0047] 일 실시예에서, 시스템(500)은 I/O 전력을 감소시키도록 구성되는데, 이 경우 구성(532 및 522)은 I/O 전력 사

용에 영향을 미치는 I/O 회로 파라미터들을 변경하는 능력을 적어도 포함한다. 파라미터들의 예들로는, 종단 값들, 바이어스, 슬루율, 드라이버 스윙, 드라이버 임피던스, 및 (VR(536)에 대한 설정을 포함하는) 동작 전압을 포함하지만, 이것들에만 제한되지는 않는다. 그러한 실시예에서, 테스트 엔진(540)은 최악 경우의 자극에 대한 알려진 상관을 갖는 어떤 것으로 I/O를 자극하는 테스트 내용을 발생한다. 테스트 엔진(540)은 다양한 회로 설정들에 대한 동작 전압 및/또는 타이밍 마진을 측정한다. 테스트 엔진(540)은 이후 (예를 들어, 본 명세서에서 기술되는 바와 같은 검색 기능을 통해) 측정된 회로 파라미터 마진 데이터를 분석하고, 테스트되고 측정된 파라미터들에 대한 언명된 제품 DPM 요구들을 여전히 유지하는 최저의 동작 I/O 전력을 결정한다.

[0048] 일 실시예에서, 시스템(500)은 I/O 주파수를 증가시키도록 구성되는데, 이 경우 구성(532 및 522)은 I/O 주파수에 영향을 미치는 I/O 회로 파라미터들을 변경하는 능력을 적어도 포함한다. 파라미터들의 예들로는, 종단 값들, 바이어스, 슬루율, 전류 모드 드라이버들, 및 (VR(536)에 대한 설정을 포함하는) 동작 전압을 포함하지만, 이것들에만 제한되지는 않는다. 주파수 파라미터들은 DLL들(delay locked loops), PLL들(phase locked loops), 및/또는 클록 칩들을 포함할 수 있지만 이것들에만 제한되지는 않는 컴포넌트들에 의해 영향을 받을 수 있다. 그러한 실시예에서, 테스트 엔진(540)은 최악 경우의 자극에 대한 알려진 상관을 갖는 어떤 것으로 I/O를 자극하는 테스트 내용을 발생한다. 테스트 엔진(540)은 다양한 회로 설정들에 대한 동작 전압, 동작 주파수, 및/또는 타이밍 마진을 측정한다. 테스트 엔진(540)은 이후 (예를 들어, 검색 기능을 통해) 측정된 회로 파라미터 마진 데이터를 분석하고, 테스트되고 측정된 파라미터들 및 설정들에 대한 언명된 제품 DPM 요구들을 여전히 유지하는 최고의 동작 I/O 주파수를 결정한다.

[0049] 일 실시예에서, 시스템(500)은 I/O 대기 시간을 감소시키도록 구성되고, 이 경우에 구성(532 및 522)은 I/O 대기 시간에 영향을 미치는 I/O 회로 파라미터들을 변경하는 능력을 적어도 포함한다. 파라미터들의 예들로는, 턴어라운드 값들, FIFO(first-in, first-out buffer) 포인터들, 왕복 주행 지연 카운터들(round trip latency counters), 종단 값들, 바이어스, 슬루율, 및/또는 전류 모드 드라이버들을 포함하지만, 이것들에만 제한되지는 않는다. 그러한 실시예에서, 테스트 엔진(540)은 최악 경우의 자극에 대한 알려진 상관을 갖는 어떤 것으로 I/O를 자극하는 테스트 내용을 발생한다. 테스트 엔진(540)은 다양한 회로 설정들에 대한 동작 전압 및/또는 타이밍 마진을 측정한다. 테스트 엔진(540)은 이후 (예를 들어, 검색 기능을 통해) 측정된 회로 파라미터 마진 데이터를 분석하고, 테스트되고 측정된 파라미터들 및 설정들에 대한 언명된 제품 DPM 요구들을 여전히 유지하는 최저의 동작 I/O 대기 시간을 결정한다.

[0050] 역사적으로 대다수의 또는 모든 동작 파라미터들이 동작을 위해 정적 값들로 설정되는 것을 이해할 것이다. 대조적으로, 본 명세서에서 기술된 대로, 테스트 엔진(540)은 시스템(500)의 성능을 증가시키는 파라미터 설정에 대해 테스트하고 측정한다. 테스트 엔진(540)은 검색 기능을 실행하고, 이것은 많은 알려진 검색 기법들 중 임의의 하나 이상을 포함할 수 있다. 예를 들어, 2차 맞춤(quadratic fit), 선형 맞춤, n차원 검색, n개의 1차원 검색, 유전 검색(genetic search), 최대 하강법(steepest descent), 곡선 맞춤, 또는 다른 기법들, 또는 몇몇 조합들이 이용될 수 있다. 검색의 차원들은 파라미터들의 설정들의 조합에 의존한다. 일 실시예에서, 검색의 n차원은 송신 및 수신 동작 모두에 영향을 미치는 N개의 파라미터를 포함한다. 일 실시예에서, n차원은 X 송신 파라미터를 바이(by) Y 수신 파라미터들을 포함하는데, 여기서 N은 테스트할 고유 X 및 Y 파라미터들의 조합과 동등하다. 테스트 엔진(540)은 테스트를 실행하고, 동작 마진을 측정하고, 신뢰성을 테스트하고, 파라미터들을 조절하고, 반복할 수 있다.

[0051] 도 6a는 멀티 레그 풀 업 임피던스 회로의 실시예의 블록도이다. 일 실시예에서, 출력 드라이버는 풀 업 회로 또는 풀 업 시스템의 상이한 수의 레그들로의 스위칭을 이용하는 것에 의해 상이한 풀 업 임피던스를 달성한다. 풀 업 회로(602)는 N개의 스위치(610-0 내지 610-N), 및 대응하는 수의 저항들(R620-0 내지 R620-N)을 포함한다. 스위치(610-n)와 저항(R620-n)의 각각의 조합은 풀 업 회로(602)의 레그이다. 프리드라이버(630)는 바라는 임피던스를 생성하기 위해 스위치 온할 레그들의 수를 선택할 수 있다. 일 실시예에서, 각각의 저항은 대략 등가 사이즈(예를 들어, 공정 변동을 제외하여 동일)를 가지고, 바라는 수의 저항들이 바라는 임피던스를 부여하기 위해 병렬로 턴 온된다. 대안 실시예에서, 저항들 중 하나 이상은 상이한 값을 갖는데, 이것은 바라는 출력 임피던스에 맞추기 위해 선택적으로 조합될 수 있다. 모든 풀 업 레그들이 풀 업 회로(602)용의 출력 지점을 나타내는 패드(640)에 병렬로 접속되는 것을 이해할 것이다. 도해된 것처럼, 모든 풀 업 레그들은, VDD로부터 더 낮은 값까지 최대 출력 전압을 하향 조절하는 전압 조정 컴포넌트들을 나타내는 VR(670)을 경유해 VDD에 결합될 수 있다. VR(670)은 회로(602)가 집적되는 특정 디바이스에 특징적인 출력의 조절을 허용하도록 가변일 수 있다.

[0052] 도 6b는 멀티 레그 풀 다운 임피던스 회로의 실시예의 블록도이다. 일 실시예에서, 출력 드라이버는 풀 다운

회로 또는 풀 다운 시스템의 상이한 수의 레그들로의 스위칭을 이용하여 상이한 풀 다운 임피던스를 달성한다. 풀 다운 회로(604)는 M개의 스위치(660-0 내지 660-M), 및 대응하는 수의 저항들(R650-0 내지 R650-M)을 포함한다. 스위치(660-m)와 저항(R650-n)의 각각의 조합은 풀 다운 회로(604)의 레그이다. 일 실시예에서, M은 N 과 동일한 수이다. 일 실시예에서, 상이한 수의 풀 업 레그들과 풀 다운 레그들이 있다. 도해된 것처럼, 모든 풀 다운 레그들은 VSS로부터 더 높은 값까지 최소 출력 전압을 상향 조절하는 전압 조정 컴포넌트들을 나타내는 VR(680)을 경유해 VSS에 결합될 수 있다. VR(680)은 회로(604)가 집적되는 특정 디바이스에 특정적인 출력의 조절을 허용하도록 가변일 수 있다.

[0053] 프리드라이버(630)는 바라는 임피던스를 생성하기 위해 스위치 온할 레그들의 수를 선택할 수 있다. 일 실시예에서, 각각의 저항은 대략 등가 사이즈(예를 들어, 공정 변동을 제외하여 동일)를 가지고, 바라는 수의 저항들이 바라는 임피던스를 부여하기 위해 병렬로 턴 온된다. 대안 실시예에서, 저항들 중 하나 이상은 상이한 값을 갖는데, 이것은 바라는 출력 임피던스에 맞추기 위해 선택적으로 조합될 수 있다. 개개의 풀 다운 저항들은 개개의 풀 업 저항들과 동일한 값일 수도 있고, 그렇지 않을 수도 있다. 모든 풀 다운 레그들이, 풀 다운 회로(604)용의 출력 지점을 나타내는 패드(640)에 병렬로 접속된다는 것을 이해할 것이다.

[0054] 풀 업 회로(602) 및 풀 다운 회로(604)가 패드(640)에 접속된다는 것이 또한 이해된다. 상이한 임피던스들을 달성하는 전통적 방법들은 풀 다운 회로(604) 또는 풀 업 회로(602) 중 어느 하나에 또는 양쪽 모두에 더 많은 레그들을 추가하는 것을 수반하였다. 그러나, 더 많은 레그들을 추가하는 것은 패드 커패시턴스(흔히 PAD CAP 또는 Cpad로 지칭됨)를 증가시킨다. 기생 PAD CAP 값을 증가시키는 것은 타이밍과 대역폭 성능에 부정적 영향을 미칠 수 있다. 덧붙여, 더 많은 레그들을 추가하는 것은 프리드라이버(630)에서 더 많은 회로/로직을 요구하고, 이것은 더 많은 전력을 요구한다. 더 하위 레그들 또는 풀 다운 레그들을 추가하는 대신에, 프리드라이버(630)는 바라는 출력 임피던스를 달성하기 위해 소정 비의 상위와 하위 레그들을 선택적으로 스위치 온할 수 있다. 그러므로, 상이한 출력 임피던스 구성들이 시스템에서 레그들의 수를 증가시키지 않고서 달성될 수 있고, 이것은 PAD CAP이 변하지 않는다는 것과 타이밍 성능이 유지될 수 있다는 것을 의미한다.

[0055] 스위치 온할 풀 업 레그들 및/또는 풀 다운 레그들의 수가 시스템 설계뿐만 아니라 바라는 출력 임피던스에도 의존하는 것을 이해할 것이다. 스위치 온되는 풀 업 레그들의 수는 논리 로우와 논리 하이에 대해 다르다. 일 실시예에서, 풀 업 레그들의 수는, 다른 바로 상위의 레그들과 하위의 레그들이 1과 0 간에 또는 논리 로우와 논리 하이 간에 구별하기 위해 스위치 온 및 오프되면서, 드라이버가 전송 선로를 구동하는 전체 시간 동안 턴 온되고 계속 켜진 채로 남겨질 수 있다. 그러므로, 프리드라이버는 실효 출력 임피던스를 발생하기 위해 소정 비의 상위 및 하위 레그들을 스위치 온할 수 있다. 일 실시예에서, 선택된 비는 논리 로우에 대한 실효 출력 임피던스가 논리 하이에 대한 실효 출력 임피던스와 동일하도록 야기하는 비이다. 특정한 실효 출력 임피던스는 출력 전압 스윙에 대한 출력 문턱값들을 설정하기 위해 VR(670) 및/또는 VR(680)에 사용되는 값에 영향을 미칠 수 있다.

[0056] 도 7은 축소된 전압 스윙을 가진 신호를 출력하기 위한 절차의 실시예의 흐름도이다. 일 실시예에서, 호스트 플랫폼의 컴포넌트는 전송 선로를 통해 또 다른 컴포넌트에게 보내기 위한 신호를 발생한다, 702. 컴포넌트들은 트레이스 또는 와이어와 같은 전송 선로를 통해 인터페이싱한다. 보낼 신호를 갖는 컴포넌트는 신호 교환 목적을 위한 송신기이고, 송신기가 신호를 보내는 대상인 컴포넌트는 신호 교환 목적을 위한 수신기이다. 일 실시예에서, 송신기는 발생된 신호를 그것의 직렬 출력부 또는 송수신기에게 제공하는데, 이것은 전송 선로 인터페이스 회로일 수 있거나 이것을 포함할 수 있다, 704. 전송 선로 인터페이스는 전송 선로 상에서 신호를 구동하는 드라이버를 포함한다. 드라이버는 전송 선로를 논리 하이와 논리 로우로 구동하여 신호를 수신기에게 제공한다.

[0057] 전송 선로 인터페이스 회로는 풀 업 레그에서, 또는 풀 다운 레그에서, 또는 풀 업과 풀 다운 레그들의 양쪽에서 전압 조정기를 포함한다. 일 실시예에서, 전압 조정기(들)는 선택적으로 인에이블되는데, 예를 들어 드라이버로 출력을 구동하기 위해서만 인에이블된다. 전압 조정기(들)가 인에이블될 필요가 있다면, 전송 선로 인터페이스 회로는 전압 조정기(들)를 인에이블한다, 706.

[0058] 전송 선로 인터페이스 회로는 전송 선로를 통해 수신기에게 보낼 비트를 결정하기 위해 신호를 처리한다, 708. 드라이버가 논리 하이로 구동하게 된 것이라면, 710 HIGH 분기, 전송 선로 인터페이스 회로는 풀 업 소자로 전송 선로를 최대 송신 전압까지 풀 업한다, 712. 최대 송신 전압은 전통적 회로들에서 전형적으로 VDD이고, 풀 업 소자와 VDD 사이의 전압 조정기에 의해 감소될 수 있다. 드라이버가 논리 로우를 구동하게 된 것이라면, 710 LOW 분기, 전송 선로 인터페이스 회로는 풀 다운 소자로 전송 선로를 최소 송신 전압까지 내린다, 714. 최

소 송신 전압은 전통적 회로들에서 전형적으로 VSS이고, 풀 다운 소자와 VSS 사이의 전압 조정기에 의해 상향 조절될 수 있다.

[0059] 논리 하이이든 논리 로우이든 간에, 비트를 구동한 후, 전송 선로 인터페이스 회로는 최종 비트가 보내졌는지를 결정할 수 있다, 718. 최종 비트가 보내지지 않았다면, 716 NO 분기, 전송 선로 인터페이스 회로는 다음 비트를 처리하고, 708, 출력 처리를 반복한다. 최종 비트가 보내졌으면, 716 YES 분기, 전송 선로 인터페이스 회로는 선택 사항으로 수신 또는 유휴 상태에 대해 전압 조정기를 우회하고 및/또는 디스에이블할 수 있다, 718.

[0060] 도 8은 가능한 값들의 빠짐없는 탐색을 이용하여 통신 설정을 경험적으로 테스트하고 결정하기 위한 절차의 실시예의 흐름도이다. 메모리 서브시스템의 예가 제공되기는 하지만, 컴포넌트들이 통신을 교환하는 또 다른 서브시스템이 메모리 서브시스템 대신에 이용될 수 있다는 것을 이해할 것이다. 그러므로, 메모리 서브시스템은 전압 조정기가 출력 또는 송신 전압 스윙을 제어하는데 사용될 수 있는 경우에 디바이스들이 서로 통신하는 시스템의 한 예일 뿐이다. 제조자는 호스트 하드웨어 플랫폼 및 플랫폼 상의 메모리 서브시스템을 포함하는 디바이스를 제조한다, 802. 동일한 또는 상이한 당사자(제조사 또는 최종 사용자)가 이후 하나 이상의 메모리 디바이스들을 디바이스 내의 메모리 서브시스템에게 접속할 수 있다, 804. 플랫폼 상의 하나 이상의 컴포넌트들(예를 들어, 메모리 컨트롤러와 같은 것)이 메모리 디바이스와의 I/O 동작들을 실행할 것이다.

[0061] 테스트 엔진 또는 테스트 시스템은 I/O 회로들에 대해 어떤 설정들을 이용할지를 결정하기 위해 시스템 중에서 메모리 디바이스(들)를 스트레스 테스트하는 테스트 프로그램을 실행한다. 테스트 시스템은 목표 성능 특성(예를 들어, 전력, 타이밍과)과 관련한 I/O 회로 파라미터들을 식별한다, 806. 테스트는 본 명세서에서 기술되는 임의의 실시예에 따라서 실행될 수 있다. 테스트 엔진은 호스트 플랫폼 상에 내장되고, 테스트를 실행하기 위해 외부 테스트 장비를 필요로 하지 않는다. 일 실시예에서, 플랫폼 상의 BIOS는 메모리가 메모리 서브시스템에 접속될 때 실행할 테스트 프로그램 또는 테스트 루틴을 포함한다. 테스트 프로그램 또는 루틴은 테스트 엔진으로 하여금 테스트되는 것의 한계 내에서 특정 시스템에 대한 최고의 설정을 결정하기 위한 측정과 분석을 포함하는 테스트를 실행하도록 지시한다. 일 실시예에서, 테스트 엔진은, 네트워크 접속 상에서 그런 것처럼, 테스트할 메모리 디바이스(들)를 포함하는 디바이스에게 원격인 로케이션으로부터 트리거된다.

[0062] 일 실시예에서, 테스트 시스템은 각각의 식별된 회로 파라미터 상에서의 다양한 테스트 동작들을 통해 반복하거나 루프를 돈다, 808. 테스트 시스템은 임의의 주어진 파라미터의 N개의 상이한 설정(여기서 N은 테스트될 다수의 파라미터 중 어떤 것과도 반드시 동일한 필요는 없음)을 통하여 또한 루프를 돌 수 있다, 810. 각각의 테스트 반복에 대해, 메모리 서브시스템은, 테스트 프로그램 및/또는 테스트 시스템의 제어에서, 출력 전압 스윙을 제어하는 전압 조정기 설정을 포함하여, 관련성 있는 I/O 회로 파라미터들에 대한 하나 이상의 값들을 조절하거나 설정할 수 있다, 812.

[0063] 일 실시예에서, 테스트 시스템은 내장된 테스트 엔진으로 테스트 트래픽을 발생한다, 814. 테스트 내용은 전압, 온도, 주파수와 같은 하나 또는 다중 환경 조건, 또는 다른 조건들에서 기능적 방식으로 설계에서의 상이한 마진들에 대해 테스트하는 단일 또는 다중 테스트로 구성될 수 있다. 일 실시예에서, 테스트 시스템은 이후 목표 성능 특성의 하나 이상의 동작 마진들을 측정한다, 816. 테스트 시스템은 최종 설정이 테스트될 때까지, 818 YES 분기, 각각의 상이한 설정에 대해 테스트 및 측정을 반복한다. 일 실시예에서, 테스트 시스템은 모든 파라미터들이 테스트될 때까지, 820 YES 분기, 관심 대상의 I/O 성능에 영향을 미칠 수 있는 각각의 식별된 I/O 파라미터를 통하여 반복한다. 최종 파라미터가 도달될 때까지, 820 NO 분기, 테스트 엔진은 각각의 N개의 상이한 설정에 대해 반복하기를 계속한다, 810. 테스트 엔진은, 이하에 보다 상세하게 설명된 바와 같이 다양한 상이한 스트레스 테스트 패턴들을 사용할 수 있는데, 이 패턴들은 LFSR, 희생자-공격자(victim-aggressor), 누화, ISI, 전원 잡음, 전원 값, 또는 다른 패턴들을 포함할 수 있다.

[0064] 일 실시예에서, 테스트 시스템은 각각의 I/O 회로 파라미터가 테스트 하에 있는 시스템의 런타임 동작에서 사용하기 위한 값을 결정하기 위해 검색 기능을 실행한다, 822. 결정된 값들은 각각의 I/O 회로 파라미터가 특정 시스템에 대한 최소 문턱값을 충족하고 또한 I/O 회로 파라미터들 중 적어도 하나의 성능을 개선하는 값들이어야 한다. 테스트 시스템은 이후 테스트 하에 있는 시스템이 검색 기능의 결과들에 기초하여 I/O 회로 파라미터들의 런타임 값들을 설정하도록 야기할 수 있다, 824. 런타임 설정들은 검색 기능에 의해 특정적으로 결정될 수 있거나, 또는 검색 기능은 값을 식별할 수 있고 시스템은 결정된 값 바로 위에 런타임 설정들을 설정할 수 있다. 일 실시예에서, 검색 기능은 명시적 보호 대역을 추가한다. 일 실시예에서, 검색 기능은 임의의 보호 대역을 최소화하기 위해 다중 테스트 또는 환경 조건에 기초한 하나 이상의 측정들을 최악의 경우까지 외삽할 수 있다.

- [0065] 도 9는 전압 스윙 제어가 구현될 수 있는 컴퓨팅 시스템의 실시예의 블록도이다. 시스템(900)은 본 명세서에 기술된 임의의 실시예에 따른 컴퓨팅 디바이스를 나타내고, 또한 랩톱 컴퓨터, 데스크톱 컴퓨터, 서버, 게임 또는 엔터테인먼트 제어 시스템, 스캐너, 복사기, 프린터, 라우팅 또는 스위칭 디바이스, 또는 기타 전자 디바이스일 수 있다. 시스템(900)은 프로세서(920)를 포함하고, 이것은 시스템(900)에게 처리, 운영 관리 및 명령어들의 실행을 제공한다. 프로세서(920)는 시스템(900)에게 처리를 제공하기 위한 임의 유형의 마이크로프로세서, CPU(central processing unit), 처리 코어, 또는 기타 처리 하드웨어를 포함할 수 있다. 프로세서(920)는 시스템(900)의 전반적 동작을 제어하고, 또한 하나 이상의 프로그램가능 범용 또는 특수 목적 마이크로프로세서들, DSP(digital signal processor)들, 프로그램가능 컨트롤러들, ASIC(application specific integrated circuit)들, PLD(programmable logic device)들, 또는 이와 유사한 것, 또는 이러한 디바이스들의 조합일 수 있거나 이것들을 포함할 수 있다.
- [0066] 메모리 서브시스템(930)은 시스템(900)의 주 메모리를 나타내고, 또한 프로세서(920)에 의해 실행될 코드, 또는 루틴을 실행하는 데에 이용될 데이터 값들을 위한 임시 스토리지를 제공한다. 메모리 서브시스템(930)은 ROM(read-only memory), 플래시 메모리, 하나 이상의 다양한 RAM(random access memory), 또는 기타 메모리 디바이스들, 또는 이러한 디바이스들의 조합과 같은 하나 이상의 메모리 디바이스들을 포함할 수 있다. 메모리 서브시스템(930)은, 무엇보다도, 시스템(900)에서의 명령어들의 실행을 위한 소프트웨어 플랫폼을 제공하기 위해 OS(operating system)(936)를 저장하고 호스팅한다. 덧붙여, 기타 명령어들(938)이 시스템(900)의 로직과 처리를 제공하기 위해 메모리 서브시스템(930)으로부터 저장되고 실행된다. OS(936) 및 명령어들(938)은 프로세서(920)에 의해 실행된다.
- [0067] 메모리 서브시스템(930)은 자신이 데이터, 명령어들, 프로그램들, 또는 다른 아이템들을 저장하는 메모리 디바이스(932)를 포함한다. 일 실시예에서, 메모리 서브시스템은 본 명세서에서 기술되는 임의의 실시예에 따른 메모리 컨트롤러이고 또한 메모리 디바이스(932)에 대한 커맨드들을 발생하고 발행하기 위한 스케줄러를 포함하는 메모리 컨트롤러(934)를 포함한다.
- [0068] 일 실시예에서, 시스템(900)의 하나 이상의 컴포넌트들은 전송 선로 인터페이스의 출력 전압을 제어하기 위해 이용되는 하나 이상의 전압 조정기들을 포함한다. 전압 조정기(들)는 선택적으로 인에이블될 수 있고, 출력 또는 송신 전압 스윙을 조절할 것이다. 일 실시예에서, 시스템(900)은 테스트 엔진(특정적으로 보여지지 않음)을 포함하는데, 이것은 전압 조정기에 대한 값 설정을 테스트하는 것을 포함하여, 경험적으로 시스템 중에서 통신을 테스트할 수 있다.
- [0069] 프로세서(920) 및 메모리 서브시스템(930)은 버스/버스 시스템(910)에 결합된다. 버스(910)는 적절한 브리지들, 어댑터들, 및/또는 컨트롤러들에 의해 접속되는, 임의의 하나 이상의 별개의 물리적 버스들, 통신 라인들/인터페이스들, 및/또는 포인트-투-포인트 접속들을 나타내는 추상적 표현이다. 그러므로, 버스(910)는, 예를 들어 시스템 버스, PCI(Peripheral Component Interconnect) 버스, 하이퍼트랜스포트(HyperTransport) 또는 ISA(industry standard architecture) 버스, SCSI(small computer system interface) 버스, USB(universal serial bus), 또는 IEEE(Institute of Electrical and Electronics Engineers) 표준 1394 버스(통상적으로 "파이어와이어"라고 지칭됨) 중 하나 이상을 포함할 수 있다. 버스(910)의 버스들은 또한 네트워크 인터페이스(950)에서의 인터페이스들에 대응할 수 있다.
- [0070] 시스템(900)은 버스(910)에 결합되는 하나 이상의 입력/출력(I/O) 인터페이스(들)(940), 네트워크 인터페이스(950), 하나 이상의 내부 대용량 스토리지 디바이스(들)(960), 및 주변 장치 인터페이스(970)를 또한 포함한다. I/O 인터페이스(940)는 이를 통해 사용자가 시스템(900)과 상호작용하는 하나 이상의 인터페이스 컴포넌트들(예를 들어, 비디오, 오디오, 및/또는 알파뉴메릭 인터페이싱)을 포함할 수 있다. 네트워크 인터페이스(950)는 시스템(900)에게 하나 이상의 네트워크들 상에서 원격 디바이스들(예를 들어, 서버들, 다른 컴퓨팅 디바이스들)과 통신하기 위한 능력을 제공한다. 네트워크 인터페이스(950)는 이더넷 어댑터, 무선 상호접속 컴포넌트들, USB(universal serial bus), 또는 다른 유선 또는 무선 표준 기반 또는 사적 인터페이스들을 포함할 수 있다.
- [0071] 스토리지(960)는 하나 이상의 자성, 고체 상태, 또는 광학 기반 디스크들, 또는 그 조합과 같이, 비휘발성 방식으로 대량의 데이터를 저장하기 위한 임의의 종래의 매체일 수 있거나 이를 포함할 수 있다. 스토리지(960)는 코드 또는 명령어들 및 데이터(962)를 지속적 상태로 유지한다(즉, 값이 시스템(900)에의 전력 중단에도 불구하고 유지된다). 메모리(930)가 프로세서(920)에게 명령어들을 제공하는 실행 또는 동작 메모리이기는 하지만, 스토리지(960)가 일반적으로 "메모리"인 것으로 생각될 수 있다. 반면에 스토리지(960)는 비휘발성이고, 메모리(930)는 휘발성 메모리를 포함할 수 있다(즉, 값 또는 데이터의 상태가 시스템(900)에의 전력이 중단되면

불확정적이 된다.

- [0072] 주변 장치 인터페이스(970)는 이상에서 구체적으로 언급되지 않은 임의의 하드웨어 인터페이스를 포함할 수 있다. 주변 장치들은 시스템(900)에게 종속적으로 접속하는 디바이스들을 총칭한다. 종속적 접속은, 시스템(900)이 동작이 그 상에서 실행되며 또한 사용자가 그와 상호작용하는 소프트웨어 및/또는 하드웨어 플랫폼을 제공하는 것이다.
- [0073] 도 10은 전압 스윙 제어가 구현될 수 있는 모바일 디바이스의 실시예의 블록도이다. 디바이스(1000)는 컴퓨팅 태블릿, 휴대폰 또는 스마트폰, 무선 지원 e-리더(wireless-enabled e-reader), 또는 기타 모바일 디바이스와 같은 모바일 컴퓨팅 디바이스를 나타낸다. 컴포넌트들 중 소정의 것이 일반적으로 도시되지만, 이러한 디바이스의 모든 컴포넌트들이 디바이스(1000)에 도시된 것은 아니라는 것을 이해할 것이다.
- [0074] 디바이스(1000)는 프로세서(1010)를 포함하고, 이것은 디바이스(1000)의 주 처리 동작들을 실행한다. 프로세서(1010)는 마이크로프로세서들, 애플리케이션 프로세서들, 마이크로컨트롤러들, 프로그래머블 로직 디바이스들, 또는 기타 처리 수단과 같은 하나 이상의 물리적 디바이스들을 포함할 수 있다. 일 실시예에서, 프로세서(1010)는 프로세서 다이 뿐만 아니라 광학적 인터페이스 컴포넌트들을 포함한다. 따라서, 프로세서 다이 및 광학적 컴포넌트들은 동일 패키지 내에 존재한다. 그러한 프로세서 패키지는 본 명세서에서 기술되는 임의의 실시예에 따라서 광 커넥터와 광학적으로 인터페이싱할 수 있다.
- [0075] 프로세서(1010)에 의해 실행되는 처리 동작들은 애플리케이션들 및/또는 디바이스 기능들이 그 상에서 실행되는 운영 플랫폼 또는 운영 체제의 실행을 포함한다. 처리 동작들은 인간 사용자와의 또는 다른 디바이스들과의 I/O(입력/출력)에 관계되는 동작들, 전력 관리에 관계되는 동작들, 및/또는 디바이스(1000)를 또 다른 디바이스에 접속하는 것과 관계되는 동작들을 포함한다. 처리 동작들은 또한 오디오 I/O 및/또는 디스플레이 I/O에 관계되는 동작들을 포함할 수 있다.
- [0076] 일 실시예에서, 디바이스(1000)는 오디오 서브시스템(1020)을 포함하는데, 이것은 오디오 기능들을 컴퓨팅 디바이스에게 제공하는 것과 연관되는 하드웨어(예를 들어, 오디오 하드웨어 및 오디오 회로들) 및 소프트웨어(예를 들어, 드라이버들, 코덱들) 컴포넌트들을 나타낸다. 오디오 기능들은 스피커 및/또는 헤드폰 출력뿐만 아니라 마이크론 입력을 포함할 수 있다. 그와 같은 기능들을 위한 디바이스들은 디바이스(1000)에 통합되거나 디바이스(1000)에 접속될 수 있다. 일 실시예에서, 사용자는 프로세서(1010)에 의해 수신되고 처리되는 오디오 커맨드들을 제공함으로써 디바이스(1000)와 상호 작용한다.
- [0077] 디스플레이 서브시스템(1030)은 사용자가 컴퓨팅 디바이스와 상호작용하기 위한 시각적 및/또는 촉각적 디스플레이를 제공하는 하드웨어(예를 들어, 디스플레이 디바이스들) 및 소프트웨어(예를 들어, 드라이버들) 컴포넌트들을 나타낸다. 디스플레이 서브시스템(1030)은 디스플레이 인터페이스(1032)를 포함하는데, 이것은 디스플레이를 사용자에게 제공하기 위해 이용되는 특정 스크린 또는 하드웨어 디바이스를 포함한다. 일 실시예에서, 디스플레이 인터페이스(1032)는 디스플레이와 관계되는 적어도 몇몇 처리를 실행하기 위한, 프로세서(1010)와 별개인 로직을 포함한다. 일 실시예에서, 디스플레이 서브시스템(1030)은 사용자에의 출력과 입력 모두를 제공하는 터치스크린 디바이스를 포함한다.
- [0078] I/O 컨트롤러(1040)는 사용자와의 상호작용과 관계되는 하드웨어 디바이스들 및 소프트웨어 컴포넌트들을 나타낸다. I/O 컨트롤러(1040)는 오디오 서브시스템(1020) 및/또는 디스플레이 서브시스템(1030)의 일부인 하드웨어를 관리하도록 동작할 수 있다. 덧붙여, I/O 컨트롤러(1040)는 사용자가 그를 통해 시스템과 상호 작용할 수도 있는 디바이스(1000)에 접속하는 부가적 디바이스들을 위한 접속 포인트를 예시한다. 예를 들어, 디바이스(1000)에 부착될 수 있는 디바이스들은 마이크 디바이스들, 스피커 또는 스테레오 시스템들, 비디오 시스템들 또는 다른 디스플레이 디바이스, 키보드 또는 키패드 디바이스들, 또는 카드 리더기들 또는 기타 디바이스들과 같은 특정 응용들과의 사용을 위한 기타 I/O 디바이스들을 포함할 수도 있다.
- [0079] 위에 언급한 바와 같이, I/O 컨트롤러(1040)는 오디오 서브시스템(1020) 및/또는 디스플레이 서브시스템(1030)과 상호작용할 수 있다. 예를 들어, 마이크 또는 다른 오디오 디바이스를 통한 입력은 디바이스(1000)의 하나 이상의 애플리케이션들 또는 기능들에게 입력 또는 커맨드들을 제공할 수 있다. 덧붙여, 오디오 출력은 디스플레이 출력 대신 또는 디스플레이 출력에 더하여 제공될 수 있다. 또 다른 예에서, 디스플레이 서브시스템이 터치스크린을 포함한다면, 디스플레이 디바이스는 또한 입력 디바이스의 역할을 하고, 이것은 적어도 부분적으로 I/O 컨트롤러(1040)에 의해 관리될 수 있다. 또한 I/O 컨트롤러(1040)에 의해 관리되는 I/O 기능들을 제공하기 위한 디바이스(1000) 상의 부가적 버튼들 또는 스위치들이 있을 수 있다.

- [0080] 일 실시예에서, I/O 컨트롤러(1040)는 가속도계들, 카메라들, 광 센서들 또는 기타 환경 센서들, 자이로스코프들, GPS(global positioning system), 또는 디바이스(1000) 내에 포함될 수 있는 기타 하드웨어와 같은 디바이스들을 관리한다. 입력은 직접적인 사용자 상호작용의 일부일 뿐만 아니라, 시스템의 동작들(예컨대, 잠음 필터링, 밝기 검출을 위한 디스플레이들의 조절, 카메라에 대해 플래시를 적용, 또는 다른 특징들과 같은 것)에 영향을 주기 위한 시스템에의 환경 입력을 제공하는 것일 수 있다. 일 실시예에서, 디바이스(1000)는 배터리 전력 사용, 배터리 충전, 및 전력 절감 동작과 관계되는 특징들을 관리하는 전력 관리(1050)를 포함한다.
- [0081] 메모리 서브시스템(1060)은 디바이스(1000)에 정보를 저장하는 메모리 디바이스(들)(1062)를 포함한다. 메모리 서브시스템(1060)은 비휘발성(메모리 디바이스에의 전력이 중단되는 경우 상태가 변경되지 않음) 및/또는 휘발성(메모리 디바이스에의 전력이 중단되는 경우 상태가 불확정적임) 메모리 디바이스들을 포함할 수 있다. 메모리(1060)는 애플리케이션 데이터, 사용자 데이터, 음악, 사진, 문서, 또는 기타 데이터는 물론이고, 시스템(1000)의 애플리케이션들 및 기능들의 실행에 관계되는 (장기적 또는 일시적) 시스템 데이터를 저장할 수 있다. 일 실시예에서, 메모리 서브시스템(1060)은 (시스템(1000)의 제어의 일부로도 간주될 수 있고, 잠재적으로는 프로세서(1010)의 일부로 간주될 수 있는) 메모리 컨트롤러(1064)를 포함한다. 메모리 컨트롤러(1064)는 메모리 디바이스(1062)에게 커맨드들을 발생하고 발행하는 스케줄러를 포함한다.
- [0082] 연결(connectivity)(1070)은 디바이스(1000)로 하여금 외부 디바이스들과 통신하는 것을 가능하게 하기 위한 하드웨어 디바이스들(예로서, 무선 및/또는 유선 커넥터들 및 통신 하드웨어) 및 소프트웨어 컴포넌트들(예로서, 드라이버들, 프로토콜 스택들)을 포함한다. 디바이스는 헤드셋들, 프린터들, 또는 다른 디바이스들과 같은 주변 장치들뿐만 아니라, 다른 컴퓨팅 디바이스들, 무선 액세스 포인트들 또는 기지국들과 같은 별개의 디바이스들일 수 있다.
- [0083] 연결(1070)은 다중의 상이한 유형의 연결을 포함할 수 있다. 일반화하기 위해, 디바이스(1000)는 셀 방식 연결(1072) 및 무선 연결(1074)을 가진 것으로 도해된다. 셀 방식 연결(1072)은 일반적으로 GSM(global system for mobile communications) 또는 변형물들 또는 파생물들, CDMA(code division multiple access) 또는 변형물들 또는 파생물들, TDM(time division multiplexing) 또는 변형물들 또는 파생물들, LTE(long term evolution - "4G"라고도 지칭함), 또는 다른 셀 방식 서비스 표준들을 통해 제공되는 것과 같이, 무선 방송파들에 의해 제공되는 셀 방식 네트워크 연결을 지칭한다. 무선 연결(1074)은 셀 방식이 아닌 무선 연결을 지칭하고, 개인 영역 네트워크들(블루투스과 같은 것), 근거리 네트워크들(WiFi와 같은 것), 및/또는 원거리 네트워크들(WiMAX와 같은 것), 또는 다른 무선 통신을 포함할 수 있다. 무선 통신은 비고체 매체(non-solid medium)를 통한 변조된 전자기 방사선의 사용에 의한 데이터의 전송을 지칭한다. 유선 통신은 고체 통신 매체를 통해 발생한다.
- [0084] 주변 장치 접속들(1080)은 하드웨어 인터페이스들 및 커넥터들뿐만 아니라, 주변 장치 접속들을 이루기 위한 소프트웨어 컴포넌트들(예를 들어, 드라이버들, 프로토콜 스택들)을 포함한다. 디바이스(1000)가 기타 컴퓨팅 디바이스들에의 주변 장치 디바이스("에게" 1082)일 뿐만 아니라, 이것에 접속되는 주변 장치 디바이스들("로부터" 1084)을 갖기도 한다는 것을 이해해야 한다. 디바이스(1000)는 디바이스(1000) 상의 내용을 관리하는 것(다운로딩 및/또는 업로딩, 변경, 또는 동기화와 같은 것)과 같은 목적들을 위해 기타 컴퓨팅 디바이스들에 접속하는 "도킹" 커넥터를 흔히 갖는다. 덧붙여, 도킹 커넥터는 디바이스(1000)로 하여금 예를 들어 시청각적 또는 기타 시스템들에 대한 내용 출력을 제어하도록 허용하는 소정 주변 장치들에게 디바이스(1000)가 접속하도록 허용할 수 있다.
- [0085] 사적 도킹 커넥터 또는 기타 사적 접속 하드웨어에 더하여, 디바이스(1000)는 공통 또는 표준 기반 커넥터들을 통해 주변 장치 접속들(1080)을 이룰 수 있다. 흔한 유형들은 USB 커넥터(이것은 다수의 상이한 하드웨어 인터페이스들 중 임의의 것을 포함할 수 있음), MDP(MiniDisplayPort)를 포함하는 DisplayPort, HDMI(High Definition Multimedia Interface), 파이어와이어, 또는 다른 유형을 포함할 수 있다.
- [0086] 일 실시예에서, 시스템(1000)의 하나 이상의 컴포넌트들은 전송 선로 인터페이스의 출력 전압을 제어하기 위해 이용되는 하나 이상의 전압 조정기들을 포함한다. 전압 조정기(들)는 선택적으로 인에이블될 수 있고, 출력 또는 송신 전압 스윙을 조절할 것이다. 일 실시예에서, 시스템(1000)은 하나 이상의 테스트 엔진들(특정적으로 보여지지는 않음)을 포함하고, 이것은 전압 조정기에 대한 값 설정을 테스트하는 것을 포함하여, 경험적으로 시스템 중에서 통신을 테스트할 수 있다.
- [0087] 한 양태에서, 전송 선로 인터페이스 회로는, 전송 선로와 전송 선로 인터페이스 회로에 대한 고 전압 기준 사이에 결합되어 전송 선로 상에서 구동되는 입력 신호의 논리 하이 값에 응답하여 전송 선로를 풀 업하기 위한 p형 드라이버 소자, 및 전송 선로와 전송 선로 인터페이스 회로에 대한 저 전압 기준 사이에 결합되어 입력 신호의

논리 로우 값에 응답하여 전송 선로를 풀 다운하기 위한 n형 드라이버 소자를 포함하는 다중 드라이버 소자들; 및 드라이버 소자들 중 하나의 드라이버 소자와 각각의 전압 기준 사이의 전송 선로 인터페이스 회로에 국지적으로 결합되어 전송 선로 인터페이스 회로의 전압 스윙을 감소시키기 위한 전압 조정기를 포함한다.

[0088] 일 실시예에서, 전압 조정기는 선형 전압 조정기이다. 일 실시예에서, 전압 조정기는 스위치형 회로 전압 조정기를 포함한다. 일 실시예에서, 전압 조정기는 공통 집적 회로 상에서 전송 선로 인터페이스 회로와 집적된다. 일 실시예에서, 전압 조정기는 p형 드라이버 소자와 고 전압 기준 사이에 결합된다. 일 실시예에서, 전압 조정기는 제1 전압 조정기이고, 전송 선로 인터페이스는 n형 드라이버 소자와 저 전압 기준 사이에 결합되는 제2 전압 조정기를 추가로 포함한다. 일 실시예에서, 전송 선로 인터페이스는 전송 선로 상에서 신호를 수신하기 위해 전압 조정기를 우회하도록 선택적으로 활성화되는 우회 경로를 추가로 포함한다. 일 실시예에서, 전압 조정기는 전송 선로 인터페이스 회로의 전압 스윙을 제어하기 위해 전압 조정기의 출력을 구성하기 위한 테스트 회로로부터의 설정 값을 수신하는 제어 소자들을 추가로 포함한다. 일 실시예에서, 다중 드라이버 소자들은 메모리 디바이스와 상호접속하는 패드를 구동하는 메모리 컨트롤러 디바이스의 출력 드라이버 소자들을 포함한다. 일 실시예에서, 메모리 디바이스는 LPDDR(low power dual data rate) 메모리 디바이스, DDR(dual data rate) 메모리 디바이스, 또는 WIDEIO 메모리 디바이스 중 하나를 포함한다.

[0089] 한 양태에서, 전자 디바이스는 프로세서를 포함하는 호스트 하드웨어 플랫폼; 메모리 디바이스와 통신하기 위한 전송 선로 인터페이스 회로를 갖는 호스트 하드웨어 플랫폼 상의 메모리 컨트롤러 디바이스 - 전송 선로 인터페이스 회로는, 전송 선로와 전송 선로 인터페이스 회로에 대한 고 전압 기준 사이에 결합되어 전송 선로 상에서 구동되는 입력 신호의 논리 하이 값에 응답하여 전송 선로를 풀 업하기 위한 p형 드라이버 소자, 및 전송 선로와 전송 선로 인터페이스 회로에 대한 저 전압 기준 사이에 결합되어 입력 신호의 논리 로우 값에 응답하여 전송 선로를 풀 다운하기 위한 n형 드라이버 소자를 포함하는 다중 드라이버 소자들; 및 드라이버 소자들 중 하나의 드라이버 소자와 각각의 전압 기준 사이의 전송 선로 인터페이스 회로에 국지적으로 결합되어 전송 선로 인터페이스 회로의 전압 스윙을 감소시키기 위한 전압 조정기를 포함함 - ; 및 메모리 컨트롤러 디바이스에 의해 접근되는 데이터에 기초하여 디스플레이를 발생하기 위해 결합되는 터치스크린 디스플레이를 포함한다.

[0090] 일 실시예에서, 전압 조정기는 메모리 컨트롤러 디바이스 상에 집적된다. 일 실시예에서, 전압 조정기는 p형 드라이버 소자와 고 전압 기준 사이에 결합된다. 일 실시예에서, 전압 조정기는 제1 전압 조정기이고, 전송 선로 인터페이스는 n형 드라이버 소자와 저 전압 기준 사이에 결합되는 제2 전압 조정기를 추가로 포함한다. 일 실시예에서, 메모리 컨트롤러 디바이스는 전송 선로 상에서 신호를 수신하기 위해 전압 조정기를 우회하도록 선택적으로 활성화되는 우회 경로를 추가로 포함한다. 일 실시예에서, 전송 선로 인터페이스는 전송 선로 인터페이스 회로의 전압 스윙을 제어하기 위해 전압 조정기를 구성하기 위한, 메모리 컨트롤러 디바이스에 결합되는 테스트 회로를 추가로 포함한다. 일 실시예에서, 메모리 디바이스는 LPDDR 메모리 디바이스를 포함한다.

[0091] 한 양태에서, 방법은 메모리 디바이스에의 전송 선로 상에서 구동할 신호를 수신하는 단계; 신호를 수신한 것에 응답하여, 전송 선로 인터페이스 회로의 전압 스윙을 감소시키기 위해 드라이버 소자와 각각의 전압 기준 사이의 전송 선로 인터페이스 회로에 국지적으로 결합되는 전압 조정기를 활성화하는 단계; 및 입력 신호의 논리 하이 값에 응답하여, 전송 선로와 전송 선로 인터페이스 회로에 대한 고 전압 기준 사이에 결합되는 p형 드라이버 소자에 의해 전송 선로를 하이로 구동하는 단계; 및 입력 신호의 논리 로우 값에 응답하여, 전송 선로와 전송 선로 인터페이스 회로에 대한 저 전압 기준 사이에 결합되는 n형 드라이버 소자에 의해 전송 선로를 로우로 구동하는 단계를 포함한다.

[0092] 일 실시예에서, 전압 조정기를 활성화하는 단계는 p형 드라이버 소자와 고 전압 기준 사이에 결합되는 전압 조정기를 활성화하는 단계를 포함한다. 일 실시예에서, 방법은, 전송 선로 인터페이스 회로의 목표 I/O(입력/출력) 성능 특성을 위한 다중의 상이한 I/O 회로 파라미터에 대한 다중의 상이한 설정의 각각에 대해, 각각의 I/O 회로 파라미터에 대한 값을 설정하고, 설정을 위한 테스트 트래픽을 발생시키고, I/O 성능 특성을 위한 동작 마진을 측정하는 단계를 포함하는 전압 조정기를 활성화하는 전압 레벨을 결정하는 단계; 동작 마진이 최소 문턱 값을 충족하고 I/O 회로 파라미터들 중 적어도 하나의 I/O 회로 파라미터의 성능이 증가되는 각각의 I/O 회로 파라미터에 대한 값들을 결정하기 위해 검색 기능을 실행하는 단계; 및 검색 기능에 기초하여 I/O 회로 파라미터들에 대한 런타임 값들을 설정하는 단계를 더 포함한다.

[0093] 본 명세서에 도해된 것과 같은 흐름도들은 다양한 처리 행위들의 시퀀스들의 예들을 제공한다. 특정 시퀀스 또는 순서로 보여지지는 하였지만, 달리 특정되지 않는 한, 행위들의 순서는 수정될 수 있다. 그러므로, 예시된 실시예들은 단지 예로서 이해해야 하고, 절차는 상이한 순서에서 실행될 수 있고, 몇몇 행위들은 병행적으로 실행

행될 수 있다. 게다가, 상이한 실시예들에서 하나 이상의 행위들이 생략될 수 있고, 따라서 모든 실시예마다 모든 행위들이 필요한 것은 아니다. 다른 절차 흐름들도 가능하다.

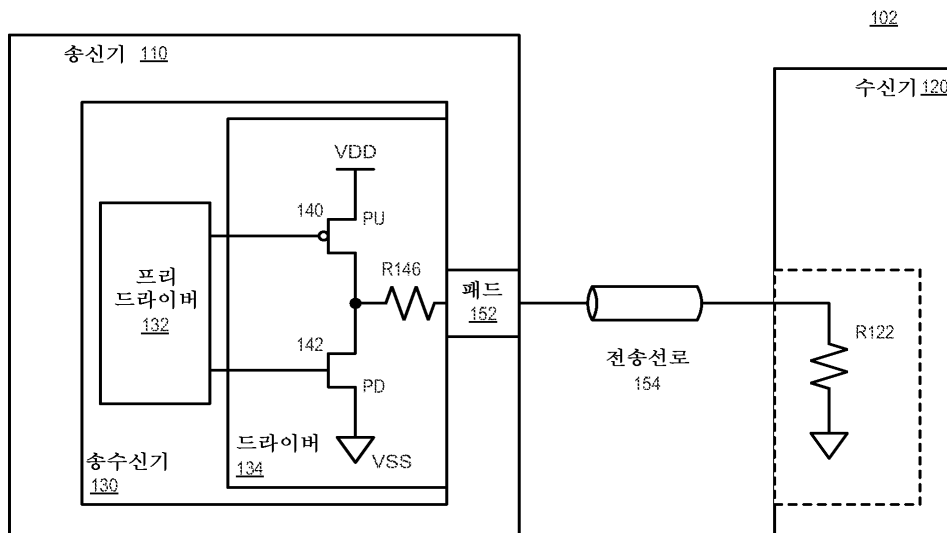
[0094] 다양한 동작들 또는 기능들이 본 명세서에서 설명되는 범위에서, 이들은 소프트웨어 코드, 명령어들, 구성, 및/또는 데이터로서 설명되거나 정의될 수 있다. 내용은 직접 실행 가능한("객체" 또는 "실행가능" 형태), 소스 코드, 또는 차이 코드(difference code)("델타(delta)" 또는 "패치(patch)" 코드)일 수 있다. 본 명세서에서 기술되는 실시예들의 소프트웨어 내용은 그 상에 저장된 내용을 가진 제조품을 통하여, 또는 통신 인터페이스를 통해 데이터를 송신하는 통신 인터페이스를 동작시키는 방법을 통하여 제공될 수 있다. 기계 판독 가능 저장 매체는 기계로 하여금 설명된 기능들 또는 동작들을 실행하도록 야기하고, 기록 가능/비 기록 가능 매체(예를 들어, ROM(read only memory), RAM(random access memory), 자기 디스크 저장 매체, 광 저장 매체, 플래시 메모리 디바이스 등)와 같은 기계(예를 들어, 컴퓨팅 디바이스, 전자 시스템 등)에 의해 접근 가능한 형태로 정보를 저장하는 임의의 메커니즘을 포함한다. 통신 인터페이스는 메모리 버스 인터페이스, 프로세서 버스 인터페이스, 인터넷 연결, 디스크 컨트롤러 등과 같은, 또 다른 디바이스와 통신하기 위해 하드와이어드, 무선, 광학 적, 기타 등등 중 임의의 것에 인터페이스하는 임의의 메커니즘을 포함한다. 통신 인터페이스는 소프트웨어 내용을 기술하는 데이터 신호를 제공하기 위해 통신 인터페이스를 준비하기 위해 구성 파라미터들을 제공하고 및/또는 신호들을 송신함으로써 구성될 수 있다. 통신 인터페이스는 통신 인터페이스에게 보내지는 하나 이상의 커맨드들 또는 신호들을 통해 액세스될 수 있다.

[0095] 본 명세서에서 기술되는 다양한 컴포넌트들은 설명되는 동작들 또는 기술된 기능들을 실행하기 위한 수단일 수 있다. 본 명세서에서 기술되는 각각의 컴포넌트는 소프트웨어, 하드웨어, 또는 이것들의 조합을 포함한다. 컴포넌트들은 소프트웨어 모듈들, 하드웨어 모듈들, 특수 목적 하드웨어(예로서, 주문형 하드웨어, 주문형 집적 회로들(ASIC들), 디지털 신호 프로세서들(DSP들) 등), 내장 컨트롤러들, 하드와이어드 회로(hardwired circuitry) 등으로서 구현될 수 있다.

[0096] 여기 설명된 것 외에도, 본 발명의 범위를 벗어나지 않고서 개시된 본 발명의 실시예들 및 구현들에 대한 다양한 수정이 이뤄질 수 있다. 따라서, 본 명세서에서의 예시들 및 사례들은 한정적이지 아니라 예시적인 것으로 해석해야 한다. 본 발명의 범위는 오직 하기 청구항들을 참조하여 그 범위가 결정되어야 한다.

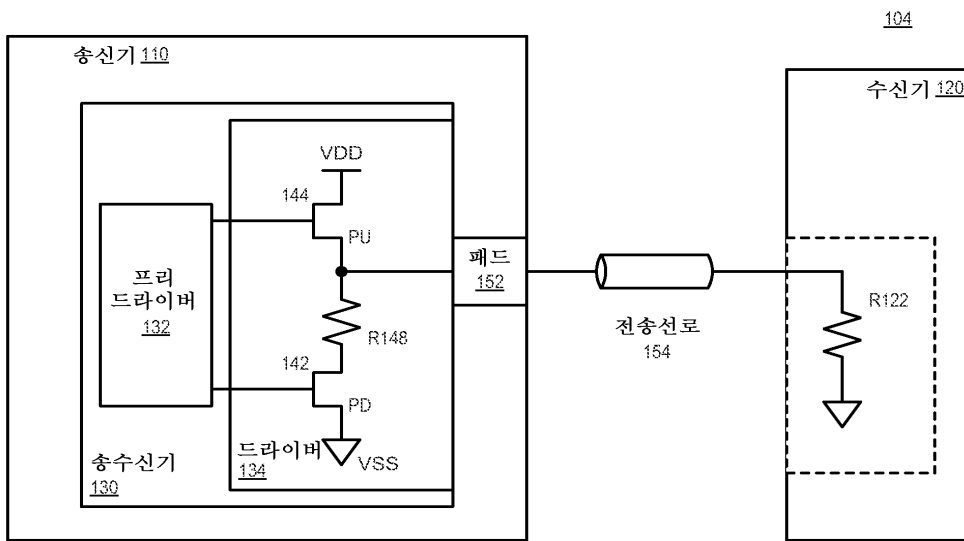
**도면**

**도면 1a**

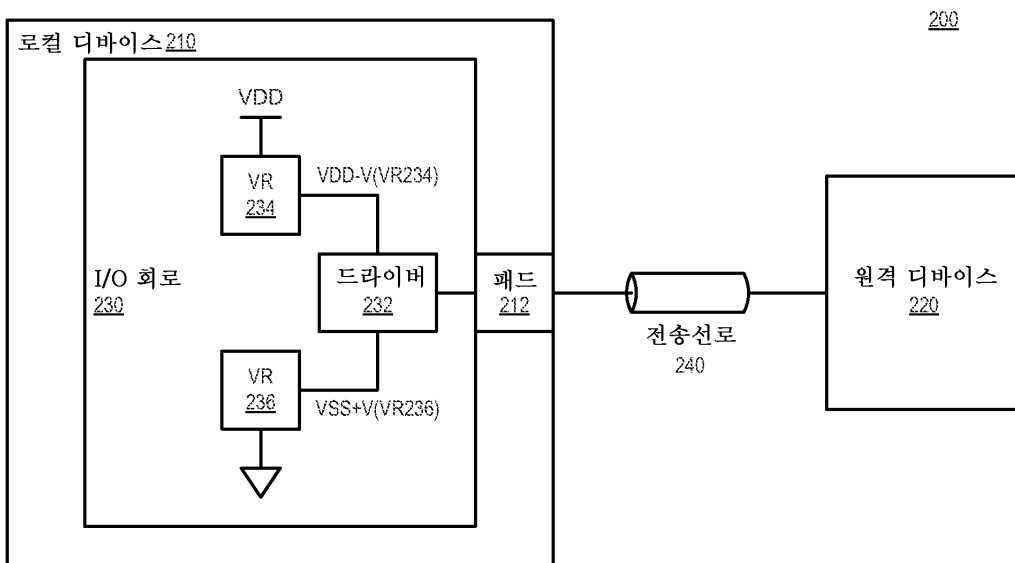


(종래 기술)

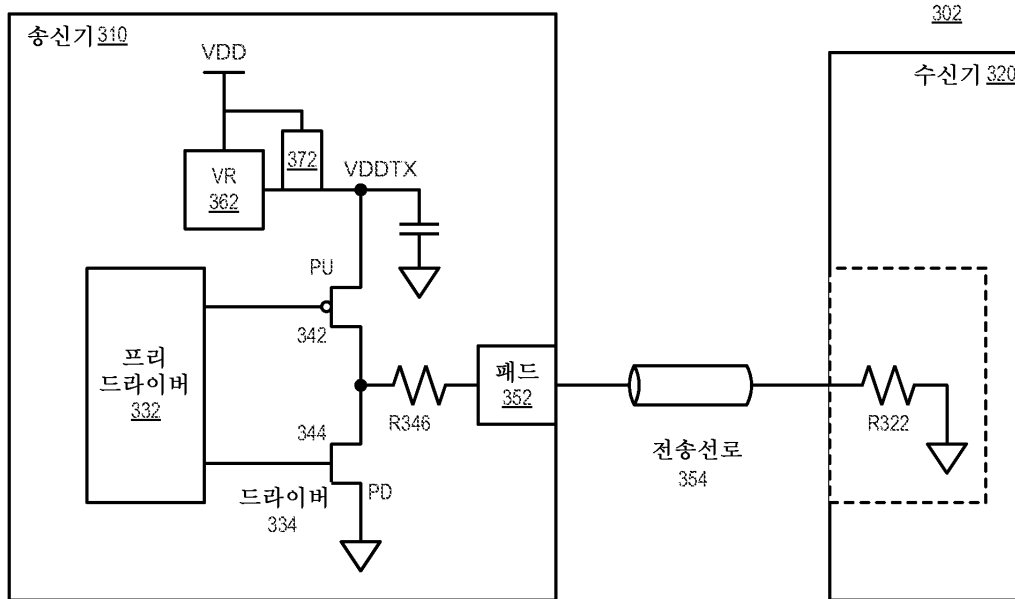
도면1b



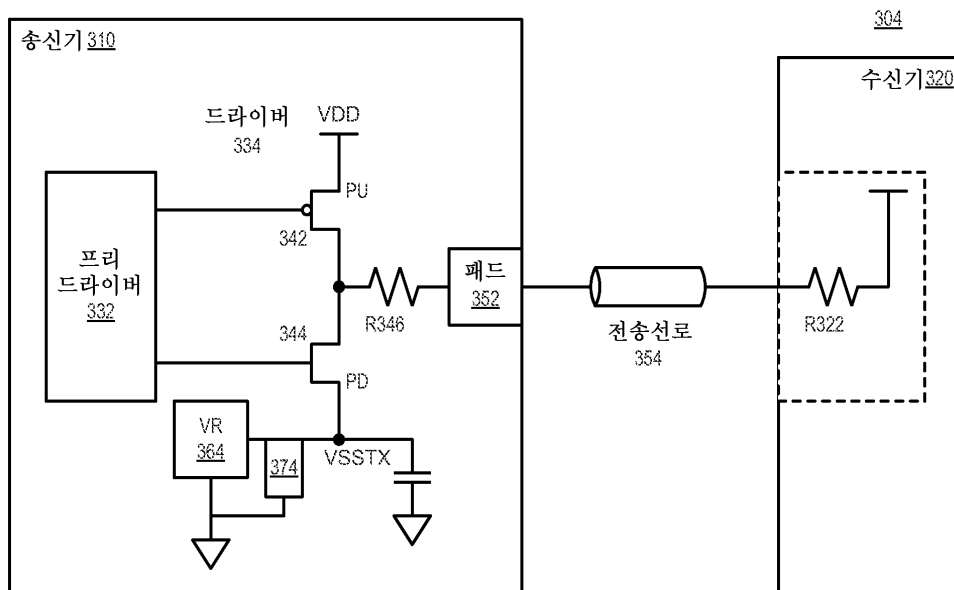
도면2



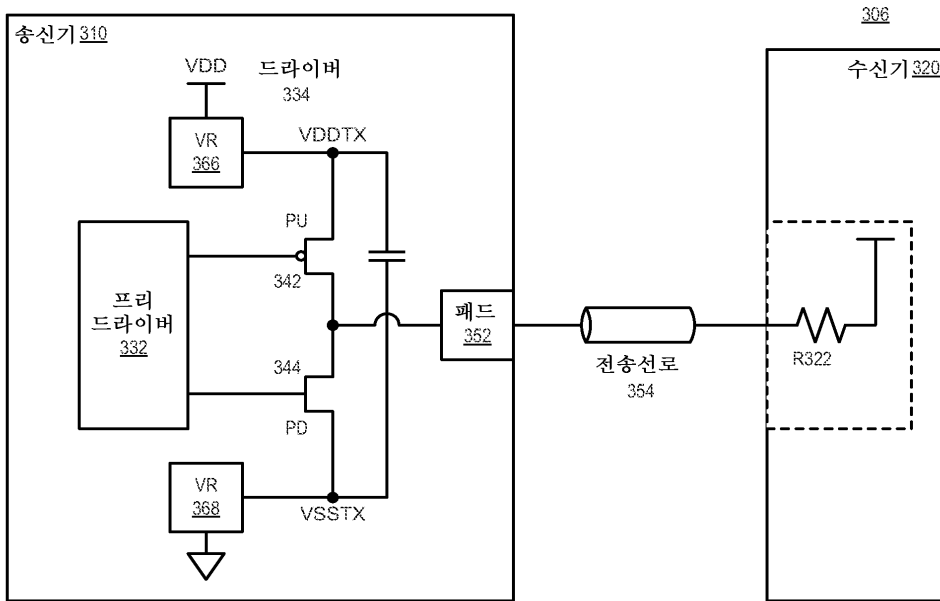
도면3a



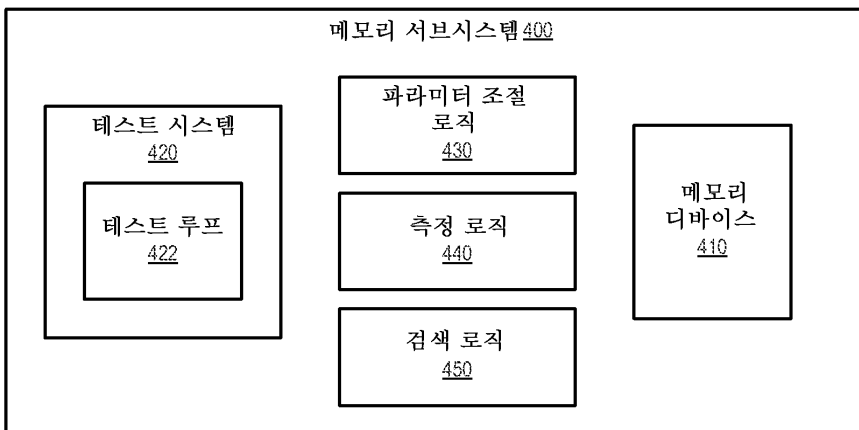
도면3b



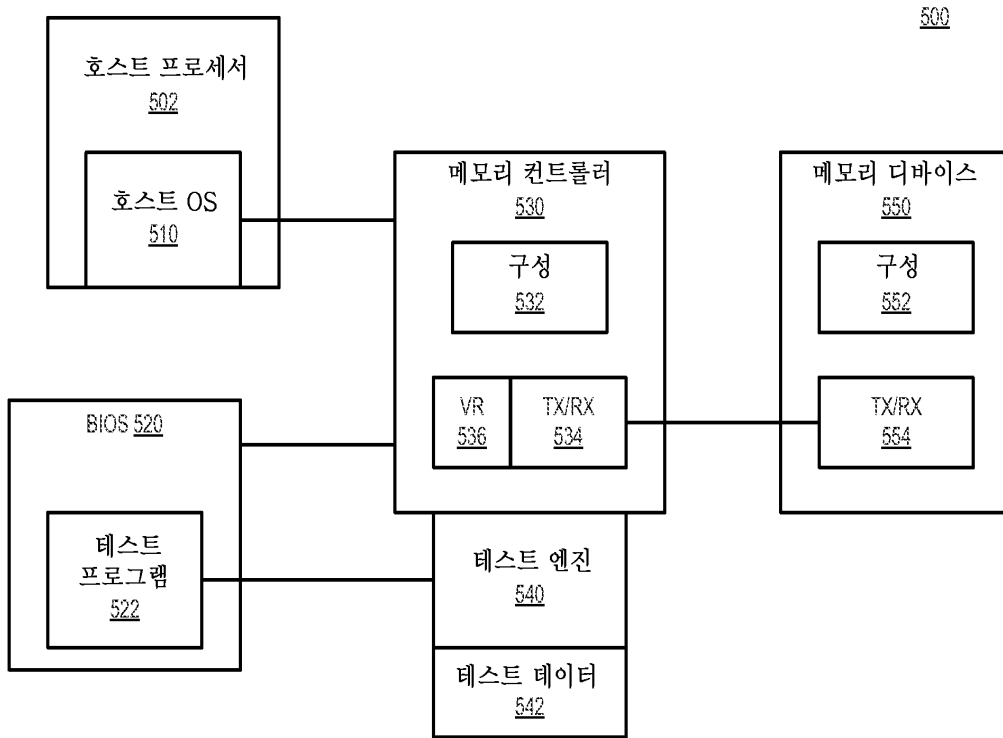
도면3c



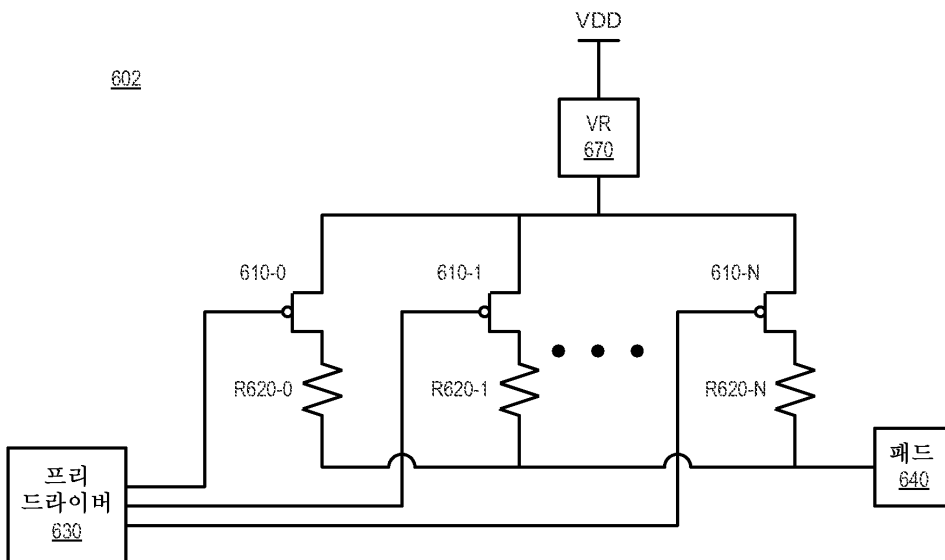
도면4



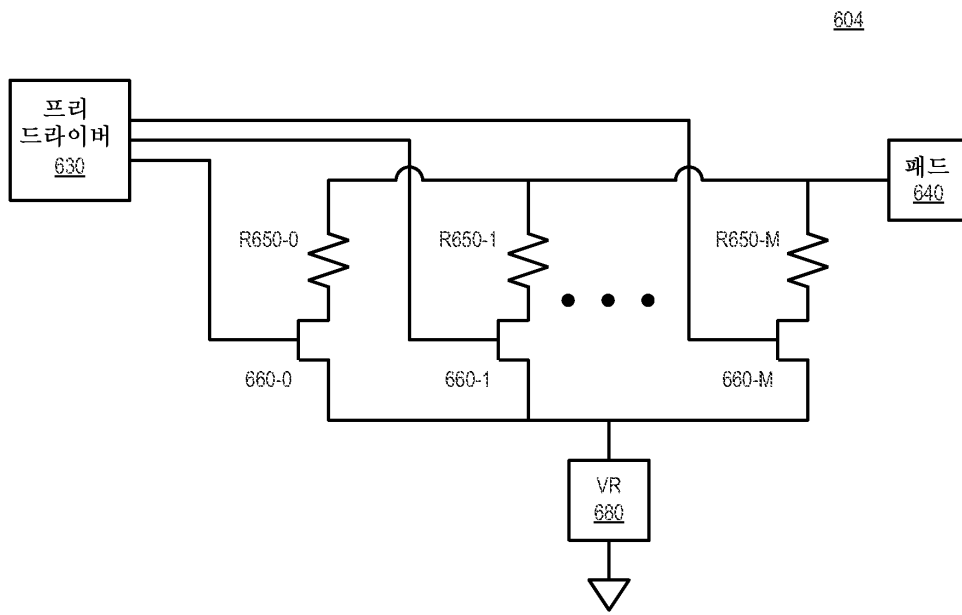
도면5



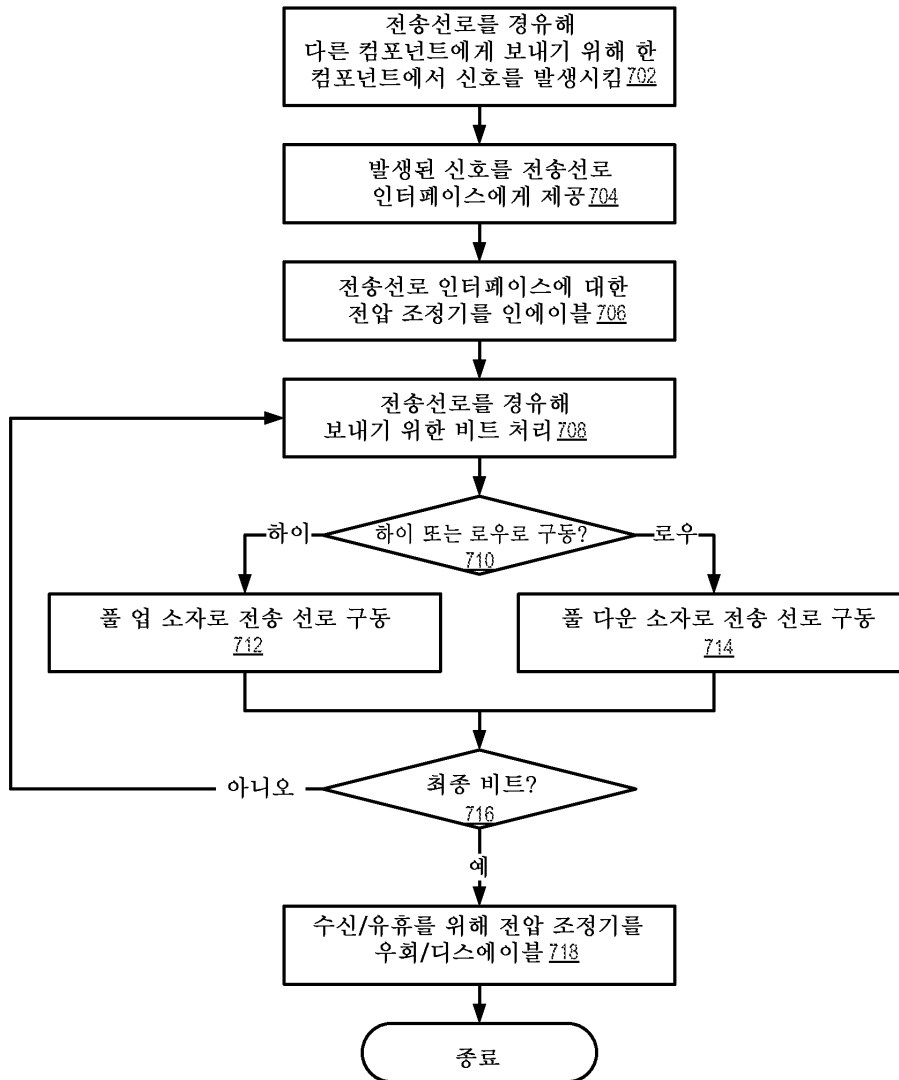
도면6a



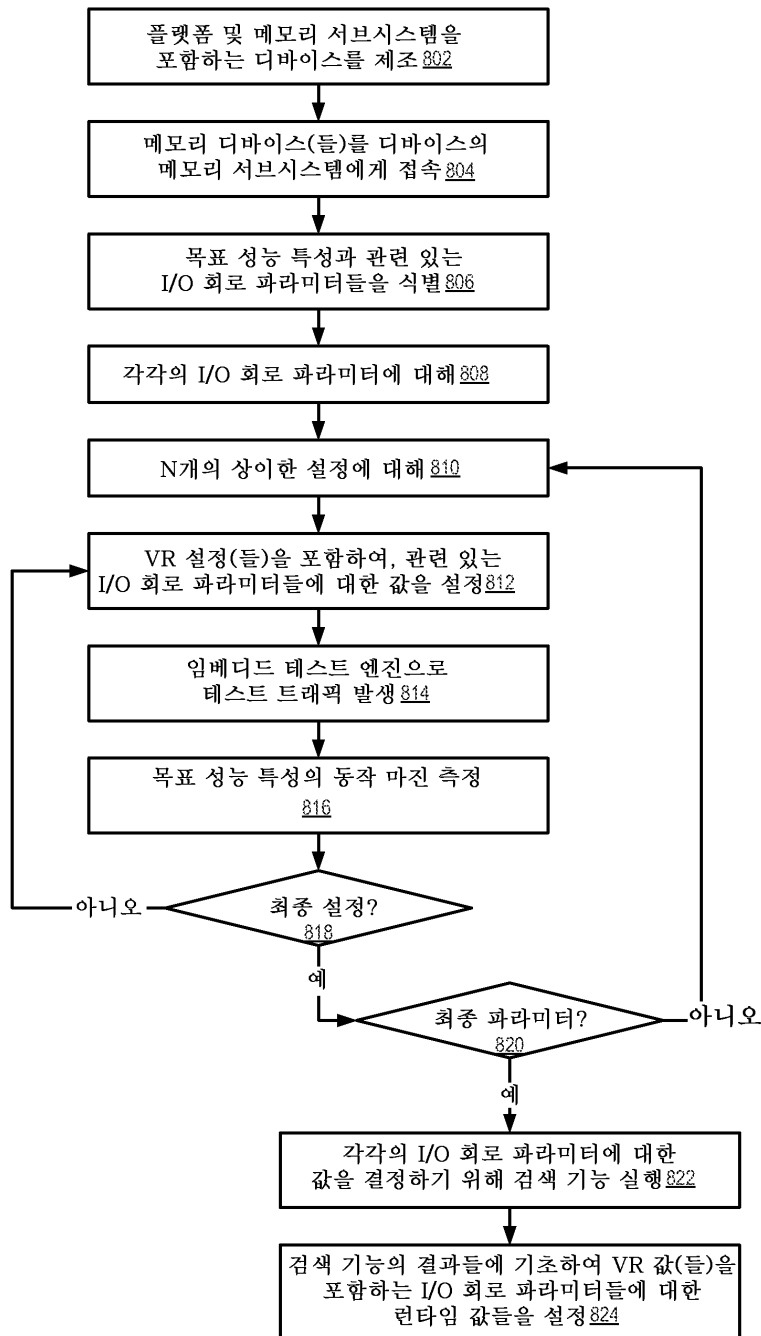
도면6b



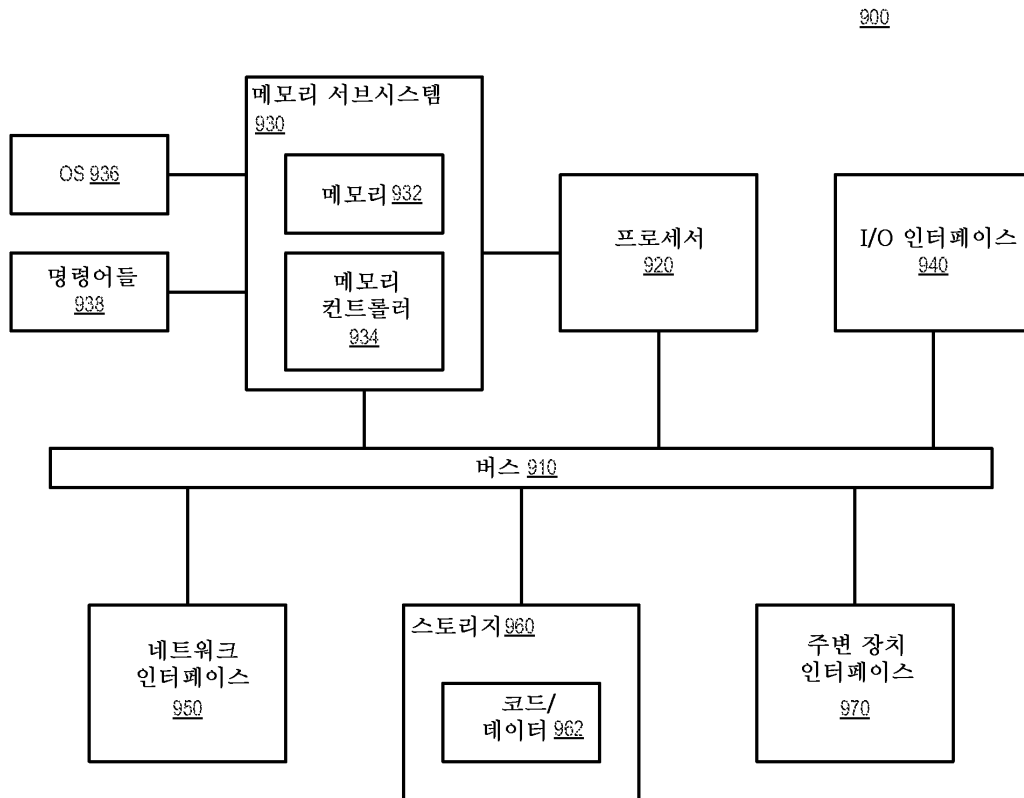
도면7



도면8



도면9



도면10

