



(12) 发明专利申请

(10) 申请公布号 CN 118339765 A

(43) 申请公布日 2024. 07. 12

(21) 申请号 202280078730.6

(22) 申请日 2022.11.29

(30) 优先权数据

17/537,358 2021.11.29 US

(85) PCT国际申请进入国家阶段日

2024.05.28

(86) PCT国际申请的申请数据

PCT/US2022/051158 2022.11.29

(87) PCT国际申请的公布数据

W02023/097099 EN 2023.06.01

(71) 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 A·沙玛

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245

专利代理师 李英

(51) Int.Cl.

H03F 3/45 (2006.01)

H03F 3/50 (2006.01)

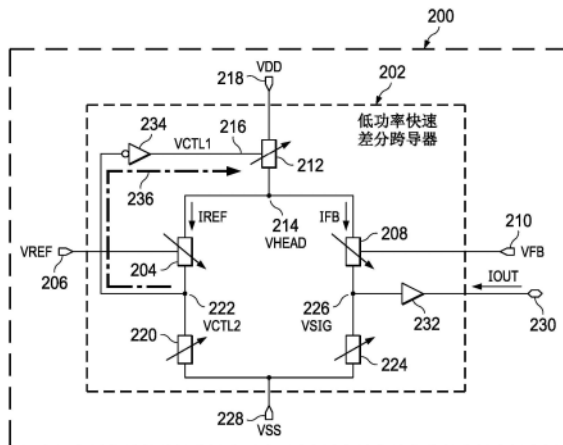
权利要求书2页 说明书15页 附图9页

(54) 发明名称

具有改善的摆动性能和低静态电流的跨导器

(57) 摘要

一种半导体器件(200)包括低功率快速差分跨导器(202),其提供作为参考电势输入(206)和反馈电势输入(210)之间的差的函数的输出电流。跨导随着参考电势和反馈电势之间的差的绝对值的增大而增大。跨导器(202)包括用于接收参考电势的参考输入级(204)和与参考输入级(204)串联耦合的参考负载(220)。跨导器(202)包括用于接收反馈电势的反馈输入级(208)和与反馈输入级串联耦合的反馈负载(224)。跨导器(202)进一步包括电流限制部件(212),其被配置为控制通过参考输入级(204)和反馈输入级(208)的总电流。跨导器(202)包括从参考负载(220)到电流限制部件(212)的负反馈路径(236),其补偿由于参考电势和反馈电势之间的差而引起的总电流的改变。



1. 一种包括跨导器的半导体器件,包括:
参考输入级,其被配置为接收参考电势;
反馈输入级,其被配置为接收反馈电势;
电流限制部件,其被配置为控制通过所述参考输入级和所述反馈输入级的总电流;
参考负载,其与所述参考输入级串联耦合;
反馈负载,其与所述反馈输入级串联耦合;
输出电流端子,其通过输出缓冲器耦合到所述反馈负载,被配置为提供输出电流,所述输出电流是所述参考电势和所述反馈电势之间的差的函数;以及
从所述参考负载到所述电流限制部件的负反馈回路,其被配置为补偿由于所述参考电势和所述反馈电势之间的差而引起的所述总电流的改变,所述参考电势和所述反馈电势之间的所述差是所述参考电势减去所述反馈电势。
2. 根据权利要求1所述的半导体器件,其中,所述跨导器的跨导随着所述参考电势和所述反馈电势之间的所述差的绝对值的增大而增大。
3. 根据权利要求1所述的半导体器件,其中,所述跨导器被配置为提供具有汇输出功能的所述输出电流,其中,通过控制连接在所述半导体器件的所述输出电流端子和接地端子之间的输出驱动器来控制所述输出电流。
4. 根据权利要求1所述的半导体器件,其中,所述跨导器被配置为提供具有源输出功能的所述输出电流,其中,通过控制连接在所述半导体器件的所述输出电流端子和电源端子之间的输出驱动器来控制所述输出电流。
5. 根据权利要求1所述的半导体器件,其中,所述跨导器被配置为提供具有双向输出功能的所述输出电流,其中,通过控制连接在所述半导体器件的所述输出电流端子和电源端子之间的输出驱动器,并且通过控制连接在所述半导体器件的所述输出电流端子和接地端子之间的另一个输出驱动器来控制所述输出电流。
6. 根据权利要求1所述的半导体器件,其中,所述跨导器被配置为提供所述输出电流的互补极性,因此当所述参考电势和所述反馈电势之间的所述差增大时,所述输出电流减小,并且当所述参考电势和所述反馈电势之间的所述差减小时,所述输出电流增大。
7. 根据权利要求1所述的半导体器件,其中,所述跨导器被配置为提供所述输出电流的非互补极性,因此当所述参考电势和所述反馈电势之间的所述差增大时,所述输出电流增大,并且当所述参考电势和所述反馈电势之间所述差减小时,所述输出电流减小。
8. 根据权利要求1所述的半导体器件,其中,所述电流限制部件包括n沟道场效应晶体管NFET。
9. 根据权利要求1所述的半导体器件,其中,所述电流限制部件包括p沟道场效应晶体管PFET。
10. 根据权利要求1所述的半导体器件,其中,所述参考负载包括NFET。
11. 根据权利要求1所述的半导体器件,其中,所述反馈负载包括NFET。
12. 根据权利要求1所述的半导体器件,其中,所述负反馈回路包括反相缓冲器。
13. 根据权利要求12所述的半导体器件,其中,所述反相缓冲器包括与控制驱动器串联耦合的控制负载。
14. 根据权利要求13所述的半导体器件,其中,所述控制驱动器连接到所述参考负载和

所述参考输入级。

15. 根据权利要求13所述的半导体器件, 其中, 所述电流限制部件连接到所述控制负载和所述控制驱动器。

16. 根据权利要求13所述的半导体器件, 其中, 所述控制负载被实施为PFET, 并且所述控制驱动器被实施为NFET。

17. 根据权利要求1所述的半导体器件, 进一步包括与所述电流限制部件串联耦合的电流传感器。

18. 根据权利要求1所述的半导体器件, 进一步包括:

第一电阻器, 其串联耦合在所述电流限制部件和所述参考输入级之间; 以及

第二电阻器, 其串联耦合在所述电流限制部件和所述反馈输入级之间。

19. 根据权利要求1所述的半导体器件, 其中所述输出缓冲器包括放大器, 所述放大器被配置为提供放大的跨导。

20. 根据权利要求1所述的半导体器件, 其中:

所述参考输入级是第一参考输入级;

所述反馈输入级是第一反馈输入级;

所述电流限制部件是第一电流限制部件;

所述参考负载是第一参考负载;

所述反馈负载是第一反馈负载;

所述输出缓冲器是第一输出缓冲器;

所述负反馈回路是第一负反馈回路; 并且

所述总电流是第一总电流;

并且进一步包括:

第二参考输入级, 其被配置为接收所述参考电势;

第二反馈输入级, 其被配置为接收所述反馈电势;

第二电流限制部件, 其被配置为控制通过所述第二参考输入级和所述第二反馈输入级的总电流;

第二参考负载, 其与所述第二参考输入级串联耦合;

第二反馈负载, 其与所述第二反馈输入级串联耦合;

第二输出缓冲器, 其耦合在所述第二反馈负载和所述电流输出电流端子之间; 以及

从所述第二参考负载到所述第二电流限制部件的第二负反馈回路, 其被配置为补偿由于所述参考电势和所述反馈电势之间的所述差而引起的经过所述第二参考输入级和所述第二反馈输入级的第二总电流的改变。

具有改善的摆动性能和低静态电流的跨导器

技术领域

[0001] 本说明书涉及半导体器件领域。更具体地,但不排他地,本说明书涉及半导体器件中的跨导器。

背景技术

[0002] 差分跨导器提供输出电流,该输出电流是两个电压输入之间的差的近似线性函数。例如,差分跨导器用于电压调节器、滤波器和放大器。差分跨导器的两个重要性能参数是摆率和静态电流。摆率是当两个电压输入不同时输出电流的度量。静态电流是当两个电压输入相等时差分跨导器消耗的电流的度量。

发明内容

[0003] 本说明书描述了一种半导体器件,其包括低功率快速差分跨导器,在本文中称为跨导器。跨导器包括被配置为接收参考电势的参考输入级和与参考输入级串联耦合的参考负载。跨导器包括被配置为接收反馈电势的反馈输入级和与反馈输入级串联耦合的反馈负载。跨导器进一步包括电流限制部件,该电流限制部件被配置为控制通过参考输入级和反馈输入级的总电流。跨导器包括输出电流端子,该输出电流端子被配置为提供作为参考电势和反馈电势之间的差的函数的输出电流。跨导器包括从参考负载到电流限制部件的负反馈路径,该负反馈路径被配置为补偿当参考电势不同于反馈电势时的总电流的改变。跨导,即输出电流端子处的输出电流的改变与参考电势和反馈电势之间的差的改变的比率,随着参考电势和反馈电势之间差的绝对值的增大而增大。

附图说明

[0004] 图1是描绘示例跨导器的跨导和输出电流与参考电势和反馈电势之间差的关系的图表。

[0005] 图2是包括示例跨导器的半导体器件的概念示意图。

[0006] 图3是示例跨导器的电路示意图。

[0007] 图4是另一个示例跨导器的电路示意图。

[0008] 图5是另一个示例跨导器的电路示意图。

[0009] 图6是另一个示例跨导器的电路示意图。

[0010] 图7是另一个示例跨导器的电路示意图。

[0011] 图8是另一个示例跨导器的电路示意图。

[0012] 图9是另一个示例跨导器的电路示意图。

具体实施方式

[0013] 附图不一定按比例绘制。本说明书不受图示的行为或事件的顺序的限制,因为一些行为或事件可以以不同的顺序和/或与其他行为或事件同时发生。此外,一些图示的行为

或事件是可选的。

[0014] 尽管本文中图示的一些示例以二维视图示出,其中各个区域具有深度和宽度,但这些区域可以图示实际上是三维结构的器件的一部分。因此,当在实际器件上制造时,这些区域具有三个维度,包括长度、宽度和深度。

[0015] 跨导器包括被配置为接收参考电势的参考输入级和被配置为接收反馈电势的反馈输入级。电流限制部件控制通过参考输入级和反馈输入级的总电流。参考负载与参考输入级串联耦合,并且反馈负载与反馈输入级串联耦合。输出电流节点被配置为提供输出电流。通过从参考负载到电流限制部件的负反馈路径来实现增大的跨导,该负反馈路径被配置为补偿当参考电势不同于反馈电势时的总电流的改变。使电流限制部件与参考输入级和反馈输入级串联导致当反馈电势等于参考电势时跨导器汲取更少的功率,与具有带正反馈回路的跨导器的半导体器件相比,这可以有利地减少半导体器件的静态电流。该跨导器的另一个优点是摆动电流,当反馈电势不同于参考电势时该摆动电流是输出电流,当反馈电势等于参考电势时不存在摆动电流,这可以进一步减少静态电流。

[0016] 在一些示例中,跨导器可以提供汇输出功能,其中通过控制连接在半导体器件的输出节点和接地端子之间的输出驱动器来控制输出电流。在一些示例中,跨导器可以提供源输出功能,其中通过控制连接在半导体器件的输出节点和电源端子之间的输出驱动器来控制输出电流。在一些示例中,跨导器可以提供双向输出功能,其中通过控制连接在半导体器件的输出节点和电源端子之间的输出驱动器,并且通过控制连接在半导体器件的输出节点和接地端子之间的另一个输出驱动器来控制输出电流。在一些示例中,跨导器可以提供输出电流的互补极性,其中当参考电势和反馈电势之间的差增大时,输出电流减小,反之亦然。为了本说明书的目的,参考电势和反馈电势之间的差被定义为参考电势减去反馈电势。在一些示例中,跨导器可以提供输出电流的非互补极性,其中当参考电势和反馈电势之间的差增大时,输出电流增大,反之亦然。

[0017] 为了本说明书的目的,如果一个部件被描述为“连接”或“耦合”到另一个部件,则它可以直接连接或直接耦合到另一个元件,或者可能存在介入部件。在任何一种情况下,耦合或连接在一起的部件能够在耦合或连接的部件之间具有直流(DC)导电性。如果一个部件被称为“直接耦合”或“直接连接”到另一个部件,则不存在其他有意设置的介入部件,可能的例外是电导体,诸如半导体器件的金属互连件。除非有特别说明,否则它们之间不能进行DC导电,但可能受到互感或电容效应影响的部件不认为是耦合或连接的。

[0018] 本文描述了跨导器的各种部件的操作特性,诸如电流。所描述的部件的操作特性发生在半导体器件的操作期间,并且当半导体器件不操作时不期望表现出来。

[0019] 图1是描绘示例跨导器的跨导和输出电流与参考电势和反馈电势之间差的关系的图表。在图表100中,水平轴线是参考电势和反馈电势之间的差。参考电势和反馈电势之间的差可以例如以毫伏来表达。左垂直轴线102是跨导。跨导可以例如以西门子(siemens)为单位来表达,其为安培/伏特。在某些情况下,跨导可以以毫西门子为单位来表达;在其他情况下,跨导可以以微西门子为单位来表达。对于在5毫伏内的参考电势和反馈电势之间的差,跨导曲线104在近似0毫伏的值处具有最小值。对于参考电势和反馈电势之间的差的正值和负值,跨导曲线104都是向上凹的,与具有平坦或向下弯曲的跨导曲线的跨导器相比,这有利地提供更多的电流以减少耦合到跨导器的电路的恢复时间。在该示例中,所有的跨

导值都是正的。

[0020] 右垂直轴线106是输出电流。例如,在某些情况下,输出电流可以以微安为单位来表达,在其他情况下,可以以毫安为单位来表达。在该示例中,输出电流曲线108对于参考电势和反馈电势之间的差的正值是向上凹的,并且对于差的负值是向下凹的,与全部为正的跨导值一致。

[0021] 图2是包括示例跨导器的半导体器件的概念示意图。例如,半导体器件200可以被实施为电压调节器、高速放大器或滤波器。跨导器202包括参考输入级204,其被配置为在参考输入端口206处接收参考电势(在图2中标记为“VREF”)。跨导器202包括反馈输入级208,其被配置为在反馈输入端口210处接收反馈电势(在图2中标记为“VFB”)。在该示例中,参考输入级204具有负跨导,其中增大参考电势VREF减少通过参考输入级204的电流,反之亦然。类似地,反馈输入级208具有负跨导,其中增大反馈电势VFB减少通过反馈输入级206的电流,反之亦然。

[0022] 跨导器202包括在分支节点214处与参考输入级204和反馈输入级208串联耦合的电流限制部件212。参考输入级204和反馈输入级208处于并联电流路径中,如图2所示。电流限制部件212具有电流控制节点216。在半导体器件200的操作期间,通过电流限制部件212的电流由电流控制节点216上的第一控制电势(在图2中标记为“VCTL1”)调节。该示例的电流限制部件212具有正跨导,其中增大电流控制节点216上的第一控制电势VCTL1增大通过电流限制部件212的电流,反之亦然。电流限制部件212与到参考输入级204和反馈输入级208的连接相反地耦合到电源端子218。电源端子218被配置为在正电源电势(在图2中标记为“VDD”)下向跨导器202提供电流,使得电流从电源端子218通过电流限制部件212流动到参考输入级204和反馈输入级208。通过电流限制部件212的电流分为通过参考输入级204的参考电流(在图2中标记为“IREF”)和通过反馈输入级208的反馈电流(在图2中标记为“IFB”)。

[0023] 跨导器202包括通过控制信号节点222连接到参考输入级204的参考负载220。参考电流IREF流动通过参考输入级204、控制信号节点222和参考负载220。参考负载220可以具有阻抗,其作为通过参考负载220的参考电流IREF的函数而变化,如图2示意性指示的,使得在控制信号节点222处的第二控制电势(在图2中标记为“VCTL2”)是参考电流IREF的函数。

[0024] 跨导器202包括通过输出信号节点226连接到反馈输入级208的反馈负载224。通过反馈输入级208的反馈电流IFB流动通过输出信号节点226和反馈负载224。反馈负载224可以具有作为通过反馈负载224的反馈电流IFB的函数而变化的阻抗,如图2示意性指示的,使得控制信号节点222处的输出信号电势(在图2中标记为“VSIG”)是反馈电流IFB的函数。

[0025] 参考负载220和反馈负载224与分别到参考输入级204和反馈输入级208的连接相反地连接到接地端子228。接地端子228被配置为在接地电势(在图2中标记为“VSS”)下接收电流。参考电流IREF和反馈电流IFB流动到接地端子228。

[0026] 跨导器202包括通过输出缓冲器232耦合到输出信号节点226的输出电流端子230。输出缓冲器232将输出信号节点226处的输出信号电势VSIG转换为输出电流(在图2中标记为“IOUT”),该输出电流流动通过输出电流端子230。

[0027] 控制信号节点222通过反相控制缓冲器234耦合到电流限制部件212的电流控制节点216,如图2所指示的,使得第一控制电势VCTL1与第二控制电势VCTL2具有负相关。通过反

相控制缓冲器234将控制信号节点222耦合到电流控制节点216提供了负反馈路径236,其补偿当反馈电流IFB由于反馈电势VFB的变化而改变时在分支节点214处的头部电势(在图2中标记为“VHEAD”)的变化。在半导体器件200的操作期间,当反馈电势VFB减小时,由于反馈输入级208的负跨导,反馈输入级208的阻抗减小,并且反馈电流IFB增大,导致输出信号电势VSIG增大,从而导致输出电流IOUT增大。因为反馈输入级208的阻抗减小,所以头部电势VHEAD减小,导致参考电流VREF减小,导致第二控制电势VCTL2减小。反相控制缓冲器234增大第一控制电势VCTL1,这降低了电流限制部件212的阻抗,从而进一步增大反馈电流IFB并进一步增大输出电流IOUT,这增大了跨导器202的跨导。相反地,当反馈电势VFB增大时,反馈输入级208的阻抗增大,并且反馈电流IFB减小,导致输出信号电势VSIG减小,从而导致输出电流IOUT减小。第二控制电势VCTL2增大,并且反相控制缓冲器234减小第一控制电势VCTL1,这增大了电流限制部件212的阻抗,从而进一步减小反馈电流IFB并且进一步减小输出电流IOUT,这增大跨导器202的跨导。因此,当反馈电势VFB不同于参考电势VREF时,负反馈路径236提供了跨导器202的增大的跨导。

[0028] 图3是示例跨导器的电路示意图。跨导器302包括参考输入级304,其被配置为在参考输入端口306处接收参考电势(在图3中标记为“VREF”)。跨导器302包括反馈输入级308,其被配置为在反馈输入端口310处接收反馈电势(在图3中标记为“VFB”)。在该示例中,参考输入级304和反馈输入级308可以被实施为具有负跨导的p沟道场效应晶体管(PFET)。

[0029] 跨导器302包括电流限制部件312,其在分支节点314处与处于并联电流路径中的参考输入级304和反馈输入级308串联耦合,如图3所示。在该示例中,电流限制部件312可以被实施为具有正跨导的n沟道场效应晶体管(NFET)。电流限制部件312具有电流控制节点316,在跨导器302的操作期间,该电流控制节点316具有第一控制电势(在图3中标记为“VCTL1”)。电流限制部件312耦合到电源端子318,该电源端子318被配置为在正电源电势(在图3中标记为“VDD”)下向跨导器302提供电流。电流从电源端子318流动通过电流限制部件312,并分为通过参考输入级304的参考电流(在图3中标记为“IREF”)和通过反馈输入级308的反馈电流(在图3中标记为“IFB”)。

[0030] 跨导器302包括通过输出信号节点326连接到反馈输入级308的反馈负载324。在该示例中,反馈负载324可以被实施为NFET,该NFET被配置为NMOS二极管,其中NMOS二极管的栅极直接连接到NMOS二极管的漏极,如图3所指示的。输出信号节点326处的输出信号电势(在图3中标记为“VSIG”),等于由于反馈电流IFB引起的反馈负载324两端的电压降。

[0031] 跨导器302包括通过控制信号节点322连接到参考输入级304的参考负载320。在该示例中,参考负载320可以被实施为NFET。参考负载320的栅极可以连接到NMOS偏置端子338,该NMOS偏置端子338被配置为向参考负载320的栅极提供NMOS偏置电势(在图3中标记为“NBIAS”)。NMOS偏置电势NBIAS可以高于参考负载320的阈值电势,但显著低于饱和电势,使得参考负载320以线性模式操作。控制信号节点322处的第二控制电势(在图3中标记为“VCTL2”),等于由于参考电流IREF引起的参考负载320两端的电压降。

[0032] 参考负载320和反馈负载324连接到接地端子328,该接地端子328被配置为在接地电势(在图3中标记为“VSS”)下接收电流。参考电流IREF和反馈电流IFB流动到接地端子328。

[0033] 跨导器302包括通过输出缓冲器332耦合到输出信号节点326的输出电流端子330。

输出缓冲器332将输出信号节点326处的输出信号电势VSIG转换为输出电流(在图3中标记为“IOUT”),该输出电流流动通过输出电流端子330。在该示例中,输出缓冲器332包括串联耦合的输出负载340(在该示例中被实施为PFET)和输出驱动器342(在该示例中被实施为NFET),其中输出信号节点326连接到输出负载340的漏极和输出驱动器342的漏极。输出负载340的栅极连接到PMOS偏置端子344,该PMOS偏置端子344被配置为将PMOS偏置电势(在图3中标记为“PBIAS”)提供到输出负载340的栅极。PMOS偏置电势PBIAS可以低于输出负载340的阈值电势,但显著高于饱和电势,使得输出负载340以线性模式操作。输出驱动器342的栅极连接到输出信号节点326。输出负载340的源极连接到电源端子318。输出驱动器342的源极连接到接地端子328。该示例的输出缓冲器332提供具有用于输出电流IOUT的互补极性的汇(sunk)输出功能。

[0034] 控制信号节点322通过反相控制缓冲器334连接到电流限制部件312的电流控制节点316,如图3所指示的,使得第一控制电势VCTL1与第二控制电势VCTL2具有负相关。在该示例中,反相控制缓冲器334包括串联耦合的控制负载346(在该示例中被实施为PFET)和控制驱动器348(在该示例中被实施为NFET),其中控制信号节点322连接到控制负载346的漏极和控制驱动器348的漏极。控制负载346的栅极连接到PMOS偏置端子344。控制驱动器348的栅极连接到控制信号节点322。控制负载346的源极连接到电源端子318。控制驱动器348的源极连接到接地端子328。通过反相控制缓冲器334将控制信号节点322耦合到电流控制节点316提供了负反馈路径336,其减少了当反馈电流IFB由于反馈电势VFB的变化而改变时在分支节点314处的头部电势(在图3中标记为“VHEAD”)的变化。

[0035] 跨导器302的操作如针对图2的跨导器202所述那样进行。随着反馈电势VFB和参考电势VREF之间的差的绝对值增大,跨导器302可以提供期望的跨导增大。此外,由于负反馈路径336的实施,与更复杂的跨导器相比,该示例的跨导器302可以具有更小的面积,从而有利地使得包含跨导器302的半导体器件300能够实现更小的面积。

[0036] 图4是另一个示例跨导器的电路示意图。跨导器402包括参考输入级404,其被配置为在参考输入端口406处接收参考电势(在图4中标记为“VREF”)。跨导器402包括反馈输入级408,其被配置为在反馈输入端口410处接收反馈电势(在图4中标记为“VFB”)。在该示例中,参考输入级404和反馈输入级408可以被实施为PFET,如图4所指示的。

[0037] 跨导器402包括电流限制部件412(如图4所指示的,在该示例中被实施为NFET),其在分支节点414处与参考输入级404和反馈输入级408串联耦合。电流限制部件412具有电流控制节点416,在跨导器402的操作期间,该电流控制节点416具有第一控制电势(在图4中标记为“VCTL1”)。电流限制部件412耦合到电源端子418,该电源端子418被配置为在正电源电势(在图4中标记为“VDD”)下向跨导器402提供电流。

[0038] 跨导器402包括反馈负载424(在该示例中被实施为NMOS二极管),其通过输出信号节点426连接到反馈输入级408。输出信号节点426处的输出信号电势(在图4中标记为“VSIG”)等于由于反馈电流IFB引起的反馈负载424两端的电压降。

[0039] 跨导器402包括参考负载420(在该示例中被实施为NFET),其通过控制信号节点422连接到参考输入级404。参考负载420的栅极可以连接到NMOS偏置端子438。控制信号节点422处的第二控制电势(在图4中标记为“VCTL2”)等于由于参考电流IREF引起的参考负载420两端的电压降。参考负载420和反馈负载424连接到接地端子428,该接地端子428被配置

为在接地电势(在图4中标记为“VSS”)下接收电流。

[0040] 在包含跨导器402的半导体器件400的操作期间,电流从电源端子418流动通过电流限制部件412,并在分支节点414处分为通过参考输入级404的参考电流(在图4中标记为“IREF”)和通过反馈输入级408的反馈电流(在图2中标记为“IFB”)。参考电流IREF通过控制信号节点422和参考负载420流动到接地端子428。反馈电流IFB通过输出信号节点426和反馈负载424流动到接地端子428。

[0041] 控制信号节点422通过反相控制缓冲器434耦合到电流限制部件412的电流控制节点416,如图4所指示的,使得第一控制电势VCTL1与第二控制电势VCTL2具有负相关。在该示例中,反相控制缓冲器434包括串联耦合的控制负载446(在该示例中被实施为PFET)和控制驱动器448(在该示例中被实施为NFET),其中控制信号节点422连接到控制负载446的漏极和控制驱动器448的漏极。控制负载446的栅极连接到PMOS偏置端子444。控制驱动器448的栅极连接到控制信号节点422。控制负载446的源极连接到电源端子418。控制驱动器448的源极连接到接地端子428。通过反相控制缓冲器434将控制信号节点422耦合到电流控制节点416提供了负反馈路径436,其减少了当反馈电流IFB由于反馈电势VFB的变化而改变时在分支节点414处的头部电势(图4中标记为“VHEAD”)的变化。

[0042] 跨导器402包括通过输出缓冲器432耦合到输出信号节点426的输出电流端子430。输出缓冲器432将输出信号节点426处的输出信号电势VSIG转换为输出电流(在图4中标记为“IOUT”),该输出电流流动通过输出电流端子430。在该示例中,输出缓冲器432包括两个并联的电流路径以提供放大的跨导。

[0043] 输出缓冲器432的第一电流路径包括串联耦合的第一电阻器450a(在图4中标记为“R1”)、第一输出负载440a(在该示例中被实施为PFET),以及第一输出驱动器442a(在该示例中被实施为NFET)。第一电阻器450a的第一端子连接到电源端子418。第一输出负载440a的源极连接到第一电阻器R1 450a的第二端子。第一输出驱动器442a的源极连接到接地端子428。

[0044] 输出缓冲器432的第二电流路径包括串联耦合的第二电阻器450b(在图4中标记为“R2”)、第二输出负载440b(在该示例中被实施为PFET),以及第二输出驱动器442b(在该示例中被实施为NFET)。第二电阻器450b的第一端子连接到电源端子418。第二输出负载440b的源极连接到第二电阻器R2 450b的第二端子。第二输出驱动器442b的源极连接到接地端子428。

[0045] 第一输出负载440a和第二输出负载440b的栅极连接到第一输出负载440的漏极;第一输出负载440a因此操作为PMOS二极管。第一输出驱动器442a和第二输出驱动器442b的栅极连接到输出信号节点426。第一电阻器R1 450a、第二电阻器R2 450b、第一输出负载440a、第二输出负载440b、第一输出驱动器442a和第二输出驱动器442b提供输出缓冲器432的放大器,该放大器被配置为提供放大的跨导。

[0046] 输出缓冲器432包括输出级452(在该示例中被实施为PMOS源极跟随器)。输出级452的源极连接到第一输出负载440a的源极。输出级452的栅极连接到第二输出驱动器442b的漏极。输出级452的漏极连接到输出电流端子430。

[0047] 跨导器402的操作类似于图3的跨导器302的操作,直到在图3的输出信号节点326处生成输出信号电势VSIG。输出缓冲器432将输出信号节点426处的输出信号电势VSIG放大

近似等于第二电阻器450b的电阻与第一电阻器450a的电阻之比的因子。因此,参考输入级404、反馈输入级408、参考负载420和反馈负载424的固有跨导被放大近似等于第二电阻器450b的电阻与第一电阻器450a的电阻之比的因子,使得跨导器402能够驱动输出信号节点426处的更大负载。跨导器402的静态电流低于具有等效跨导值的可比较跨导器,这是因为当反馈电势VFB等于参考电势VREF时,跨导器402没有汲取摆动电流。

[0048] 该示例的输出缓冲器432提供具有用于输出电流IOUT的互补极性的源输出功能。源输出功能对于连接到输出信号节点326的接地负载可能是有利的。具有放大的跨导的跨导器402对于驱动在包含跨导器402的半导体器件400外部的电容器可能是特别有利的。

[0049] 图5是另一个示例跨导器的电路示意图。跨导器502包括参考输入级504,其被配置为在参考输入端口506处接收参考电势(在图5中标记为“VREF”)。跨导器502包括反馈输入级508,其被配置为在反馈输入端口510处接收反馈电势(在图5中标记为“VFB”)。在该示例中,参考输入级504和反馈输入级508可以被实施为PFET,如图5所指示的。

[0050] 跨导器502包括电流限制部件512(如图5所指示的,在该示例中被实施为NFET),其在分支节点514处与参考输入级504和反馈输入级508串联耦合。电流限制部件512具有电流控制节点516,在跨导器502的操作期间,该电流控制节点516具有第一控制电势(在图5中标记为“VCTL1”)。

[0051] 该示例的跨导器502包括与电流限制部件512串联耦合的电流传感器554。在该示例中,电流传感器554被实施为PFET。电流传感器554的漏极连接到电流传感器554的栅极和电流限制部件512的漏极。电流传感器554的源极连接到电源端子518,该电源端子518被配置为在正电源电势(在图5中标记为“VDD”)下向跨导器502提供电流。因此,该示例的电流传感器554被配置为PMOS二极管。在该示例中,电流传感器554的栅极提供输出信号节点526,在跨导器502的操作期间,该输出信号节点526具有输出信号电势(在图5中标记为“VSIG”)。

[0052] 跨导器502包括参考负载520(在该示例中被实施为NFET),其通过控制信号节点522连接到参考输入级504。参考负载520的栅极可以连接到NMOS偏置端子538。

[0053] 跨导器502包括反馈负载524(在该示例中被实施为NMOS二极管)。反馈负载524的漏极连接到反馈输入级508。参考负载520和反馈负载524连接到接地端子528,该接地端子528被配置为在接地电势(在图5中标记为“VSS”)下接收电流。

[0054] 电流从电源端子518流动通过电流传感器554,通过电流限制部件512,并在分支节点514处分为通过参考输入级504的参考电流(在图5中标记为“IREF”)和通过反馈输入级508的反馈电流(在图5中标记为“IFB”)。参考电流IREF通过控制信号节点522和参考负载520流动到接地端子528。控制信号节点522处的第二控制电势(在图5中标记为“VCTL2”)等于由于参考电流IREF引起的参考负载520两端的电压降。反馈电流IFB通过反馈负载524流动到接地端子528。

[0055] 控制信号节点522通过反相控制缓冲器534耦合到电流限制部件512的电流控制节点516,如图5所指示的,使得第一控制电势VCTL1与第二控制电势VCTL2具有负相关。在该示例中,反相控制缓冲器534包括串联耦合的控制负载546(在该示例中被实施为PFET)和控制驱动器548(在该示例中被实施为NFET),其中控制信号节点522连接到控制负载546的漏极和控制驱动器548的漏极。控制负载546的栅极连接到PMOS偏置端子544。控制驱动器548的栅极连接到控制信号节点522。控制负载546的源极连接到电源端子518。控制驱动器548的

源极连接到接地端子528。通过反相控制缓冲器534将控制信号节点522耦合到电流控制节点516提供了负反馈路径536,其减少了当反馈电流IFB由于反馈电势VFB的变化而改变时在分支节点514处的头部电势(在图5中标记为“VHEAD”)的变化。

[0056] 跨导器502包括通过输出缓冲器532耦合到输出信号节点526的输出电流端子530。输出缓冲器532将输出信号节点526处的输出信号电势VSIG转换为输出电流(在图5中标记为“IOUT”),该输出电流流动通过输出电流端子530。在该示例中,输出缓冲器532包括串联耦合的输出负载540(在该示例中被实施为NFET)和输出驱动器542(在该示例中被实施为PFET),其中输出信号节点526连接到输出负载540的漏极和输出驱动器542的漏极。输出负载540的栅极连接到NMOS偏置端子538。输出驱动器542的栅极连接到输出信号节点526。输出负载540的源极连接到接地端子528。输出驱动器542的源极连接到电源端子518。该示例的输出缓冲器532提供具有用于输出电流IOUT的互补极性的源输出功能。跨导器502的操作类似于图3的跨导器302的操作,其中电流传感器554提供输出信号电势VSIG以实现源输出功能。互补极性可以适用于在包含跨导器502的半导体器件500外部的网络。

[0057] 图6是另一个示例跨导器的电路示意图。跨导器602包括参考输入级604和反馈输入级608,该参考输入级604被配置为在参考输入端口606处接收参考电势(在图6中标记为“VREF”),该反馈输入级608被设置为在反馈输入端口610处接收反馈电势(在图6中标记为“VFB”)。在该示例中,参考输入级604和反馈输入级608可以被实施为具有负跨导的PFET。

[0058] 跨导器602包括电流限制部件612,其在分支节点614处与在并联电流路径中的参考输入级604和反馈输入级608串联耦合,如图6所示。在该示例中,电流限制部件612可以被实施为具有正跨导的NFET。电流限制部件612具有电流控制节点616,在跨导器602的操作期间,该电流控制节点616具有第一控制电势(在图6中标记为“VCTL1”)。电流限制部件612耦合到电源端子618,该电源端子618被配置为在正电源电势(在图6中标记为“VDD”)下向跨导器602提供电流。电流从电源端子618流动通过电流限制部件612,并分为通过参考输入级604的参考电流(在图6中标记为“IREF”)和通过反馈输入级608的反馈电流(在图6中标记为“IFB”)。

[0059] 跨导器602包括通过输出信号节点626连接到反馈输入级608的反馈负载624。在该示例中,反馈负载624可以被实施为NMOS二极管,其中NMOS二极管的栅极直接连接到NMOS二极管的漏极,如图6所指示的。输出信号节点626处的输出信号电势(在图6中标记为“VSIG”)等于由于反馈电流IFB引起的反馈负载624两端的电压降。

[0060] 跨导器602包括通过控制信号节点622连接到参考输入级604的参考负载620。在该示例中,参考负载620可以被实施为NFET。参考负载620的栅极可以连接到NMOS偏置端子638。控制信号节点622处的第二控制电势(在图6中标记为“VCTL2”)等于由于参考电流IREF引起的参考负载620两端的电压降。

[0061] 参考负载620和反馈负载624连接到接地端子628,该接地端子628被配置为在接地电势(在图6中标记为“VSS”)下接收电流。参考电流IREF和反馈电流IFB流动到接地端子628。

[0062] 控制信号节点622通过反相控制缓冲器634连接到电流限制部件612的电流控制节点616,如图6所指示的,使得第一控制电势VCTL1与第二控制电势VCTL2具有负相关。在该示例中,反相控制缓冲器634包括串联耦合的控制负载646(在该示例中被实施为PFET)和控制

驱动器648(在该示例中被实施为NFET),其中控制信号节点622连接到控制负载646的漏极和控制驱动器648的漏极。控制负载646的栅极连接到PMOS偏置端子644。控制驱动器648的栅极连接到控制信号节点622。控制负载646的源极连接到电源端子618。控制驱动器648的源极连接到接地端子628。通过反相控制缓冲器634将控制信号节点622耦合到电流控制节点616提供了负反馈路径636,其减少了当反馈电流IFB由于反馈电势VFB的变化而改变时在分支节点614处的头部电势(在图6中标记为“VHEAD”)的变化。

[0063] 跨导器602包括通过输出缓冲器632耦合到输出信号节点626的输出电流端子630。输出缓冲器632将输出信号节点626处的输出信号电势VSIG转换为输出电流(在图6中标记为“IOUT”),该输出电流流动通过输出电流端子630。在该示例中,输出缓冲器632包括与输出电流镜656的输出电流传感器640串联的输出驱动器642(在该示例中被实施为NFET)。输出电流镜656包括连接到输出信号节点626的输出级652。在该示例中,输出电流传感器640和输出级652可以被实施为PFET。输出驱动器642的源极连接到接地端子628。输出电流传感器640的源极和输出级652的源极连接到电源端子618。

[0064] 跨导器602的操作如图3的跨导器302所述那样进行,直到输出缓冲器632。输出电流镜656提供比图3的输出缓冲器332更多的电流,并使跨导器602能够在比跨导器302低的正电源电势VDD值下操作。该示例的输出缓冲器632提供具有用于输出电流IOUT的非互补极性的源输出功能。非互补极性可以适用于在包含跨导器602的半导体器件600外部的网络。

[0065] 图7是另一个示例跨导器的电路示意图。跨导器702包括参考输入级704和反馈输入级708,该参考输入级704被配置为在参考输入端口706处接收参考电势(在图7中标记为“VREF”),该反馈输入级708被设置为在反馈输入端口710处接收反馈电势(在图7中标记为“VFB”)。在该示例中,参考输入级704和反馈输入级708可以被实施为PFET,如图7所指示的。

[0066] 该示例的跨导器702包括与电流限制部件712串联耦合的电流传感器754。在该示例中,电流传感器754被实施为PFET,并且电流限制部件712被实施为NFET,如图7所指示的。电流传感器754的漏极连接到电流传感器754的栅极和电流限制部件712的漏极。电流传感器754的源极连接到电源端子718,该电源端子718被配置为在正电源电势(在图7中标记为“VDD”)下向跨导器702提供电流。因此,该示例的电流传感器754被配置为PMOS二极管。在该示例中,电流传感器754的栅极提供输出信号节点726,在跨导器702的操作期间,该输出信号节点726具有输出信号电势(在图7中标记为“VSIG”)。电流限制部件712具有电流控制节点716,在跨导器702的操作期间,该电流控制节点716具有第一控制电势(在图7中标记为“VCTL1”)。电流限制部件712在分支节点714处与参考输入级704和反馈输入级708串联耦合。

[0067] 跨导器702包括参考负载720(在该示例中被实施为NFET),其通过控制信号节点722连接到参考输入级704。参考负载720的栅极可以连接到NMOS偏置端子738。控制信号节点722处的第二控制电势(在图7中标记为“VCTL2”)等于由于参考电流IREF引起的参考负载720两端的电压降。

[0068] 跨导器702包括反馈负载724(在该示例中被实施为NMOS二极管)。反馈负载724的漏极连接到反馈输入级708。参考负载720和反馈负载724连接到接地端子728,该接地端子被配置为在接地电势(在图7中标记为“VSS”)下接收电流。

[0069] 电流从电源端子718流动通过电流传感器754,通过电流限制部件712,并分为通过

参考输入级704的参考电流(在图7中标记为“IREF”)和通过反馈输入级708的反馈电流(在图7中标记为“IFB”)。参考电流IREF通过控制信号节点722和参考负载720流动到接地端子728。反馈电流IFB通过反馈负载724流动到接地端子728。

[0070] 控制信号节点722通过反相控制缓冲器734耦合到电流限制部件712的电流控制节点716,如图7所指示的,使得第一控制电势VCTL1与第二控制电势VCTL2具有负相关。在该示例中,反相控制缓冲器734包括串联耦合的控制负载746(在该示例中被实施为PFET)和控制驱动器748(在该示例中被实施为NFET),其中控制信号节点722连接到控制负载746的漏极和控制驱动器748的漏极。控制负载746的栅极连接到PMOS偏置端子744。控制驱动器748的栅极连接到控制信号节点722。控制负载746的源极连接到电源端子718。控制驱动器748的源极连接到接地端子728。通过反相控制缓冲器734将控制信号节点722耦合到电流控制节点716提供了负反馈路径736,其减少了当反馈电流IFB由于反馈电势VFB的变化而改变时在分支节点714处的头部电势(在图7中标记为“VHEAD”)的变化。

[0071] 跨导器702包括通过输出缓冲器732耦合到输出信号节点726的输出电流端子730。输出缓冲器732将输出信号节点726处的输出信号电势VSIG转换为输出电流(在图7中标记为“IOUT”),该输出电流流动通过输出电流端子730。在该示例中,输出缓冲器732包括输出级752(在该示例中被实施为PMOS源极跟随器)。输出级752的源极连接到电源端子718。输出级752的栅极连接到输出信号节点726。输出级752的漏极连接到输出电流端子730。该示例的输出缓冲器732提供具有用于输出电流IOUT的非互补极性的源输出功能。跨导器702的操作类似于图3的跨导器302的操作,其中电流传感器754提供输出信号电势VSIG以实现源输出功能。输出级752可以有利地提供比驱动器/负载缓冲器更多的电流,并且在包含跨导器702的半导体器件700中占据更少的面积。

[0072] 图8是另一个示例跨导器的电路示意图。跨导器802包括与第一反馈输入级808a配对的第一参考输入级804a,该第一参考输入级804a被配置为在参考输入端口806处接收参考电势(在图8中标记为“VREF”),该第一反馈输入级808a被设置为在反馈输入端口810处接收反馈电势(在图8中标记为“VFB”)。在该示例中,第一参考输入级804a和第一反馈输入级808a可以被实施为PFET,如图8所指示的。

[0073] 如图8所指示的,跨导器802包括第一电流限制部件812a(在该示例中被实施为NFET)。第一电流限制部件812a的源极连接到第一分支节点814a。第一电流限制部件812a具有第一电流控制节点816a,在跨导器802的操作期间,该第一电流控制节点816a具有第一控制电势(在图8中标记为“VCTL1a”)。该示例的跨导器802包括与第一电流限制部件812a串联耦合的电流传感器854。在该示例中,电流传感器854被实施为PFET。电流传感器854的漏极连接到电流传感器854的栅极和第一电流限制部件812a的漏极。电流传感器854的源极连接到电源端子818,该电源端子818被配置为在正电源电势(在图8中标记为“VDD”)下向跨导器802提供电流。因此,该示例的电流传感器854被配置为PMOS二极管。在该示例中,电流传感器854的栅极提供第一输出信号节点826a,在跨导器802的操作期间,该第一输出信号节点826a具有第一输出信号电势(在图8中标记为“VSIGa”)。

[0074] 在该示例中,第一参考输入级804a通过第一电阻器858(在图8中标记为“R1”)连接到第一电流限制部件812a。第一反馈输入级808a通过第二电阻器860(在图8中标记为“R2”)连接到第一电流限制部件812a。

[0075] 跨导器802包括第一参考负载820a(在该示例中被实施为NFET),其通过第一控制信号节点822a连接到第一参考输入级804a。第一参考负载820a的栅极可以连接到NMOS偏置端子838。

[0076] 跨导器802包括第一反馈负载824a(在该示例中被实施为NMOS二极管)。第一反馈负载824a的漏极连接到第一反馈输入级808a。第一反馈负载824a的栅极可以连接到第一反馈负载824a的漏极,使得在该示例中第一反馈负载824a被实施为NMOS二极管。第一参考负载820a和第一反馈负载824a的源极连接到接地端子828,该接地端子828被配置为在接地电势(在图8中标记为“VSS”)下接收电流。

[0077] 电流从电源端子818流动通过电流传感器854,通过第一电流限制部件812a,并分为通过第一电阻器R1 858和第一参考输入级804a的第一参考电流(在图8中标记为“IREFa”)和通过第二电阻器R2 860和第一反馈输入级808a的第一反馈电流(在图8中标记为“IFBa”)。参考电流IREFa通过第一控制信号节点822a和第一参考负载820a流动到接地端子828。第一控制信号节点822a处的第二控制电势(在图8中标记为“VCTL2a”)等于由于参考电流IREFa引起的第一参考负载820a两端的电压降。反馈电流IFBa通过第一反馈负载824a流动到接地端子828。

[0078] 第一控制信号节点822a通过第一反相控制缓冲器834a耦合到第一电流限制部件812a的第一电流控制节点816a,如图8所指示的,使得第一控制电势VCTL1a与第二控制电势VCTL2a具有负相关。在该示例中,第一反相控制缓冲器834a包括串联耦合的第一控制负载846a(在该示例中被实施为PFET)和第一控制驱动器848a(在该示例中被实施为NFET),其中第一控制信号节点822a连接到第一控制负载846a的漏极和第一控制驱动器848a的漏极。第一控制负载846a的栅极连接到PMOS偏置端子844。第一控制驱动器848a的栅极连接到第一控制信号节点822a。第一控制负载846a的源极连接到电源端子818。第一控制驱动器848a的源极连接到接地端子828。通过第一反相控制缓冲器834a将第一控制信号节点822a耦合到第一电流控制节点816a提供了第一负反馈路径836a,其减少了当第一反馈电流IFBa由于反馈电势VFB的变化而改变时在第一分支节点814a处的第一头部电势(在图8中标记为“VHEADa”)的变化。

[0079] 该示例的跨导器802包括与第二反馈输入级808b配对的第二参考输入级804b,该第二参考输入级804b被配置为从参考输入端口806接收参考电势VREF,该第二反馈输入级808b被设置为从反馈输入端口810接收反馈电势VFB。第二参考输入级804b通过第三电阻器862(在图8中标记为“R3”)连接到第二分支节点814b。第二反馈输入级808b通过第四电阻器864(在图8中标记为“R4”)连接到第二分支节点814b。

[0080] 如图8所示,跨导器802包括第二电流限制部件812b,其在第二分支节点814b处分别通过第三电阻器R3 862和第四电阻器R4 864与并联电流路径中的第二参考输入级804b和第二反馈输入级808b串联耦合。在该示例中,第二电流限制部件812b可以被实施为具有正跨导的NFET。第二电流限制部件812b具有第二电流控制节点816b,在跨导器802的操作期间,该第二电流控制节点816b具有第三控制电势(在图8中标记为“VCTL1b”)。第二电流限制部件812b耦合到电源端子818。电流从电源端子818流动通过第二电流限制部件812b,并且分为通过第二参考输入级804b的第二参考电流(在图8中标记为“IREFb”)和通过第二反馈输入级808b的第二反馈电流(在图8中标记为“IFBb”)。

[0081] 跨导器802包括通过第二输出信号节点826b连接到第二反馈输入级808b的第二反馈负载824b。在该示例中,第二反馈负载824b可以被实施为NMOS二极管,如图8所指示的。第二输出信号节点826b处的第二输出信号电势(在图8中标记为“VSIGb”)等于由于第二反馈电流IFBb引起的第二反馈负载824b两端的电压降。

[0082] 跨导器802包括通过第二控制信号节点822b连接到第二参考输入级804b的第二参考负载820b。在该示例中,第二参考负载820b可以被实施为NFET。第二参考负载820b的栅极可以连接到NMOS偏置端子838。第二控制信号节点822b处的第四控制电势(在图8中标记为“VCTL2b”)等于由于第二参考电流IREFb引起的第二参考负载820b两端的电压降。

[0083] 第二参考负载820b和第二反馈负载824b的源极连接到接地端子828。第二参考电流IREFb和第二反馈电流IFBb流到接地端子828。

[0084] 第二控制信号节点822b通过第二反相控制缓冲器834b耦合到第二电流限制部件812b的第二电流控制节点816b,如图8所指示的,使得第三控制电势VCTL1b与第四控制电势VCTL2b具有负相关。在该示例中,第二反相控制缓冲器834b包括串联耦合的第二控制负载846b(在该示例被实施为PFET)和第二控制驱动器848b(在该示例中被实施为NFET),其中第二控制信号节点822a连接到第二控制负载846b的漏极和第二控制驱动器848b的漏极。第二控制负载846b的栅极连接到PMOS偏置端子844。第二控制驱动器848b的栅极连接到第二控制信号节点822b。第二控制负载846b的源极连接到电源端子818。第二控制驱动器848b的源极连接到接地端子828。通过第二反相控制缓冲器834b将第二控制信号节点822b耦合到第二电流控制节点816b提供了第二负反馈路径836b,其减少了当第二反馈电流IFBb由于反馈电势VFB的变化而改变时在第二分支节点814b处的第二头部电势(在图8中标记为“VHEADb”)的变化。

[0085] 跨导器802包括通过输出缓冲器832耦合到第一输出信号节点826a和第二输出信号节点824b的输出电流端子830。输出缓冲器832将第一输出信号节点826a处的第一输出信号电势VSIGa和第二输出信号节点824b处的第二输出信号电势VSIGb转换为输出电流(在图3中标记为“IOUT”),该输出电流流动通过输出电流端子830。在该示例中,输出缓冲器832包括漏极到漏极串联耦合的第一输出驱动器842a(在该示例中被实施为PFET)和第二输出驱动器842b(在该示例中被实施为NFET)。第一输出驱动器842a的源极连接到电源端子818;第二输出驱动器842b的源极连接到接地端子828。第一输出信号节点826a连接到第一输出驱动器842a的栅极,并且第二输出信号节点824b连接到第二输出驱动器842b的栅极。输出电流端子830连接到第一输出驱动器842a的漏极和第二输出驱动器842b的漏极。该示例的输出缓冲器832提供具有用于输出电流IOUT的非互补极性的双向输出功能。电阻器R1 858、R2 860、R3 862和R4 864可以有利地提供更加线性的输出电流IOUT,其为反馈电势VFB和参考电势VREF之间的差的函数。双向输出功能可以适用于在包含跨导器802的半导体器件800外部的网络。

[0086] 图9是另一个示例跨导器的电路示意图。跨导器902包括与第一反馈输入级908a配对的第一参考输入级904a,该第一参考输入级904a被配置为在参考输入端口906处接收参考电势(在图9中标记为“VREF”),该第一反馈输入级908a被设置为在反馈输入端口910处接收反馈电势(在图9中标记为“VFB”)。在该示例中,第一参考输入级904a和第一反馈输入级908a可以被实施为NFET,如图9所指示的。在跨导器902的操作期间,第一参考电流(在图9中

标记为“IREFa”)流动通过第一参考输入级904a,并且第一反馈电流(在图9中标记为“IFBa”)流动通过第一反馈输入级908a。

[0087] 跨导器902包括第一电流限制部件912a,其在第一分支节点914a处与并联电流路径中的第一参考输入级904a和第一反馈输入级908a串联耦合,如图9所示。在该示例中,第一电流限制部件912a可以被实施为具有负跨导的PFET。第一电流限制部件912a具有第一电流控制节点916a,在跨导器902的操作期间,该第一电流控制节点916a具有第一控制电势(在图9中标记为“VCTL1a”)。第一电流限制部件912a的漏极耦合到接地端子928,该接地端子928被配置为在接地电势(在图9中标记为“VSS”)下接收电流。第一参考电流IREFa和第一反馈电流IFBa在第一分支节点914a处组合,并通过第一电流限制部件912a流动到接地端子928。

[0088] 跨导器902包括第一参考负载920a(在该示例中被实施为PFET),其通过第一控制信号节点922a连接到第一参考输入级904a。第一参考负载920a的栅极可以连接到PMOS偏置端子944。

[0089] 跨导器902包括第一反馈负载924a(在该示例中被实施为PMOS二极管)。第一反馈负载924a的漏极连接到第一反馈输入级908a。第一反馈负载924a的栅极可以连接到第一反馈负载922a的漏极,使得在该示例中第一反馈负载924a被实施为PMOS二极管。第一参考负载920a和第一反馈负载924a的源极连接到电源端子918,该电源端子918被配置为在正电源电势(在图9中标记为“VDD”)下向跨导器902提供电流。

[0090] 电流从接地端子928流动通过第一电流限制部件912a,并在第一分支节点914a处分为第一参考电流IREFa和第一反馈电流IFBa。参考电流IREFa通过第一控制信号节点922a和第一参考负载920a流动到电源端子918。第一控制信号节点922a处的第二控制电势(在图9中标记为“VCTL2a”)等于由于参考电流IREFa引起的第一参考负载920a两端相对于VDD的电压降。反馈电流IFBa通过第一反馈负载924a流动到电源端子918。

[0091] 第一控制信号节点922a通过第一反相控制缓冲器934a耦合到第一电流限制部件912a的第一电流控制节点916a,如图9所指示的,使得第一控制电势VCTL1a与第二控制电势VCTL2a具有负相关。在该示例中,第一反相控制缓冲器934a包括漏极到漏极串联耦合的第一控制负载946a(在该示例中被实施为NFET)和第一控制驱动器948a(在该示例中被实施为PFET),其中第一电流控制节点916a连接到第一控制负载946a的漏极和第一控制驱动器948a的漏极。第一控制负载946a的栅极连接到NMOS偏置端子938。第一控制驱动器948a的栅极连接到第一控制信号节点922a。第一控制负载946a的源极连接到接地端子928。第一控制驱动器948a的源极连接到电源端子918。通过第一反相控制缓冲器934a将第一控制信号节点922a耦合到第一电流控制节点916a提供了第一负反馈路径936a,其减少了当第一反馈电流IFBa由于反馈电势VFB的变化而改变时在第一分支节点914a处的第一头部电势(在图9中标记为“VHEADa”)的变化。

[0092] 该示例的跨导器902包括与第二反馈输入级908b配对的第二参考输入级904b,该第二参考输入级904b被配置为从参考输入端口906接收参考电势VREF,该第二反馈输入级908b被配置为从反馈输入端口910接收反馈电势VFB。第二参考输入级904b和第二反馈输入级908b连接到第二分支节点914b。跨导器902包括在第二分支节点914b处与第二参考输入级904b和第二反馈输入级908b串联耦合的第二电流限制部件912b。在该示例中,第二电流

限制部件912b可以被实施为PFET。第二电流限制部件912b具有第二电流控制节点916b,在跨导器902的操作期间,该第二电流控制节点916b具有第三控制电势(在图9中标记为“VCTL1b”)。

[0093] 该示例的跨导器902包括与第一电流限制部件912a串联耦合的电流传感器954。在该示例中,电流传感器954被实施为NFET。电流传感器954的漏极连接到电流传感器954的栅极和第一电流限制部件912a的漏极。电流传感器954的源极连接到接地端子928。因此,该示例的电流传感器954被配置为NMOS二极管。在该示例中,电流传感器954的栅极提供第二输出信号节点926b,在跨导器902的操作期间,该第二输出信号节点926b具有第二输出信号电势(在图9中标记为“VSIGb”)。同样在跨导器902的操作期间,第二参考电流IREFb和第二反馈电流IFBb在第二分支节点914b处组合,并且通过第一电流限制部件912a和电流传感器954流动到接地端子928。

[0094] 跨导器902包括通过第二控制信号节点922b连接到第二反馈输入级908b的第二反馈负载924b。在该示例中,第二反馈负载924b可以被实施为PFET。第二反馈负载924b的源极可以连接到电源端子918。第二反馈负载924b的栅极可以连接到PMOS偏置端子944。第二控制信号节点922b处的第四控制电势(在图9中标记为“VCTL2b”)等于由于第二参考电流IREFb引起的第二反馈负载924b两端相对于VDD的电压降。

[0095] 跨导器902包括连接到第二参考输入级904b的第二参考负载920b。在该示例中,第二参考负载920b可以被实施为PMOS二极管。第二参考负载920b和第二反馈负载924b的源连接到电源端子918。

[0096] 第二控制信号节点922b通过第二反相控制缓冲器934b耦合到第二电流限制部件912b的第二电流控制节点916b,如图9所指示的,使得第三控制电势VCTL1b与第四控制电势VCTL2b具有负相关。在该示例中,第二反相控制缓冲器934b包括串联耦合的第二控制负载946b(在该示例中被实施为NFET)和第二控制驱动器948b(在该示例中被实施为PFET),其中第二电流控制节点916b连接到第二控制负载946b的漏极和第二控制驱动器948b的漏极。第二控制负载946b的栅极连接到NMOS偏置端子938。第二控制驱动器948b的栅极连接到第二控制信号节点922b。第二控制负载946b的源极连接到接地端子928。第二控制驱动器948b的源极连接到电源端子918。通过第二反相控制缓冲器934b将第二控制信号节点922b耦合到第二电流控制节点916b提供了第二负反馈路径936b,其减少了当第二反馈电流IFBb由于反馈电势VFB的变化而改变时在第二分支节点914b处的第二头部电势(在图9中标记为“VHEADb”)的变化。

[0097] 跨导器902包括输出电流端子930,其通过第一输出缓冲器932a耦合到第一输出信号节点926a,并通过第二输出缓冲器932b耦合到第二输出信号节点926b。该示例的第一输出缓冲器932a和第二输出缓冲器932b是彼此颠倒的配置。

[0098] 第一输出缓冲器932a将第一输出信号节点926a处的第一输出信号电势VSIGa转换为流动通过输出电流端子930的源输出电流部分。在该示例中,第一输出缓冲器932a包括两个并联的电流路径以提供放大的跨导。第一输出缓冲器932a的第一电流路径包括串联耦合的第一电阻器950a(在图9中标记为“R1”)、第一输出负载940a(在该示例中被实施为NFET),以及第一输出驱动器942a(在该示例中被实施为PFET)。第一电阻器950a的第一端子连接到接地端子928。第一输出负载940a的源极连接到第一电阻器950a的第二端子。第一输出驱动

器942a的源极连接到电源端子918。第一输出缓冲器932a的第二电流路径包括串联耦合的第二电阻器950b(在图9中标记为“R2”)、第二输出负载940b(在该示例中被实施为NFET),以及第二输出驱动器942b(在该示例中被实施为PFET)。第二电阻器950b的第一端子连接到接地端子928。第二输出负载940b的源极连接到第二电阻器950b的第二端子。第二输出驱动器942b的源极连接到电源端子918。第一输出负载940a和第二输出负载940b的栅极连接到第一输出负载940的漏极;第一输出负载940a因此作为NMOS二极管进行操作。第一输出驱动器942a和第二输出驱动器942b的栅极连接到第一输出信号节点926a。第一输出缓冲器932a包括第一输出级952a(在该示例中被实施为NFET)。第一输出级952a的源极连接到第一输出负载940a的源极。第一输出级952a的栅极连接到第二输出驱动器942b的漏极。第一输出级952a的漏极连接到输出电流端子930。第一输出缓冲器932a将第一输出信号节点926a处的第一输出信号电势VSIGa放大近似等于第二电阻器950b的电阻与第一电阻器950a的电阻之比的因子。

[0099] 第二输出缓冲器932b将第二输出信号节点926b处的第二输出信号电势VSIGb转换为流动通过输出电流端子930的汇输出电流部分。在该示例中,第二输出缓冲器932b包括两个并联的电流路径以提供放大的跨导。第二输出缓冲器932b的第一电流路径包括串联耦合的第三电阻器950c(在图9中标记为“R3”)、第三输出负载940c(在该示例中被实施为PFET),以及第三输出驱动器942c(在该示例中被实施为NFET)。第三电阻器950c的第一端子连接到电源端子918。第三输出负载940c的源极连接到第三电阻器950c的第二端子。第三输出驱动器942c的源极连接到接地端子928。第二输出缓冲器932b的第二电流路径包括串联耦合的第四电阻器950d(在图9中标记为“R4”)、第四输出负载940d(在该示例中被实施为PFET),以及第四输出驱动器942d(在该示例中被实施为NFET)。第四电阻器950d的第一端子连接到电源端子918。第四输出负载940d的源极连接到第四电阻器950d的第二端子。第四输出驱动器942d的源极连接到接地端子928。第三输出负载940c和第四输出负载940d的栅极连接到第三输出负载940c的漏极;第三输出负载940c因此作为PMOS二极管进行操作。第三输出驱动器942c和第四输出驱动器942d的栅极连接到第二输出信号节点926b。第二输出缓冲器932b包括第二输出级952b(在该示例中被实施为PFET)。第二输出级952b的源极连接到第三输出负载940c的源极。第二输出级952b的栅极连接到第四输出驱动器942d的漏极。第二输出级952b的漏极连接到输出电流端子930。第二输出缓冲器932b将第二输出信号节点926b处的第二输出信号电势VSIGb放大近似等于第四电阻器950d的电阻与第三电阻器950c的电阻之比的因子。该示例的第一输出缓冲器932a和第二输出缓冲器932b提供具有用于输出电流IOUT的互补极性的双向输出功能。双向输出功能和互补极性可以适用于在包含跨导器902的半导体器件900外部的网络。在权利要求的范围内,所描述的示例中的修改是可能的,并且其他示例也是可能的。

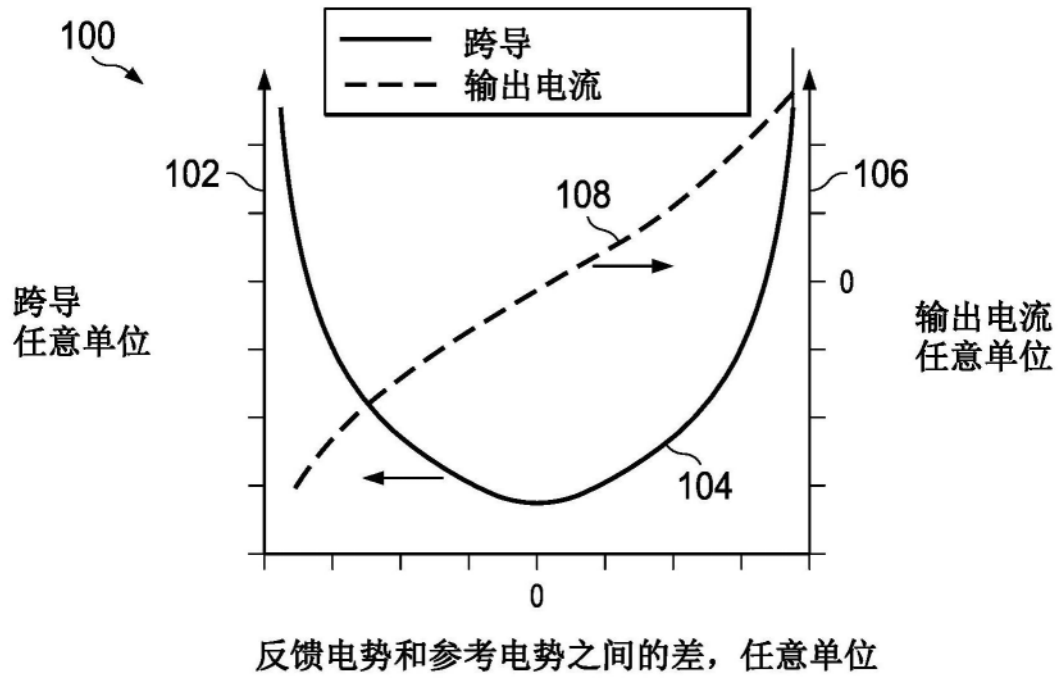


图1

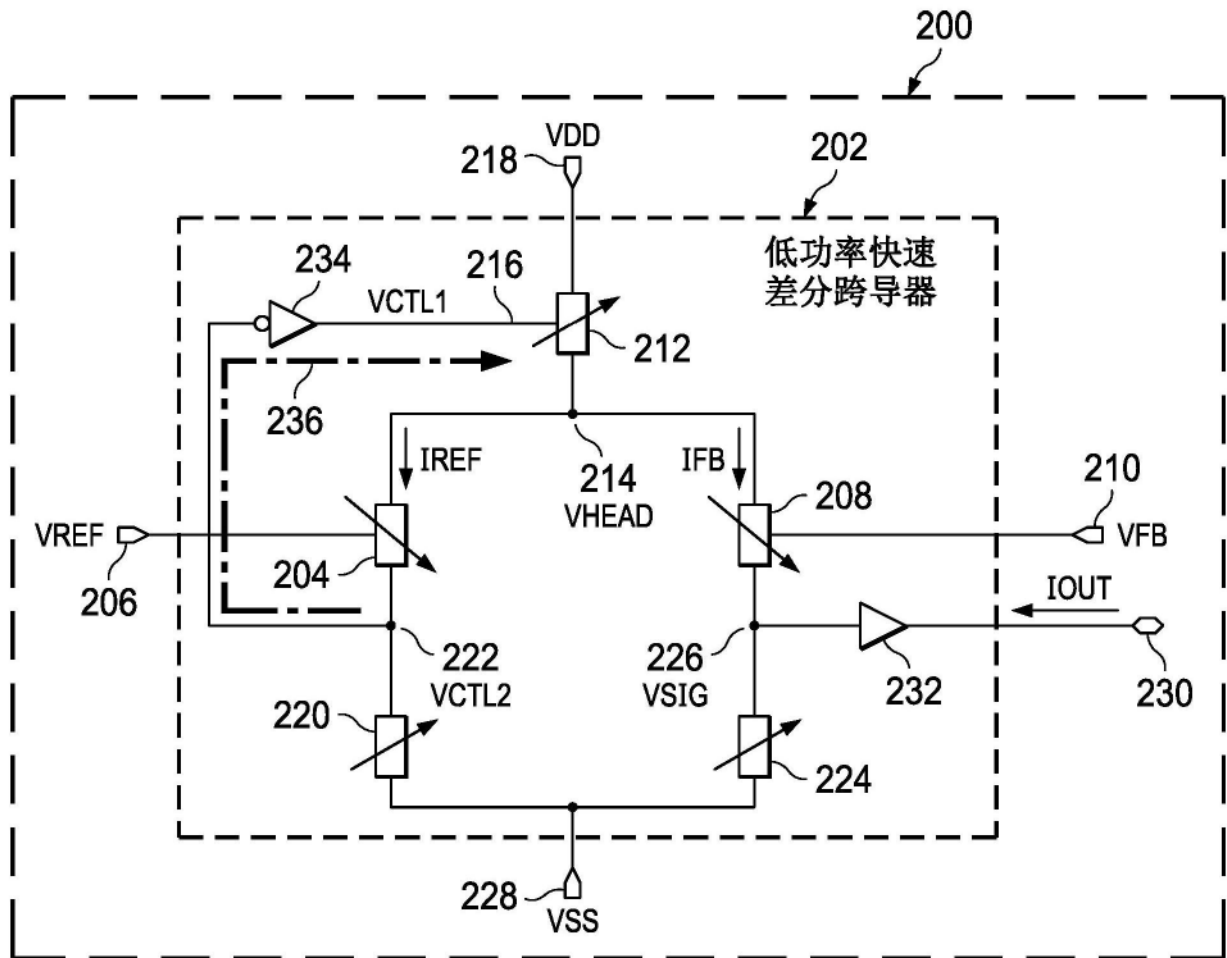


图2

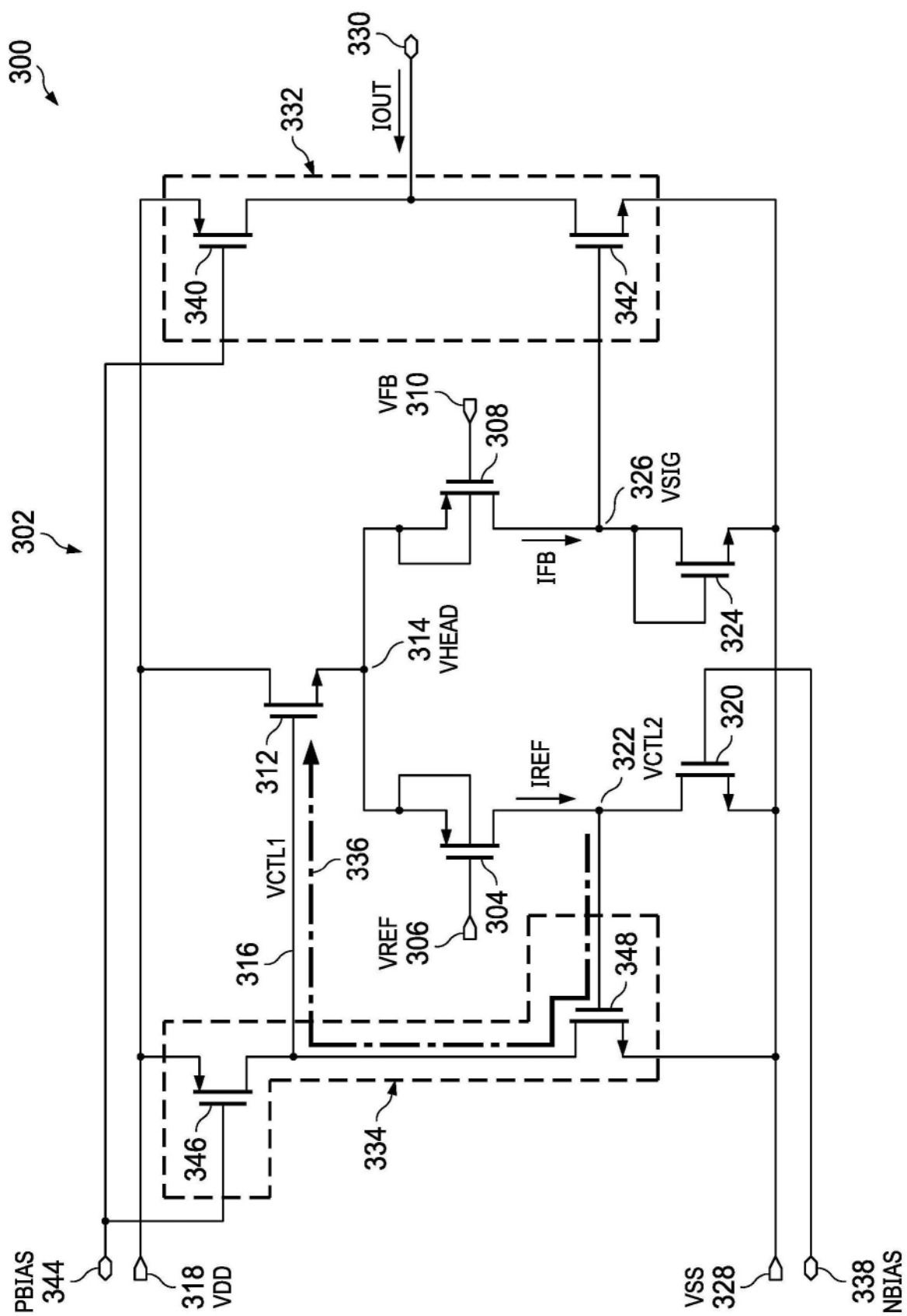


图3

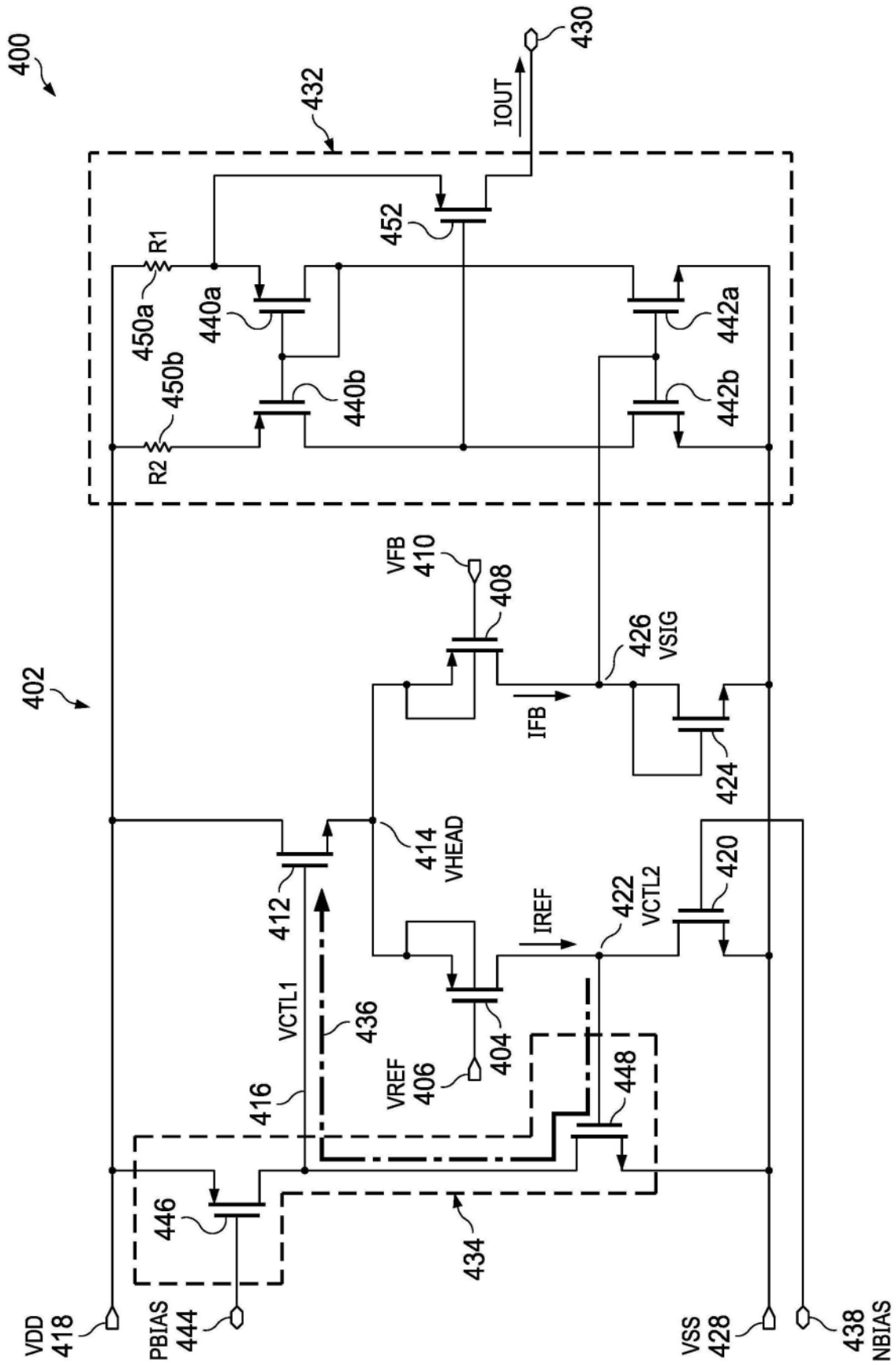


图4

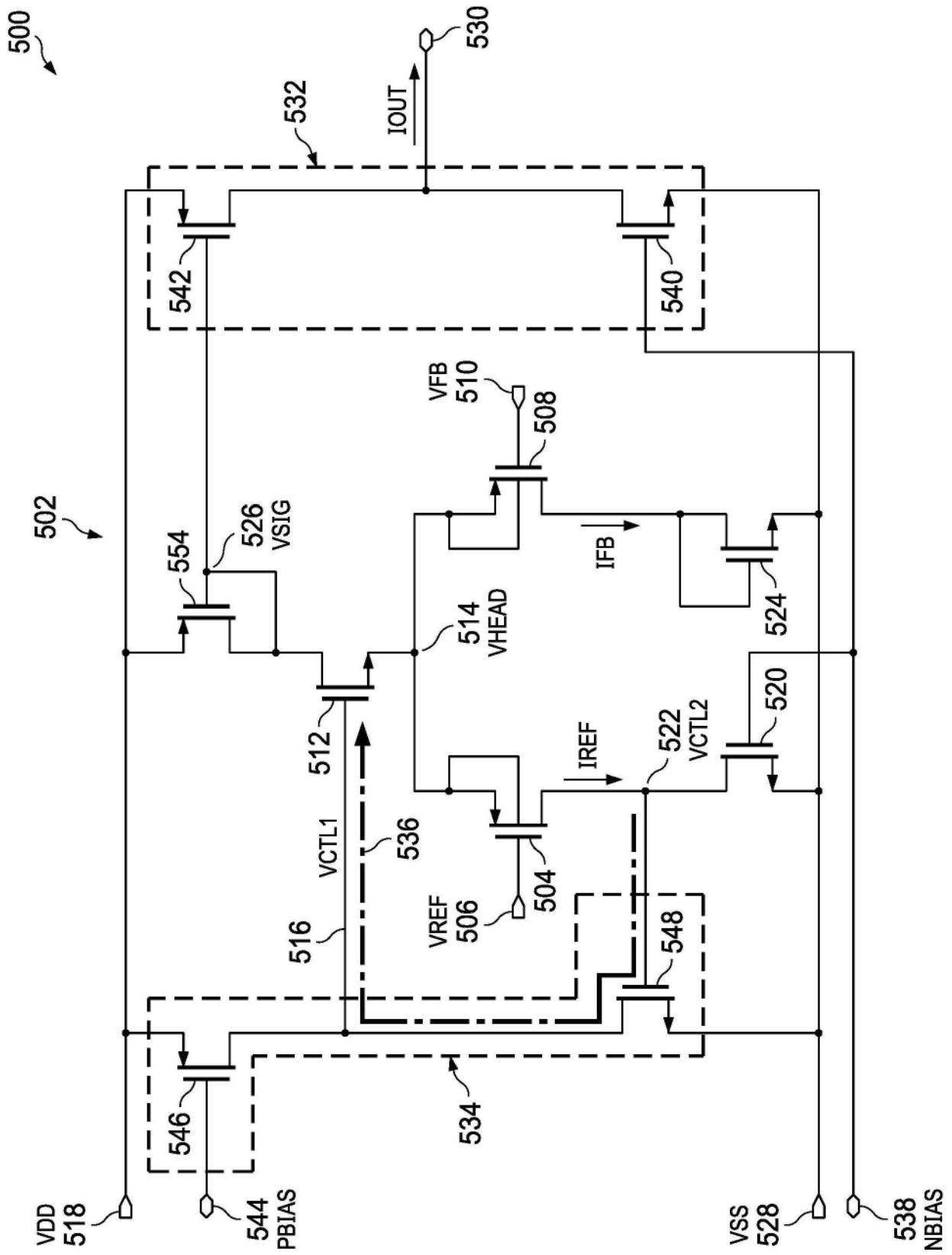


图5

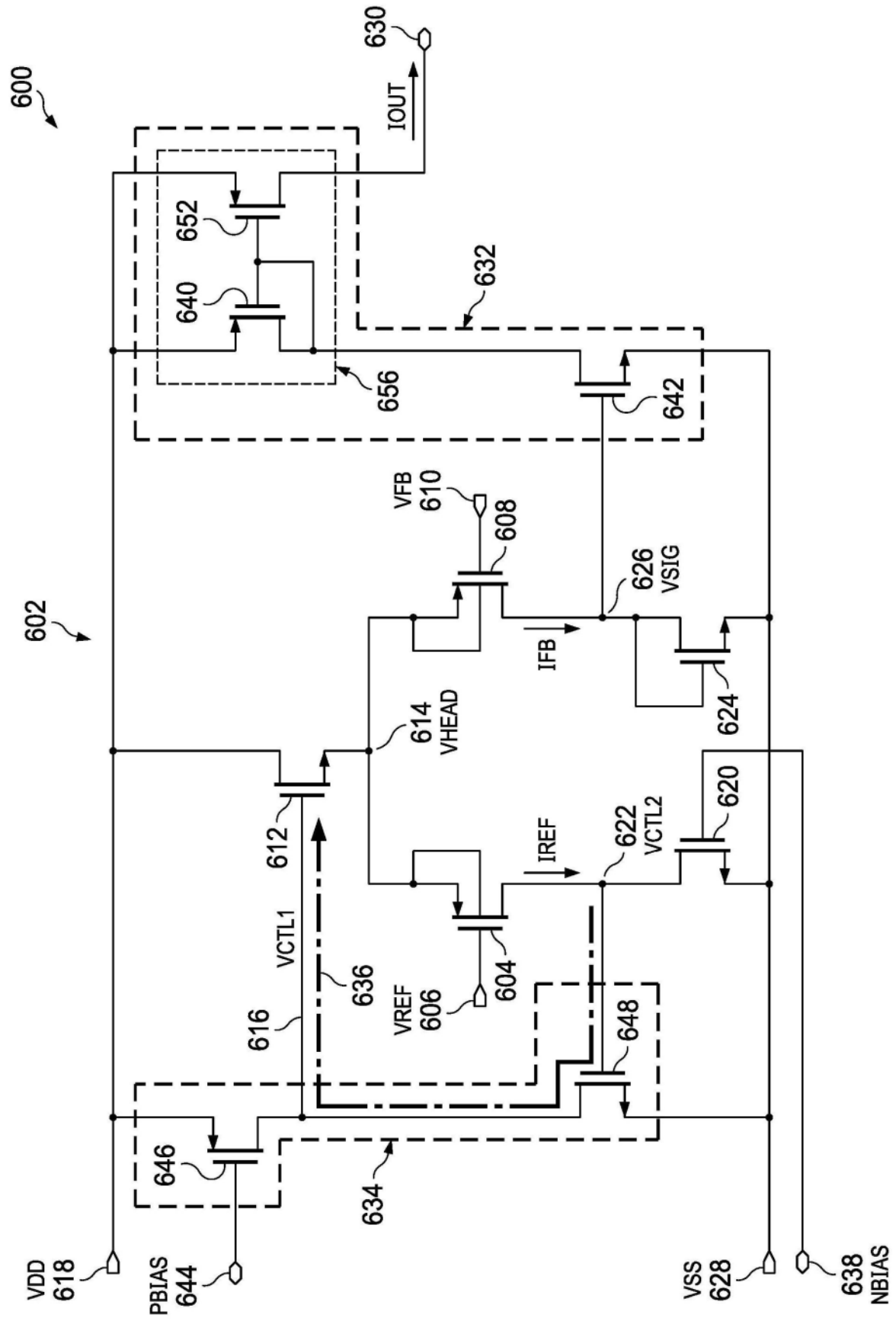


图6

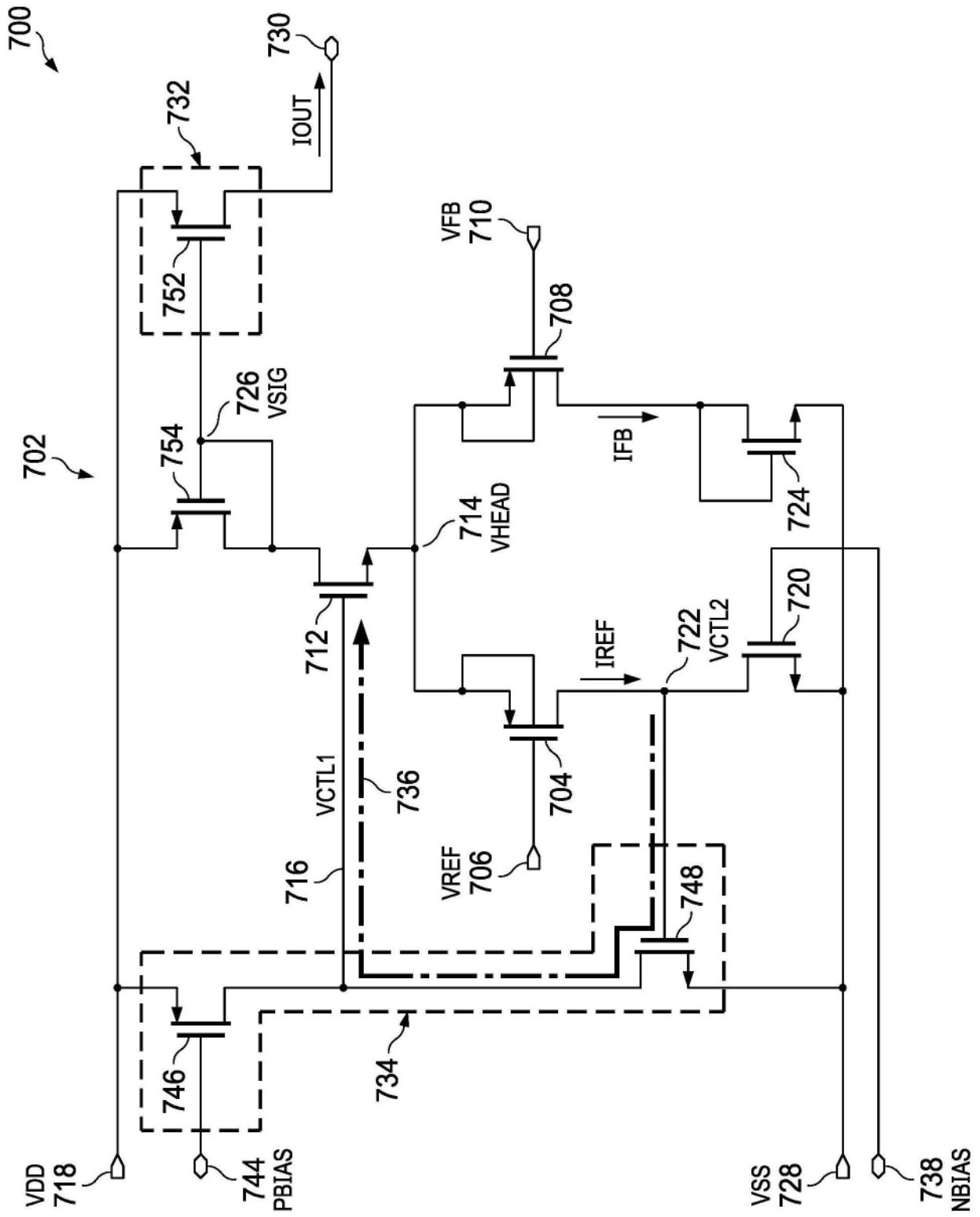


图7

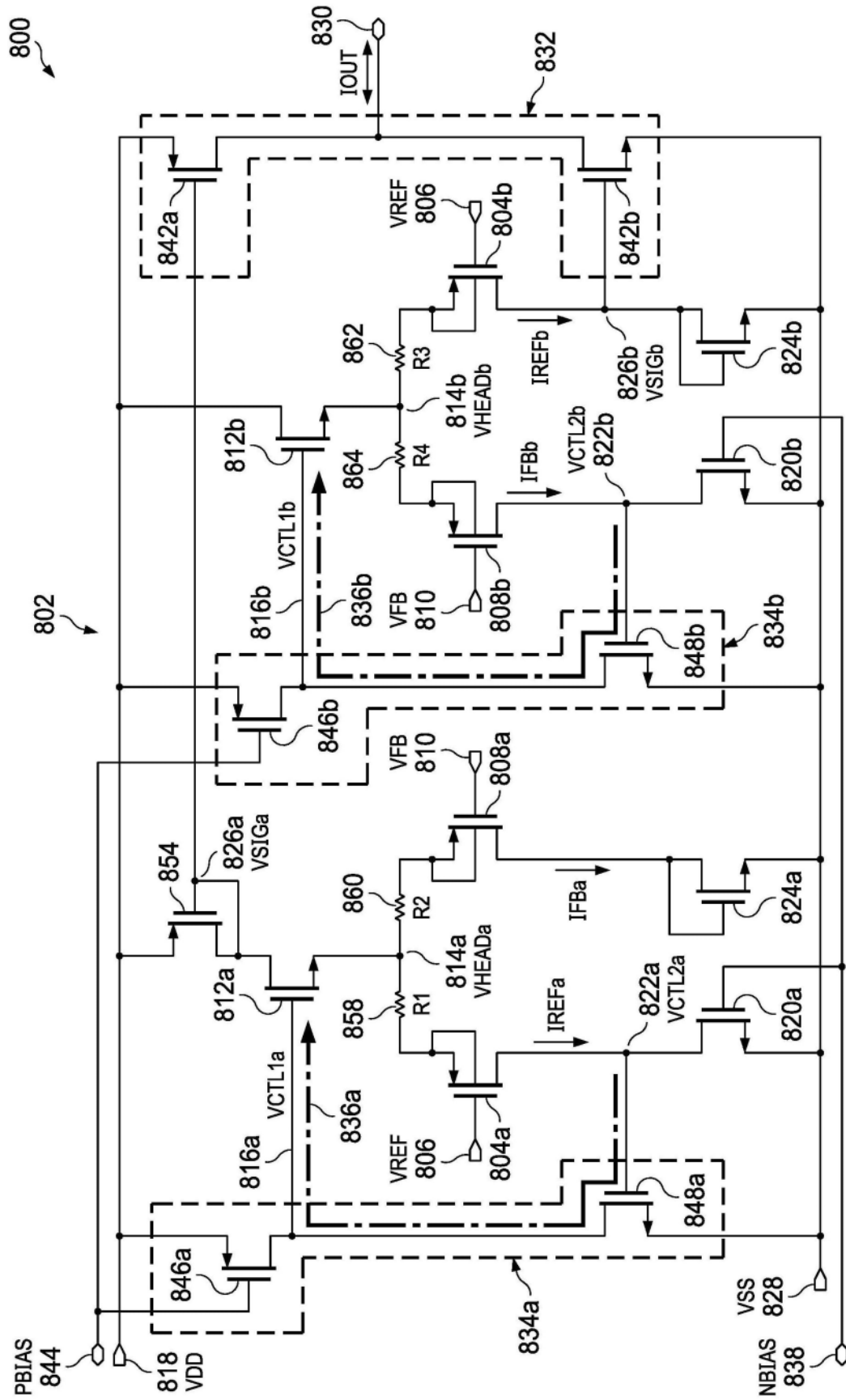


图8

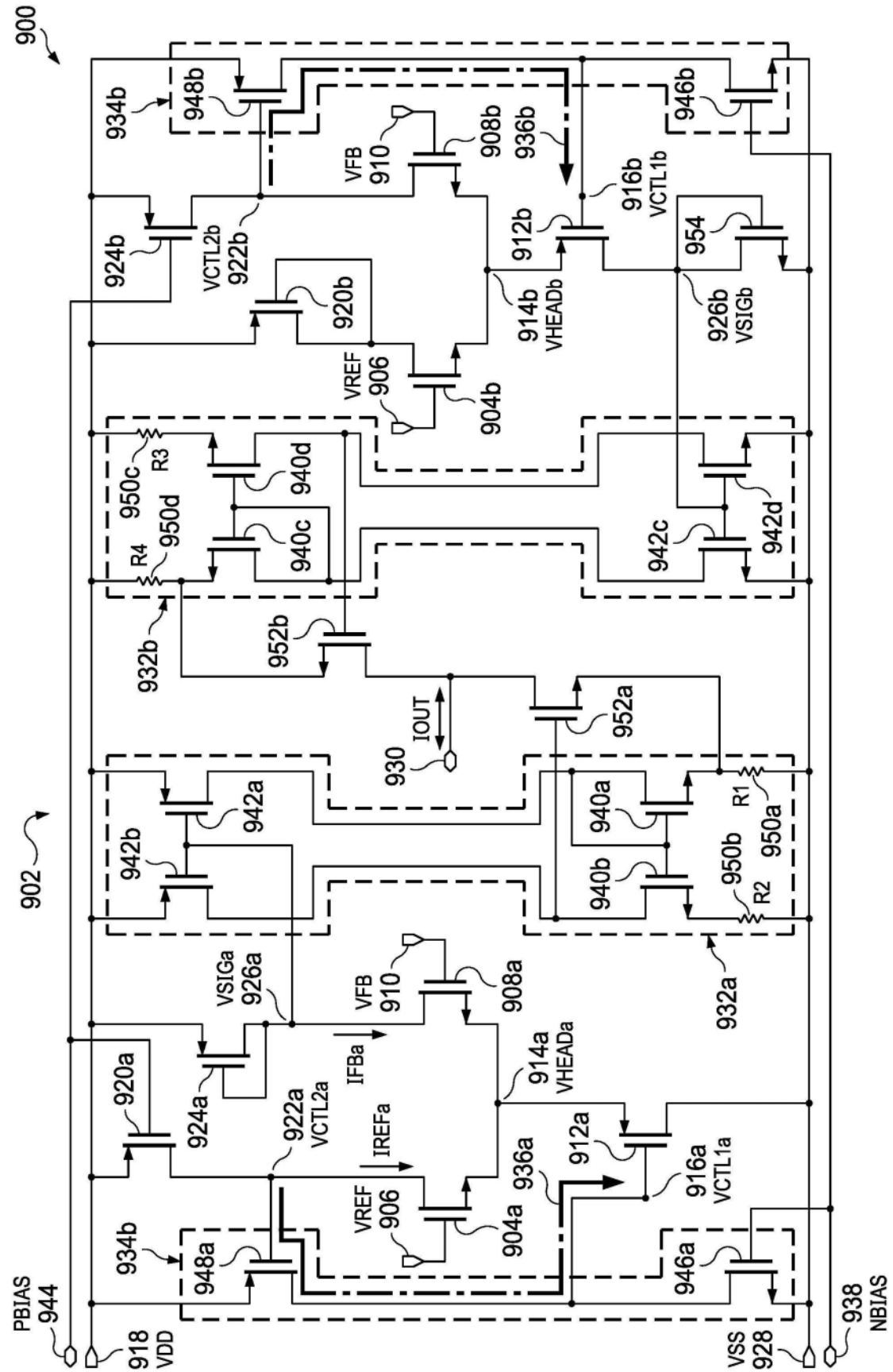


图9