



(12)发明专利

(10)授权公告号 CN 104137239 B

(45)授权公告日 2018.01.12

(21)申请号 201380010880.4

(22)申请日 2013.02.22

(65)同一申请的已公布的文献号
申请公布号 CN 104137239 A

(43)申请公布日 2014.11.05

(30)优先权数据
2012-041221 2012.02.28 JP

(85)PCT国际申请进入国家阶段日
2014.08.25

(86)PCT国际申请的申请数据
PCT/JP2013/001031 2013.02.22

(87)PCT国际申请的公布数据
W02013/128864 JA 2013.09.06

(73)专利权人 精工爱普生株式会社
地址 日本东京

(72)发明人 福本洋平 佐佐木隆兴

(74)专利代理机构 北京金信知识产权代理有限公司 11225

代理人 黄威 苏萌萌

(51)Int.Cl.

H01L 29/51(2006.01)

H01L 21/28(2006.01)

H01L 21/336(2006.01)

H01L 29/788(2006.01)

H01L 29/792(2006.01)

(56)对比文件

US 2001/0021133 A1, 2001.09.13,

US 2004/0094793 A1, 2004.05.20,

CN 1848458 A, 2006.10.18,

审查员 黄宝莹

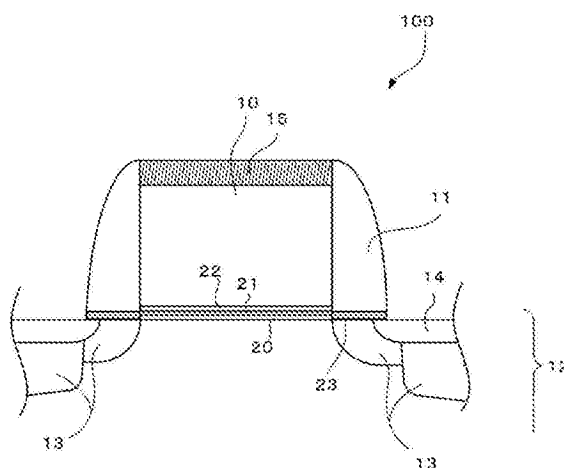
权利要求书2页 说明书8页 附图7页

(54)发明名称

非易失性半导体存储器以及非易失性半导体存储器的制造方法

(57)摘要

本发明提供一种消除了因过程充电而产生的弊端的非易失性半导体存储器。非易失性半导体存储器的特征在于,包括:硅基板;第一氧化硅膜;第二氧化硅膜;第一氮化硅膜;第二氮化硅膜,所述第一氧化硅膜被层叠于所述硅基板上,所述第一氮化硅膜被层叠于所述第一氧化硅膜上,所述第二氧化硅膜被层叠于所述第一氮化硅膜上,所述第二氮化硅膜以第一部分与所述第一氮化硅膜相接并且第二部分与所述硅基板相接的方式而被层叠。



1. 一种非易失性半导体存储器,其特征在于,包括:

硅基板;

第一氧化硅膜;

第二氧化硅膜;

第三氧化硅膜;

第一氮化硅膜;

第二氮化硅膜,

所述第一氧化硅膜被层叠于所述硅基板上,且与所述第二氮化硅膜相接,所述第一氮化硅膜被层叠于所述第一氧化硅膜上,

所述第二氧化硅膜被层叠于所述第一氮化硅膜上,

所述第三氧化硅膜的厚度薄于所述第一氧化硅膜的厚度,

所述第三氧化硅膜与所述第一氧化硅膜相接,

所述第二氮化硅膜的第一部分与所述第一氮化硅膜相接,并且所述第二氮化硅膜的第二部分经由所述第三氧化硅膜而与所述硅基板相接。

2. 如权利要求1所述的非易失性半导体存储器,其特征在于,

在所述硅基板内还包括硅化物区域,

所述硅化物区域经由所述第三氧化硅膜而与所述第二氮化硅膜的第二部分相接。

3. 如权利要求1或2所述的非易失性半导体存储器,其特征在于,

在所述第二氧化硅膜上还具有第一电极,

所述第二氮化硅膜的第三部分与所述第一电极相接。

4. 如权利要求1或2所述的非易失性半导体存储器,其特征在于,

所述第三氧化硅膜的厚度为22 Å以下。

5. 如权利要求3所述的非易失性半导体存储器,其特征在于,

所述第三氧化硅膜的厚度为22 Å以下。

6. 如权利要求1或2所述的非易失性半导体存储器,其特征在于,

所述第二氮化硅膜的厚度为45 Å以上。

7. 如权利要求3所述的非易失性半导体存储器,其特征在于,

所述第二氮化硅膜的厚度为45 Å以上。

8. 一种非易失性半导体存储器的制造方法,其特征在于,包括:

第一工序,在硅基板上使第一氧化硅膜成膜;

第二工序,在所述第一氧化硅膜上使第一氮化硅膜成膜;

第三工序,在所述第一氮化硅膜上使第二氧化硅膜成膜;

第四工序,将所述第一氧化硅膜、所述第一氮化硅膜以及第二氧化硅膜图案形成为预定的形状;

第五工序,在所述第四工序之后使第二氮化硅膜成膜,

在所述第四工序中,所述第一氮化硅膜以及所述硅基板被露出,

在所述第四工序与所述第五工序之间的第六工序中,在所述硅基板被露出的区域中形成了厚度薄于所述第一氧化硅膜的第三氧化硅膜,

在所述第五工序中,所述第一氮化硅膜与所述第二氮化硅膜相接。

9. 一种非易失性半导体存储器的制造方法,其特征在于,包括:

第一工序,在硅基板上使第一氧化硅膜成膜;

第二工序,在所述第一氧化硅膜上使第一氮化硅膜成膜;

第三工序,在所述第一氮化硅膜上使第二氧化硅膜成膜;

第四工序,将所述第一氧化硅膜、所述第一氮化硅膜以及第二氧化硅膜图案形成为预定的形状;

第五工序,在所述第四工序之后使第二氮化硅膜成膜,

在所述第四工序中,所述第一氮化硅膜被露出,且通过对所述第一氧化硅膜进行蚀刻,从而形成与所述第一氧化硅膜相比膜厚较薄的第三氧化硅膜,

在所述第五工序中,所述第一氮化硅膜与所述第二氮化硅膜相接。

非易失性半导体存储器以及非易失性半导体存储器的制造方法

技术领域

[0001] 本发明涉及一种具有氧化硅膜-氮化硅膜-氧化硅膜的层叠结构的非易失性半导体存储器以及该非易失性半导体存储器的制造方法。

背景技术

[0002] 一直以来,存在一种能够反复实施读取以及写入的、被称为EEPROM (Electrically Erasable Programmable Read-Only Memory:带电可擦写可编程只读存储器)的半导体存储器。EEPROM为,即使切断电源但所存储的数据也不会消失的非易失性半导体存储器,尤其将数据的改写能够针对一部分或者全部而统一实施的存储器称为闪存。

[0003] 虽然闪存中存在被称为NAND型以及NOR型的类型,但无论哪种情况下存储单元本身均具有类似的结构,在该存储单元的结构中存在被称为浮栅型的结构和被称为电荷阱型的结构。浮栅型以及电荷阱型均具有MIS型晶体管的结构。浮栅型为,通过在栅极绝缘膜内设置浮栅电极并将电荷保持在该浮栅电极上,从而实施数据的存储的类型。与此相对,电荷陷阱型为,栅极绝缘膜具有氧化硅膜-氮化硅膜-氧化硅膜的层叠结构(ONO结构),且因电荷蓄积于氮化硅膜与硅基板侧的氧化硅膜的界面附近所存在的离散阱中从而使晶体管的阈值变化,由此来保持数据的类型。在电荷阱型中存在被称为SONOS (Silicon Oxide Nitride Oxide Semiconductor)型、MONOS (Metal Oxide Nitride Oxide Semiconductor)型的类型。另外,浮栅型以及电荷阱型中的任意一种类型中均将硅基板侧的氧化膜称为隧道氧化膜。

[0004] 虽然以前浮栅型为主流,但是近年来处于采用电荷阱型的示例增加的趋势下。作为其理由可列举为,在浮栅型的情况下,为了将电荷捕获到浮栅层上,从而对于隧道氧化膜要求较高的绝缘性,而在电荷阱型的情况下则具有如下优点,即,由于将电荷捕获到作为绝缘膜的氮化硅膜的离散阱中,因此与浮栅型相比,多数情况下即使隧道氧化膜的一部分的绝缘性少许降低也不会成为问题。此外,由于采用电荷阱型时隧道氧化膜本身的厚度也能够设定得较薄,因此采用电荷阱型时能够降低数据的写入电压也是较大的优点。

[0005] 虽然基于上述的理由等而使电荷阱型逐渐被优选,但是也存在使数据的保持特性和写入/消除的重复耐久性进一步提高的要求。为了应对该要求,在专利文献1中记载有作为阱的形成层而设置通过原子层化学的气相生长法而成膜的、 SiO_2 与 Si_3N_4 的中间组成的 SiO_xN_y 薄膜的技术。并记载有如下内容,即,由于通过以这样的方式设置阱层,从而能够以高密度且较好的控制性而将阱形成为所期望的深度,且能够使数据的保持特性和写入/消除的重复耐久性提高,并且能够增大作为存储效果的阈值电压之差,因此在多值化上也较为有利。

[0006] 在先技术文献

[0007] 专利文献

[0008] 专利文献1:日本特开2002-222876号公报

发明内容

[0009] 发明所要解决的课题

[0010] 然而,即使设置能够增大阈值电压之差的阱层,但当在制造工序中在阱层上捕获电荷且维持在捕获有该电荷的状态下而结束制造工序时,仍存在与未捕获该电荷的状态相比阈值电压将会变动的问题。

[0011] 用于解决课题的方法

[0012] 本发明是为了解决上述的问题或课题中的至少一个而被完成的,其能够作为以下的应用例或实施方式来实现。

[0013] [应用例1]

[0014] 本应用例所涉及的非易失性半导体存储器的特征在于,包括:硅基板;第一氧化硅膜;第二氧化硅膜;第一氮化硅膜;第二氮化硅膜,所述第一氧化硅膜被层叠于所述硅基板上,所述第一氮化硅膜被层叠于所述第一氧化硅膜上,所述第二氧化硅膜被层叠于所述第一氮化硅膜上,所述第二氮化硅膜以第一部分与所述第一氮化硅膜相接并且第二部分与所述硅基板相接的方式而被层叠。

[0015] 根据该结构,非易失性半导体存储器的电荷的保持部由被层叠于硅基板上的第一氧化硅膜、第一氮化硅膜以及第二氧化硅膜构成(ONO结构),且具有第二氮化硅膜与第一氮化硅膜以及硅基板相接的结构,从而能够将在制造时的预定的工序中被捕获到ONO结构中的多余的电荷,在其他预定的工序中经由第二氮化硅膜向硅基板扩散,从而能够降低该多余的电荷对于阈值电压的影响。由此,能够实现存储器的动作的高速化、低电压化。

[0016] 关于ONO结构存在如下情况,即,在其制造过程中第一氮化硅膜成为捕获了电荷的状态且在维持捕获了电荷的状态下制造被完成。在这样的情况下,处于被捕获到第一氮化硅膜上的状态下的电荷的量有可能对作为非易失性半导体存储器的动作造成影响。当处于被捕获到第一氮化硅膜上的状态下的电荷较多时,作为存储器的写入动作中的阈值电压将变得较高。当阈值电压变得较高时,认为在作为非易失性半导体存储器而实施了写入动作的情况下,在第一氮化硅膜上新被捕获到的电荷的量将变得较少。这将对作为存储器而实施的读取动作时所流过的电流的量造成影响,并造成在存储器的数据输出上产生预定的变化时将需要更多的时间。因此,在由第一氮化硅膜捕获到较多电荷的状态下制造工序被完成了的非易失性半导体存储器,将成为不适于高速、低电压动作的非易失性半导体存储器。另外,由于存储器的阈值电压将从设计值而发生变动,因此在伴随有阈值电压的变动的沟道部的杂质浓度的变更、调整方面存在限制。

[0017] 如本应用例所示,通过使第二氮化硅膜的第一部分与第一氮化硅膜相接,且使第二氮化硅膜的第二部分与硅基板相接,从而能够使在预定的工序中被捕获到第一氮化硅膜上的电荷在该预定的工序之后的其他预定的工序中经由第二氮化硅膜而向硅基板扩散。由此能够实现处于被捕获到第一氮化硅膜上的状态下的电荷量的降低化,且能够使非易失性半导体存储器的动作高速化、低电压化。

[0018] [应用例2]

[0019] 本应用例所涉及的非易失性半导体存储器的特征在于,包括:硅基板;第一氧化硅膜;第二氧化硅膜;第三氧化硅膜;第一氮化硅膜;第二氮化硅膜,所述第一氧化硅膜被层叠

于所述硅基板上,所述第一氮化硅膜被层叠于所述第一氧化硅膜上,所述第二氧化硅膜被层叠于所述第一氮化硅膜上,所述第三氧化硅膜的厚度薄于所述第一氧化硅膜的厚度,所述第二氮化硅膜的第一部分与所述第一氮化硅膜相接并且所述第二氮化硅膜的第二部分经由所述第三氧化硅膜而与所述硅基板相接。

[0020] 根据该结构,非易失性半导体存储器的电荷的保持部由被层叠于硅基板上的第一氧化硅膜、第一氮化硅膜以及第二氧化硅膜构成(ONO结构),且具有第二氮化硅膜与第一氮化硅膜相接并且经由第三氧化硅膜而与硅基板相接的结构,从而能够在制造时的预定的工序中,将被捕获到ONO结构中的多余的电荷,在其他的预定的工序中经由第二氮化硅膜以及第三氧化硅膜而进行扩散,从而能够降低该多余的电荷对于阈值电压的影响。由此,能够实现存储器的动作的高速化、低电压化。

[0021] 如上所述,在制造过程中进一步减少被捕获到第一氮化硅膜上的电荷具有使非易失性半导体存储器的动作高速化、低电压化的效果。由于第三氧化硅膜的膜厚薄于第一氧化硅膜的膜厚,因此在经由第二氮化硅膜以及第三氧化硅膜的情况下,与经由第一氧化硅膜相比能够更容易地使被捕获到第一氮化硅膜上的电荷扩散。

[0022] [应用例3]

[0023] 在上述应用例所涉及的非易失性半导体存储器中,进一步优选为,在所述硅基板内包括硅化物区域,且所述硅化物区域与所述第二氮化硅膜的第二部分相接。

[0024] 根据该结构,通过使第二氮化硅膜与硅化物区域相接,从而能够更有效地使来自第二氮化硅膜的电荷向硅基板扩散。另外也可以采用如下方式,即,该硅化物区域经由第三氧化硅膜而与第二氮化硅膜相接。

[0025] [应用例4]

[0026] 在上述应用例所涉及的非易失性半导体存储器中,进一步优选为,在所述第二氧化硅膜上具有第一电极,且所述第二氮化硅膜的第三部分与所述第一电极相接。

[0027] 根据该结构,通过使第二氮化硅膜与第一电极相接,从而能够使制造过程中被捕获到第一氮化硅膜上的电荷经由第二氮化硅膜而向第一电极扩散。由此,能够使电荷向硅基板扩散并且使电荷向第一电极扩散,从而能够更有效地使被捕获到第一氮化硅膜上的电荷扩散。

[0028] [应用例5]

[0029] 在上述应用例所涉及的非易失性半导体存储器中,优选为,所述第三氧化硅膜厚度为22 Å以下。

[0030] 根据该结构,通过将第三氧化硅膜的厚度设为22 Å以下,从而能够更有效地使来自第二氮化硅膜的电荷向硅基板扩散。

[0031] [应用例6]

[0032] 在上述应用例所涉及的非易失性半导体存储器中,所述第二氮化硅膜厚度优选为45 Å以上。

[0033] 根据该结构,通过将第二氮化硅膜设为45 Å以上,从而能够更有效地实施第一氮化硅膜的电荷向第二氮化硅膜的输送。

[0034] [应用例7]

[0035] 本应用例所涉及的非易失性半导体存储器的制造方法的特征在于,包括:第一工序,在硅基板上使第一氧化硅膜成膜;第二工序,在所述第一氧化硅膜上使第一氮化硅膜成膜;第三工序,在所述第一氮化硅膜上使第二氧化硅膜成膜;第四工序,将所述第一氧化硅膜、所述第一氮化硅膜以及第二氧化硅膜图案形成为预定的形状;第五工序,在所述第四工序之后使第二氮化硅膜成膜,在所述第四工序中,所述第一氮化硅膜以及所述硅基板被露出,在所述第五工序中,所述第一氮化硅膜与所述第二氮化硅膜相接。

[0036] 根据该方法,通过利用第四工序中的图案形成而使第一氮化硅膜以及硅基板露出,且在第四工序之后的第五工序中使第二氮化硅膜成膜,从而能够使第二氮化硅膜与第一氮化硅膜相接并且与硅基板相接。由此,在第五工序之后的工序中,能够使被捕获到第一氮化硅膜上的电荷经由第二氮化硅膜而向硅基板扩散。

[0037] [应用例8]

[0038] 在上述应用例所涉及的非易失性半导体存储器的制造方法中,也可以采用如下方式,即,在所述第四工序与所述第五工序之间的第六工序中,在所述硅基板被露出的区域中形成了第三氧化硅膜。

[0039] 根据该方法,通过在第五工序使第二氮化硅膜成膜,从而能够使第二氮化硅膜与第一氮化硅膜相接,并且经由第三氧化硅膜而与硅基板相接。虽然第三氧化硅膜可以通过在氧氛围下进行加热来形成,但是也可以将通过被曝露于大气等中以使硅基板氧化而形成的自然产生的氧化硅膜设为第三氧化硅膜。

[0040] [应用例9]

[0041] 本应用例所涉及的非易失性半导体存储器的制造方法的特征在于,包括:第一工序,在硅基板上使第一氧化硅膜成膜;第二工序,在所述第一氧化硅膜上使第一氮化硅膜成膜;第三工序,在所述第一氮化硅膜上使第二氧化硅膜成膜;第四工序,将所述第一氧化硅膜、所述第一氮化硅膜以及第二氧化硅膜图案形成为预定的形状;第五工序,在所述第四工序之后使第二氮化硅膜成膜,在所述第四工序中,所述第一氮化硅膜被露出,且通过对所述第一氧化硅膜进行蚀刻,从而形成与所述第一氧化硅膜相比膜厚较薄的第三氧化硅膜,在所述第五工序中,所述第一氮化硅膜与所述第二氮化硅膜相接。

[0042] 根据该方法,通过在第五工序中使第二氮化硅膜成膜,从而能够使第二氮化硅膜与第一氮化硅膜相接,并且能够经由第三氧化硅膜而与硅基板相接。

附图说明

[0043] 图1为第一实施方式中的非易失性半导体存储器的概要剖视图。

[0044] 图2为第二实施方式中的非易失性半导体存储器的概要剖视图。

[0045] 图3为第三实施方式中的非易失性半导体存储器的概要剖视图。

[0046] 图4为第四实施方式中的非易失性半导体存储器的概要剖视图。

[0047] 图5为表示第二氮化硅膜的特性的曲线图。

[0048] 图6为表示第三氧化硅膜的特性的曲线图。

[0049] 图7为表示制造工序的一部分的模式图。

[0050] 图8为表示制造工序的一部分的模式图。

[0051] 图9为现有的非易失性半导体存储器的概要剖视图。

具体实施方式

[0052] 以下,使用附图对本发明的实施方式进行说明。另外,在以下的说明中所使用的附图,主要记载了说明中所需部分的简易的概要图。因此,实施了变形,从而存在形状不同的部分和大小的比例不同的部分等。

[0053] (第一实施方式)

[0054] 图1图示了应用本申请发明的非易失性半导体存储器100的剖视图。非易失性半导体存储器100使用硅基板12而形成,并具有第一电极10、侧壁11、源极区域/漏极区域13、硅化物区域14、硅化物层15、第一氧化硅膜20、第一氮化硅膜21、第二氧化硅膜22以及第二氮化硅膜23。作为第一电极10例如可使用多晶硅膜,作为侧壁11例如可使用氧化硅膜。源极区域/漏极区域13以及硅化物区域14为被形成于硅基板12内的区域。作为硅化物例如可使用硅化钴、硅化钛。此外,用于存储功能的阱层为,由第一氧化硅膜20、第一氮化硅膜21以及第二氧化硅膜22构成的ONO结构。第二氮化硅膜23与第一氮化硅膜21以及硅基板12相接。在下文中,只要没有特别地说明,则硅基板12这一记载为,包括源极区域/漏极区域13以及硅化物区域14的含义。

[0055] 为了进行比较,图9图示了现有的非易失性半导体存储器900的剖视图。非易失性半导体存储器900在没有第二氮化硅膜23这一点上与应用了本申请发明的非易失性半导体存储器100不同。在非易失性半导体存储器900中,作为侧壁11一般可使用氧化硅膜,在该情况下,第一氮化硅膜的侧面被氧化硅膜所覆盖。

[0056] 虽然在非易失性半导体存储器100以及900的制造过程中经常使用采用蚀刻、溅射等的等离子体的处理,但是此时来自等离子体的电荷被注入并保持于由第一氧化硅膜20、第一氮化硅膜21以及第二氧化硅膜22构成的ONO结构(阱层)中。在本申请中将这样的现象称为过程充电(process charge)。由于在发生过程充电时,现有的非易失性半导体存储器900中氧化硅膜的绝缘性较高,因此不易使因过程充电而产生的电荷扩散。因此,有时会在阱层上捕获有大量电荷的状态下结束制造工序,从而形成不适于高速、低电压动作的非易失性半导体存储器。此外,由于存储器的阈值电压会从设计值发生变动,因此在伴随有阈值电压的变动的沟道部的杂质浓度的变更、调整方面存在限制。

[0057] 相对于现有的非易失性半导体存储器900,在应用了本申请发明的非易失性半导体存储器100(图1)中新设置了第二氮化硅膜23。第二氮化硅膜23与第一氮化硅膜21的侧面和硅基板12相接。氮化硅膜与氧化硅膜相比绝缘性较低。因此,能够使被保持在阱层上的因过程充电而产生的电荷经由第二氮化硅膜23而向硅基板12扩散。电荷的扩散通过实施加热处理而被加速。加热处理可以采用杂质的活性化、硅化物化等在存储器的制造过程中一直以来所实施的加热处理,也可以设置专用的工序。第二氮化硅膜23只需为与氧化硅膜相比绝缘性较低的绝缘膜即可。例如可以为氮氧化硅膜。

[0058] 在图5中图示了表示第二氮化硅膜的膜厚与非易失性半导体存储器100以及900的阈值电压的关系的曲线图。在此,因过程充电而使电子被蓄积在阱层上,从而使阈值电压上升。在第二氮化硅膜的膜厚为 $0\text{ \AA}$ 、即采用非易失性半导体存储器900的情况下,阈值电压为 1.0V 。另一方面,在采用第二氮化硅膜的膜厚大于 $0\text{ \AA}$ 的非易失性半导体存储器100的情

况下,随着第二氮化硅膜的膜厚增大,蓄积在阱层上的电子被扩散,从而使阈值电压降低。由于在第二氮化硅膜的膜厚为 $45\text{ \AA}$ 以上的情况下,阈值电压降低至 0.6V 附近处并稳定下来,因此尤其优选。该阈值电压的膜厚依存性在后文中叙述的第二~第四实施方式中亦相同。

[0059] (第二实施方式)

[0060] 在包括本实施方式在内的后文中进行叙述的实施方式的说明中,对于与第一实施方式相同的结构要素标注相同的符号并省略其说明。

[0061] 图2中图示了应用本申请发明的非易失性半导体存储器200的剖视图。非易失性半导体存储器200为在非易失性半导体存储器100的结构要素中附加了第三氧化硅膜30的结构。第二氮化硅膜23经由第三氧化硅膜30而与硅基板12相接。第三氧化硅膜30的厚度被形成成为薄于第一氧化硅膜20的厚度。由此,即使第一氧化硅膜20成为了对于第一氮化硅膜21的电荷扩散而言的屏障,也能够经由第三氧化硅膜30而使该电荷扩散。

[0062] 在图6中图示了表示第三氧化硅膜的膜厚与非易失性半导体存储器200的阈值电压的关系的曲线图。在此,因过程充电而使电子被蓄积在阱层上,从而使阈值电压上升。在非易失性半导体存储器200中,随着第三氧化硅膜的膜厚变小,从而蓄积在阱层上的电子被扩散,进而使阈值电压降低。在第三氧化硅膜的膜厚为 $22\text{ \AA}$ 以下的情况下,阈值电压降低至 0.5V 附近并稳定下来,因此尤其优选。该阈值电压的膜厚依存性在后文中叙述的第四实施方式中亦相同。

[0063] 另外,第三氧化硅膜30可以为有意地形成的结构,也可以为在形成第二氮化硅膜23之前的工序中自然地形成的结构。

[0064] (第三实施方式)

[0065] 图3中图示了应用本申请发明的非易失性半导体存储器300的剖视图。非易失性半导体存储器300具有与硅基板12以及第一电极10相接的第二氮化硅膜24。侧壁11以覆盖第二氮化硅膜24的方式而形成。与上述的第二氮化硅膜23相同,第二氮化硅膜24的厚度优选为 $45\text{ \AA}$ 以上。

[0066] 被捕获到第一氮化硅膜21上的电荷将经由第二氮化硅膜24而被扩散到第一电极10以及硅基板12,从而与仅被扩散到硅基板12的情况相比效率升高。由此,能够提高对于加热处理的温度的设定以及时间的设定的自由度。

[0067] (第四实施方式)

[0068] 图4中图示了应用本申请发明的非易失性半导体存储器400的剖视图。非易失性半导体存储器400为在非易失性半导体存储器300的结构要素中附加了第三氧化硅膜31的结构。第二氮化硅膜24经由第三氧化硅膜31而与硅基板12相接。第三氧化硅膜31的厚度被形成成为薄于第一氧化硅膜20的厚度。由此,即使第一氧化硅膜20成为相对于使第一氮化硅膜21的电荷扩散的屏障,也能够经由第三氧化硅膜31使该电荷扩散。与上述的第三氧化硅膜30相同,第三氧化硅膜31的厚度优选为 $22\text{ \AA}$ 以下。

[0069] 第三氧化硅膜31可以为有意地形成的结构,也可以为在形成第二氮化硅膜24之前的工序中自然地形成的结构。

[0070] 上述的非易失性半导体存储器100、200、300以及400均在硅基板12内形成有硅化

物区域14。由于硅化物区域14与硅基板12的其他部分相比电阻较低,因此设置硅化物区域14将致使向基板扩散过程充电的电荷的工序的效率提高,故为优选。

[0071] (第五实施方式)

[0072] 本实施方式为对本发明所涉及的具有ONO结构的非易失性半导体存储器的制造方法的一个示例进行说明的方式。具体而言,本实施方式为上述的非易失性半导体存储器300或400的制造方法。图7以及图8中图示了制造过程中的元件的剖视图的模式图。另外,在附图中仅图示了非易失性半导体存储器的一部分,其他种类的元件的形成也同时被实施。此外,将形成该非易失性半导体存储器的区域称为ONO区域。

[0073] 图7-(a)图示了在硅基板501上形成STI(Shallow Trench Isolation:浅沟槽隔离)502之后,形成了虚拟氧化膜503的状态。虚拟氧化膜503为,用于消除在针对形成ONO结构时的ONO区域以外的区域进行ONO去除时对基板造成的影响的膜。之后,ONO区域中的虚拟氧化膜503被除去,从而层叠成ONO结构。图7-(b)为,图示了在层叠ONO结构之后去除了被形成在虚拟氧化膜503上的ONO结构时的状态的图。之后,去除残留的虚拟氧化膜503,从而形成ONO区域以外的晶体管的栅极氧化膜。ONO区域中的ONO结构由第一氧化硅膜504、第一氮化硅膜505以及第二氧化硅膜506构成。

[0074] 接下来,多晶硅在整个面上被成膜,并通过干式蚀刻而形成了预定形状的第一栅电极507(图7-(c))。该干式蚀刻的工序为引起过程充电的工序(以下,称为电荷积蓄工序)。之后,实施与装置相对应的离子注入而形成杂质区域509,之后,使第二氮化硅膜508成膜(图7-(d))。

[0075] 接下来,为了形成侧壁而使氧化硅膜成膜,并通过各向异性蚀刻形成侧壁510。该各向异性蚀刻亦为电荷积蓄工序。由于氮化硅膜为应力较大的膜,因此当仅由氮化硅膜来形成侧壁时,存在产生因应力而导致缺陷的情况。因此优选为,不仅将侧壁510设为氮化硅膜、还设为与氧化硅膜的层叠结构。接下来,注入用于形成源极区域/漏极区域的离子,并实施活化退火(图8-(e))。该活化退火工序为使过程充电扩散的工序(以下,称作电荷扩散工序)。被蓄积在第一氮化硅膜505以及第二氮化硅膜508上的电荷因该活化退火而向硅基板501以及第一栅电极507扩散。

[0076] 接下来,通过对Co(钴)进行溅射并进行退火,从而形成硅化钴区域511以及硅化钴层515。在该工序中,该溅射为电荷积蓄工序,该退火为电荷扩散工序(图8-(f))。

[0077] 接下来,形成层间绝缘膜512,并利用干式蚀刻而形成连接孔513。该干式蚀刻为电荷积蓄工序,而之后的将钨等成膜、退火并形成配线514的工序为电荷扩散工序(图8-(g))。

[0078] 以下,为了实施所需层数的层间绝缘膜的形成、连接孔的形成以及配线的形成,从而实施预定的溅射、预定的蚀刻以及预定的退火,以反复进行电荷积蓄工序和电荷扩散工序。在电荷积蓄工序中被蓄积在由第一氧化硅膜504、第一氮化硅膜505以及第二氧化硅膜506构成的ONO结构(阱层)中的电荷,能够在电荷扩散工序中向硅基板501以及第一栅电极507扩散。为了在制造所需的工序全部结束的时间点上不保持为在阱层上捕获有电荷的状态,从而优选在最终的电荷积蓄工序之后设置电荷扩散工序。进一步优选为,最终工序为电荷扩散工序。由此,能够制造出消除了因过程充电而产生的弊端的非易失性半导体存储器。

[0079] 此外,在上述的制造工序中,可以在第二氮化硅膜508被成膜之前附加形成第三氧化硅膜的工序。例如也可以采用如下方式,即,在通过干式蚀刻形成预定的形状的第一栅电

极507时,为了不使所述硅基板露出而通过残留氧化硅膜的方式进行加工,从而有意地形成第三氧化硅膜。或者也可以考虑如下内容来构成制作工序,即,在制造过程中利用硅基板与第二氮化硅膜之间自然地形成的氧化硅膜来作为第三氧化硅膜。

[0080] 作为本实施方式,对采用非易失性半导体存储器300或400的情况下的制造方法进行了说明,但是在采用非易失性半导体存储器100或200的情况下,由于第二氮化硅膜的形状不同,因此制造工序有所不同。然而,通过设为在电荷积蓄工序之后存在电荷扩散工序,从而能够得到与本实施方式中所说明的制造方法的效果相同的效果。

[0081] 以上,对本发明所涉及的应用例以及实施方式进行了记载,但是本发明并不限定于上述的记载。本发明能够在不脱离主旨的范围内进行广泛应用。

[0082] 符号说明

[0083] 10…第一电极;11…侧壁;12…硅基板;13…源极/漏极区域;14…硅化物区域;15…硅化物层;20…第一氧化硅膜;21…第一氮化硅膜;22…第二氧化硅膜;23…第二氮化硅膜;24…第二氮化硅膜;30…第三氧化硅膜;31…第三氧化硅膜;100…非易失性半导体存储器;200…非易失性半导体存储器;300…非易失性半导体存储器;400…非易失性半导体存储器;501…硅基板;502…STI;503…虚拟氧化膜;504…第一氧化硅膜;505…第一氮化硅膜;506…第二氧化硅膜;507…第一栅电极;508…第二氮化硅膜;509…杂质区域;510…侧壁;511…硅化钴区域;512…层间绝缘膜;513…连接孔;514…配线;515…硅化钴层;900…非易失性半导体存储器。

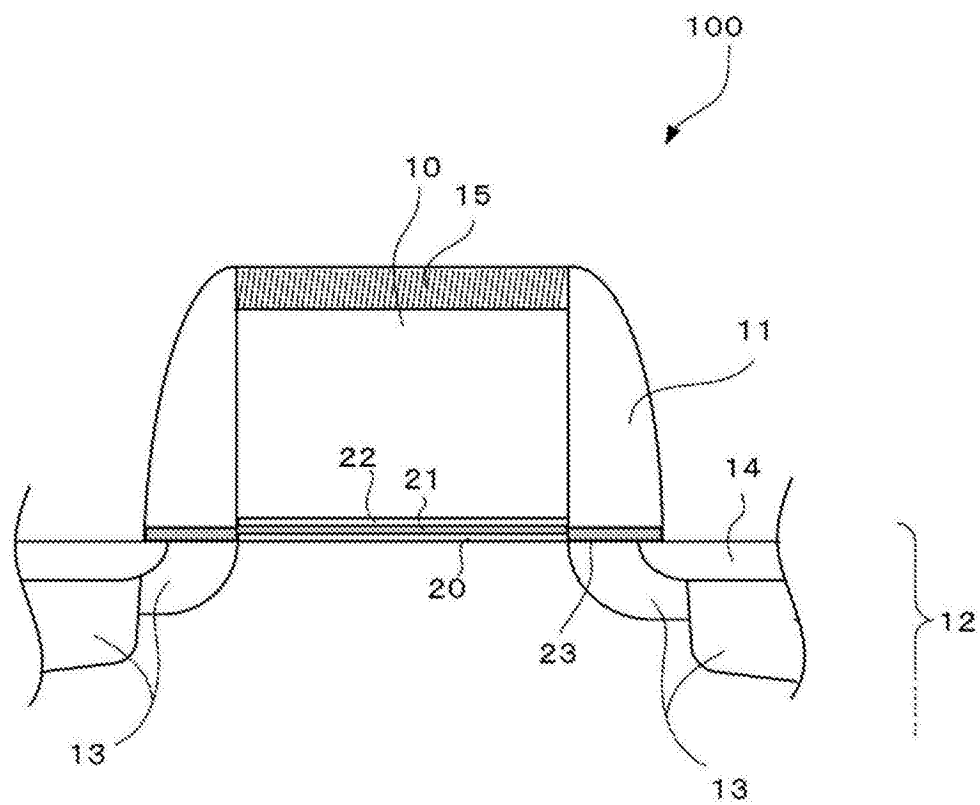


图1

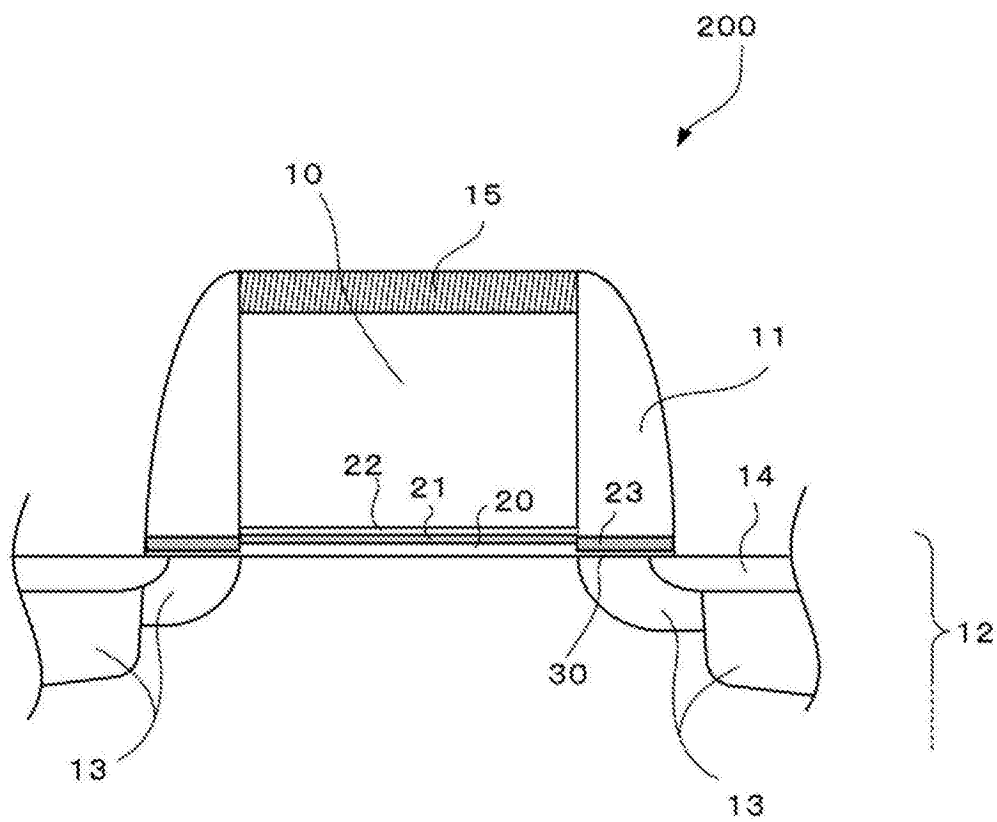


图2

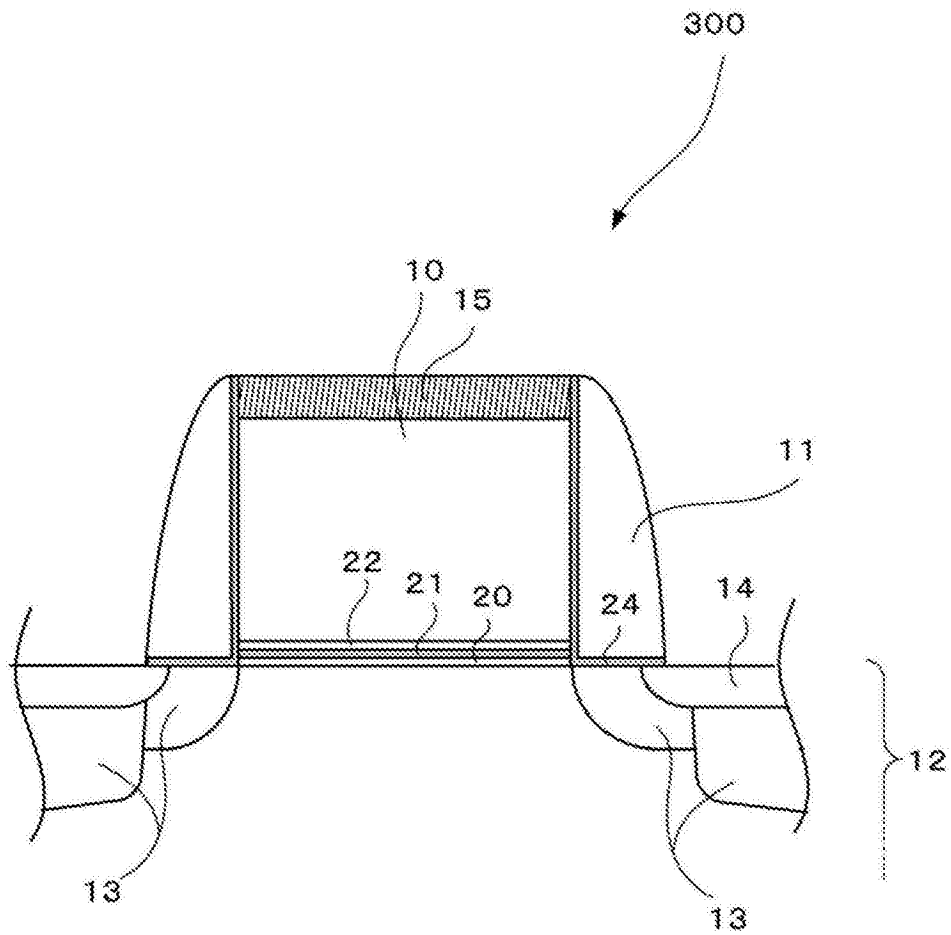


图3

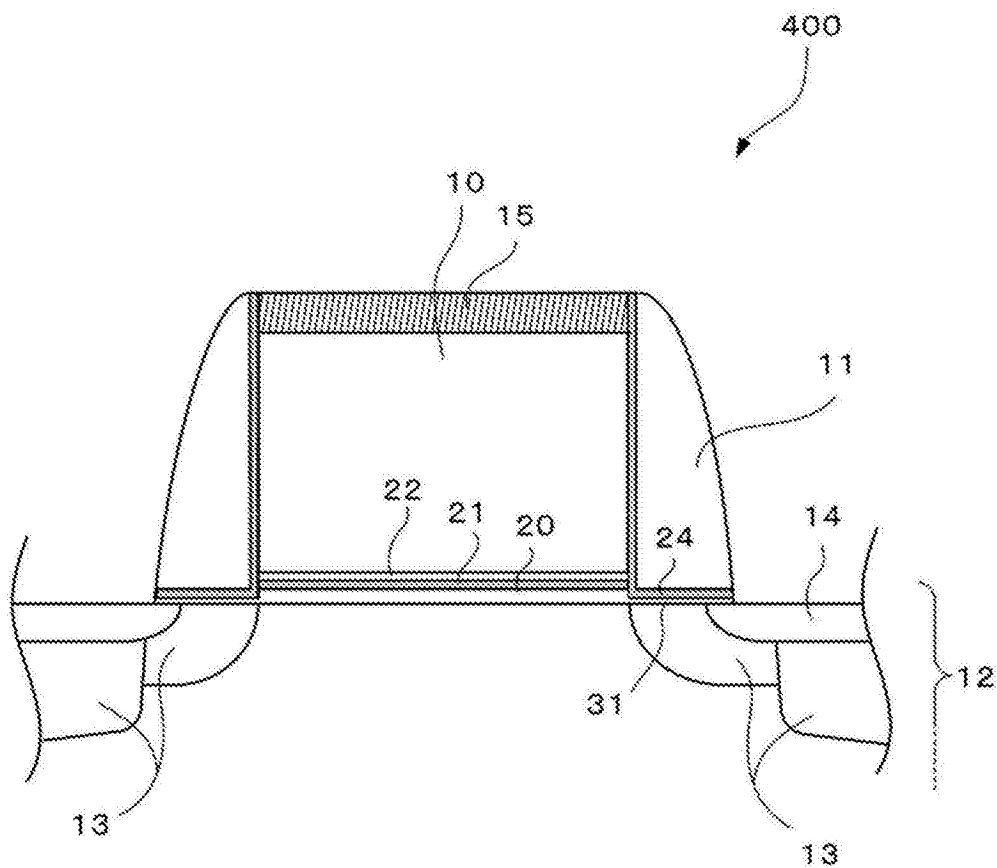


图4

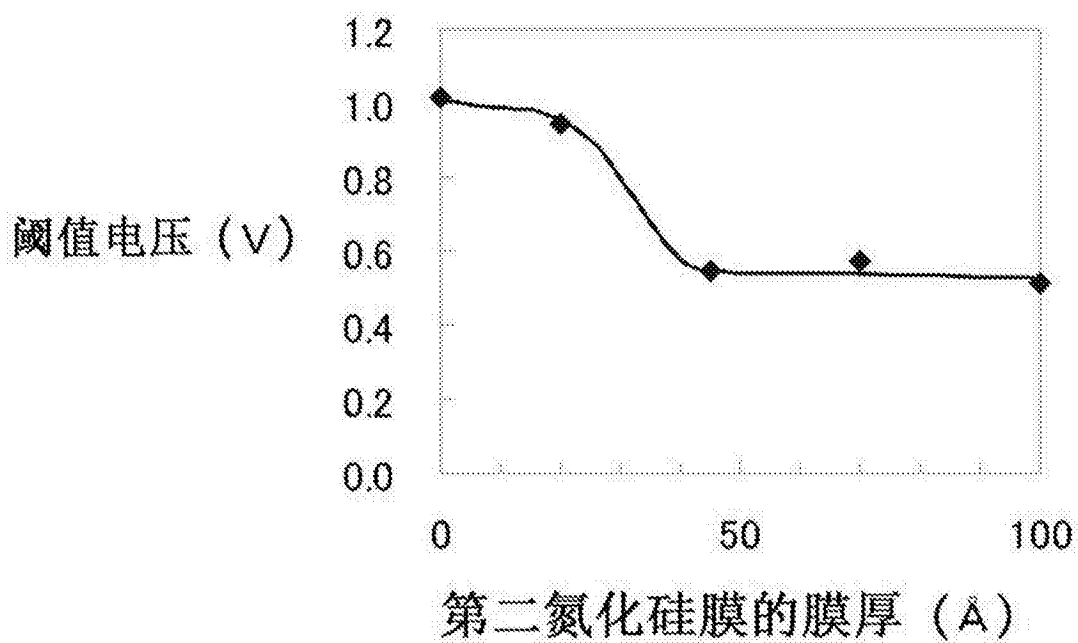


图5

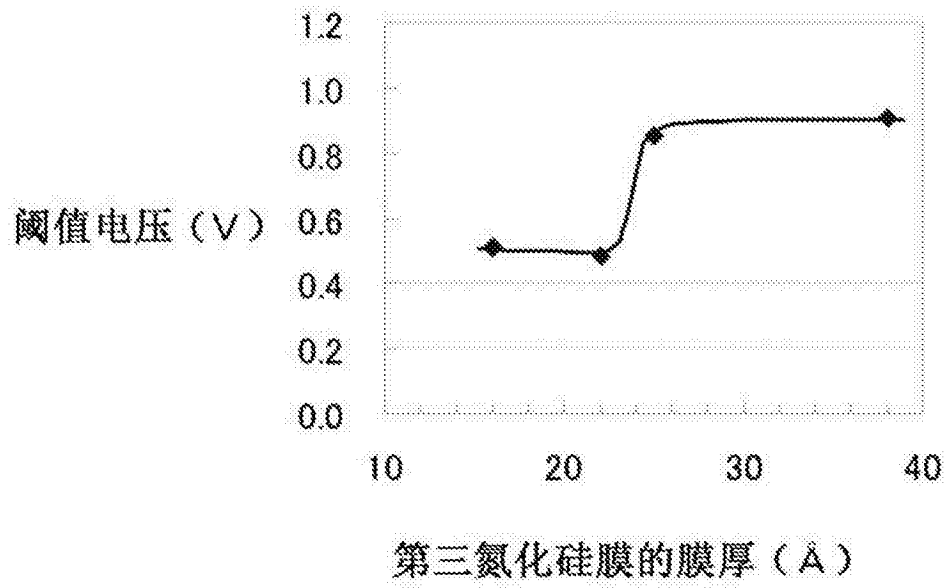


图6

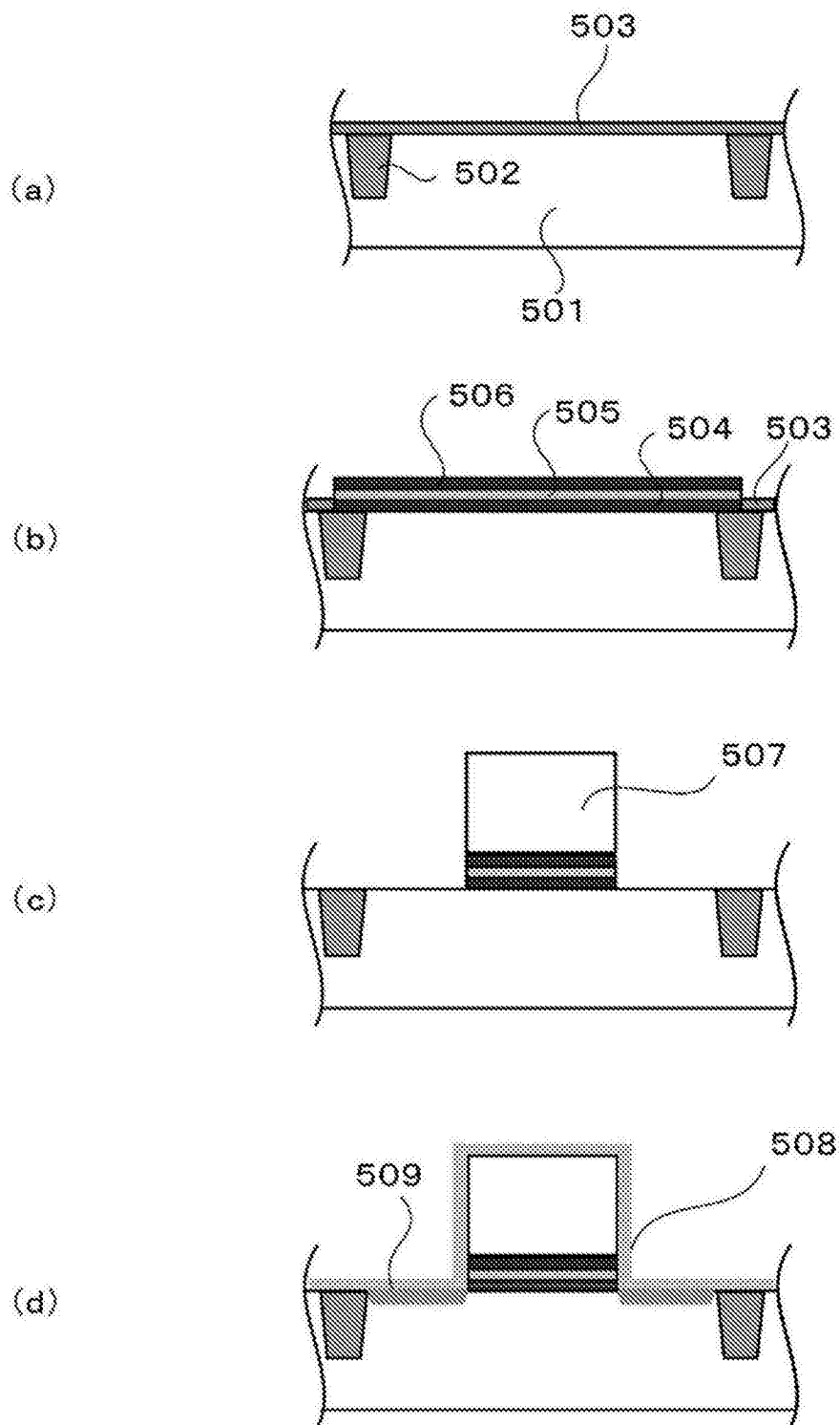


图7

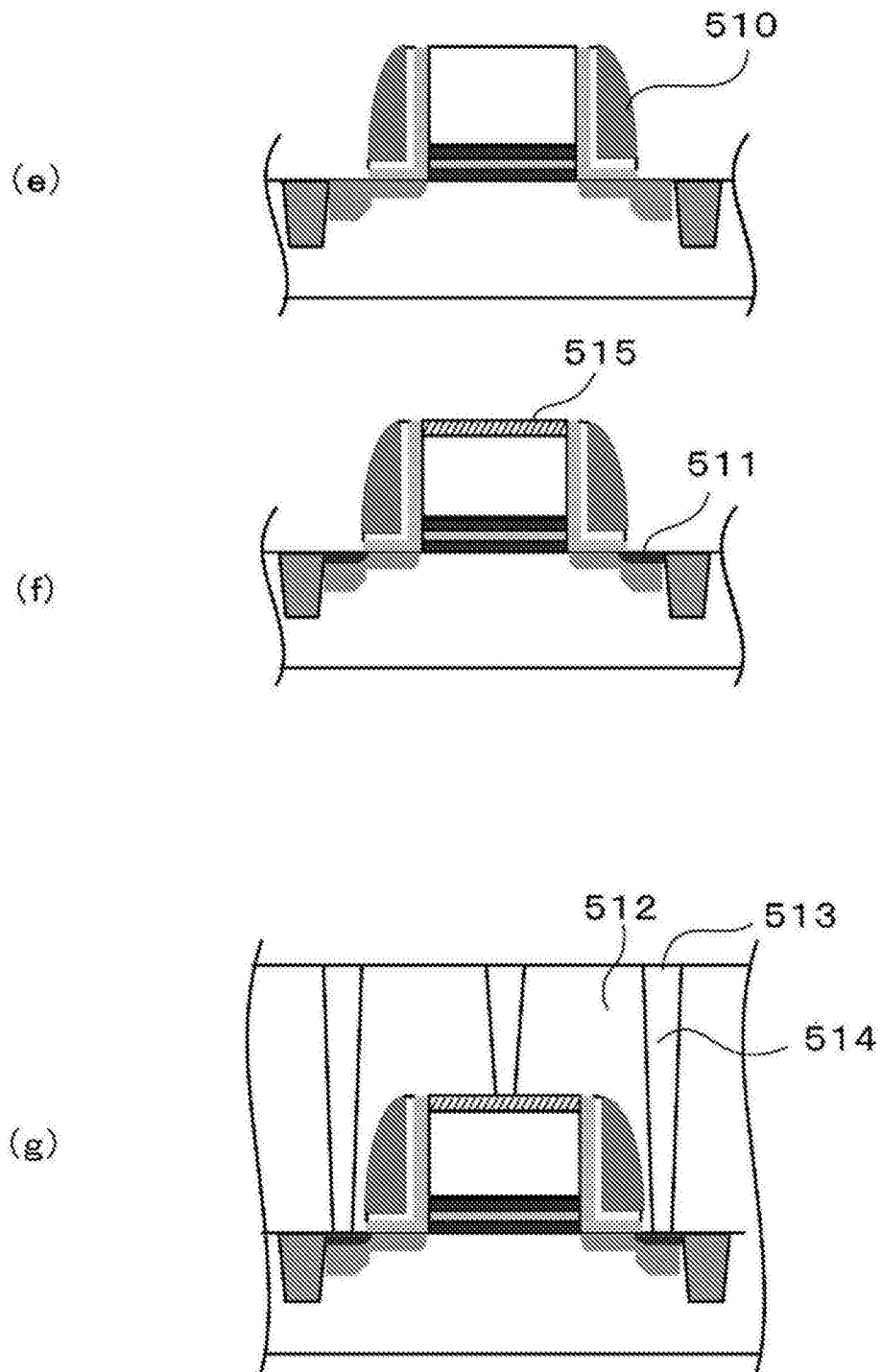


图8

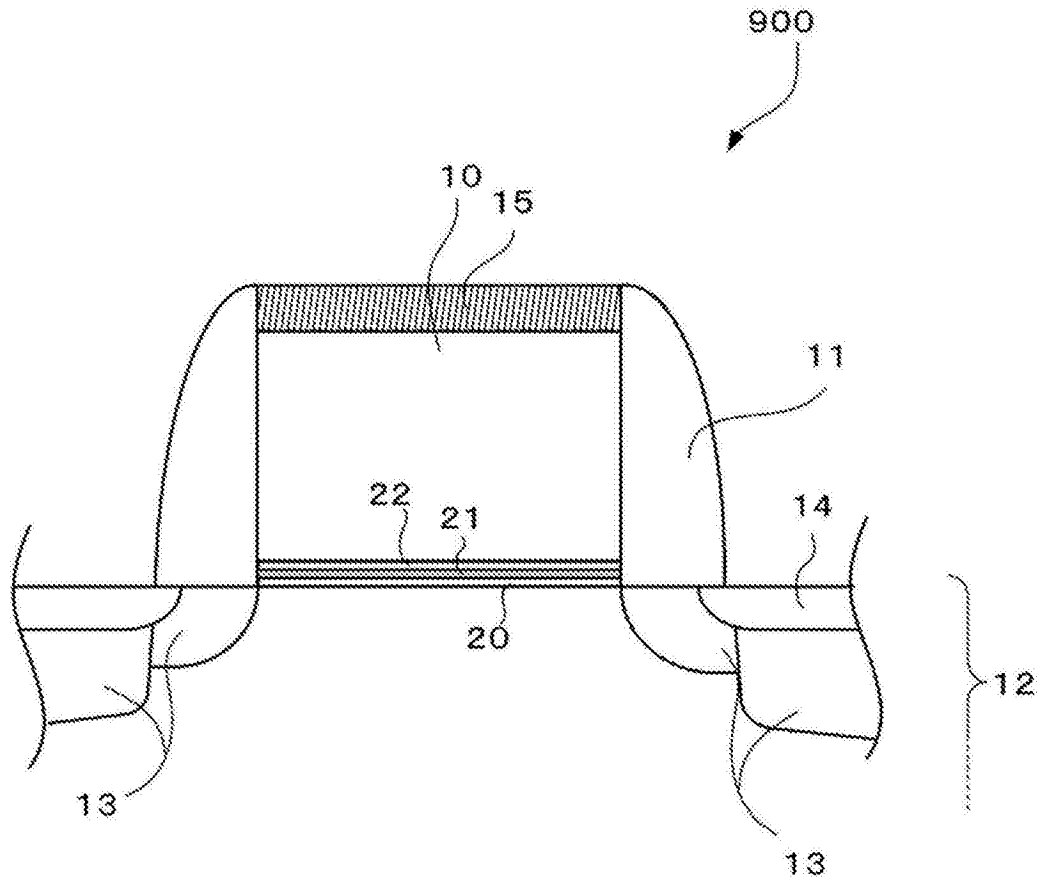


图9