



(12)发明专利申请

(10)申请公布号 CN 106717138 A

(43)申请公布日 2017.05.24

(21)申请号 201580048951.9

(22)申请日 2015.10.07

(30)优先权数据

14/529,859 2014.10.31 US

(85)PCT国际申请进入国家阶段日

2017.03.10

(86)PCT国际申请的申请数据

PCT/CA2015/051015 2015.10.07

(87)PCT国际申请的公布数据

W02016/065460 EN 2016.05.06

(71)申请人 ATI科技无限责任公司

地址 加拿大安大略省

(72)发明人 罗登·托帕西欧

安德鲁·KW·莱昂

(74)专利代理机构 上海胜康律师事务所 31263

代理人 樊英如 包孟如

(51)Int.Cl.

H05K 3/40(2006.01)

H05K 3/28(2006.01)

H05K 3/36(2006.01)

H05K 3/42(2006.01)

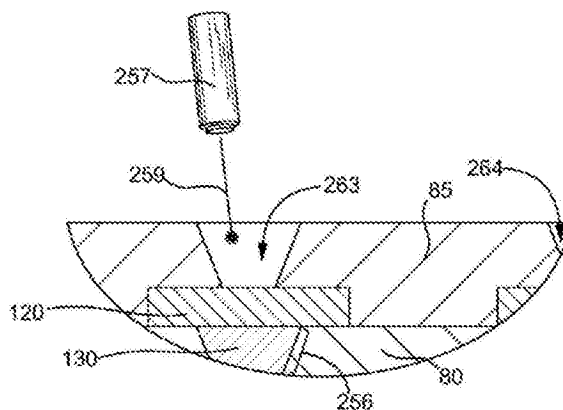
权利要求书2页 说明书6页 附图7页

(54)发明名称

具有受约束焊料互连垫的电路板

(57)摘要

本发明公开了各种电路板及其制造方法。在一个方面中,提供一种制造方法,其包括在具有第一开口(220)的电路板(20)上形成焊料掩模(75),所述第一开口具有侧壁。在所述第一开口中形成焊料互连垫(65)。所述侧壁限定了所述焊料互连垫的横向范围。



1. 一种制造方法,其包括:
在具有第一开口(220)的电路板(20)上形成焊料掩模(75),所述第一开口具有侧壁;以及
在所述第一开口中形成焊料互连垫(65),所述侧壁限定了所述焊料互连垫的横向范围。
2. 如权利要求1所述的方法,其中形成所述第一开口且在所述第一开口中放置金属以形成所述焊料互连垫。
3. 如权利要求2所述的方法,其包括在所述电路板的互连层(85)中形成暴露下伏导体垫(120)的第二开口(263),以及形成所述焊料掩模以使得所述第一开口与所述第二开口对准。
4. 如权利要求3所述的方法,其包括在所述第二开口中形成导电通孔(140)且在所述导电通孔上形成所述焊料互连垫。
5. 如权利要求1所述的方法,其中形成所述焊料互连垫且随后形成所述焊料掩模和所述第一开口而不接触所述焊料互连垫,且将金属添加到所述焊料互连垫以及所述焊料互连垫与所述侧壁之间。
6. 如权利要求1所述的方法,其包括耦合所述焊料互连垫上的焊料凸块(55)。
7. 如权利要求1所述的方法,其包括将半导体芯片(15)耦合到所述电路板。
8. 如权利要求1所述的方法,其包括使用存储在计算机可读媒介中的指令形成所述焊料掩模和所述焊料互连垫。
9. 一种制造方法,其包括:
在半导体芯片封装衬底(20)上形成焊料掩模(75),所述焊料掩模包含具有侧壁的第一开口(220);以及
在所述第一开口中形成焊料互连垫(65),所述侧壁限定了所述焊料互连垫的横向范围。
10. 如权利要求9所述的方法,其中形成所述第一开口且在所述第一开口中放置金属以形成所述焊料互连垫。
11. 如权利要求10所述的方法,其包括在所述半导体芯片封装衬底的互连层(85)中形成暴露下伏导体垫(120)的第二开口(263),以及形成所述焊料掩模以使得所述第一开口与所述第二开口对准。
12. 如权利要求11所述的方法,其包括在所述第二开口中形成导电通孔(140)且在所述导电通孔上形成所述焊料互连垫。
13. 如权利要求9所述的方法,其中形成所述焊料互连垫且随后形成所述焊料掩模和所述第一开口而不接触所述焊料互连垫,且将金属添加到所述焊料互连垫以及所述焊料互连垫与所述侧壁之间。
14. 如权利要求9所述的方法,其包括将半导体芯片(15)耦合到所述半导体芯片封装衬底。
15. 如权利要求9所述的方法,其包括将多个焊料球(30)耦合到所述半导体芯片封装衬底。
16. 一种电路板(20),其包括:

在所述电路板上的焊料掩模 (75), 所述焊料掩模具有第一开口 (220), 所述第一开口具有侧壁; 以及

在所述第一开口中的焊料互连垫 (65), 所述侧壁限定了所述焊料互连垫的横向范围。

17. 如权利要求16所述的电路板, 其包括耦合所述焊料互连垫上的焊料凸块 (55)。

18. 如权利要求16所述的电路板, 其包括耦合到所述电路板的半导体芯片 (15)。

19. 如权利要求16所述的电路板, 其中所述焊料互连垫包含上表面 (225), 且所述焊料掩模基本上不与所述上表面接触。

20. 如权利要求16所述的电路板, 其中所述电路板包括半导体芯片封装衬底。

具有受约束焊料互连垫的电路板

技术领域

[0001] 本发明大体上涉及半导体处理,且更特定来说涉及具有焊料互连垫的电路板及其制作方法。

背景技术

[0002] 各种常规有机半导体芯片封装衬底借助于多个焊料凸块与倒装芯片式安装的半导体芯片以电学方式介接。在一些常规设计中,焊料凸块或其部分定位在形成于焊料掩模中的孔中,所述焊料掩模是电路板的最外层。希望所述孔与下伏的凸块垫垂直对齐。在常规设计中,凸块垫被制造为具有比焊料掩模孔大的横向尺寸。这产生了焊料掩模与凸块垫的上表面之间的界面。

[0003] 常规焊料互连垫通常形成于下伏的通孔上。在这些位置,焊料掩模可能经受弯曲矩。这些弯曲矩会造成在凸块垫上表面处的焊料掩模的分层。分层会产生路径而让来自上覆凸块的焊料横向迁移且潜在地短接到邻近导体结构,例如迹线或其它凸块垫。

[0004] 持续的趋势是将更多的布线拥挤到电路板中,尤其是半导体芯片封装衬底。越来越复杂的半导体裸片设计的输入/输出数目的增加尤其造成对更大的布线复杂性的需要。将更多的迹线和通孔插入到电路板布局中不是小问题。实际上,增加布线的目的必须与设计规则抗衡,所述设计规则的实行是为了确保用以形成电路板的制造工艺可以可靠地形成电路板。

[0005] 然而,解决潜在焊料掩模分层的常规技术常常采用需要较大导体间距的放大的凸块垫或设计规则,这两者都导致了较大的封装密度。

[0006] 本发明是针对克服或减少前述一个或多个缺点的影响。

发明内容

[0007] 根据本发明的实施方案的一个方面,提供一种制造方法,其包含在具有第一开口的电路板上形成焊料掩模,所述第一开口具有侧壁。在所述第一开口中形成焊料互连垫。所述侧壁限定了所述焊料互连垫的横向范围。

[0008] 根据本发明的实施方案的另一方面,提供一种制造方法,其包含在半导体芯片封装衬底上形成焊料掩模。所述掩模包含具有侧壁的第一开口。在所述第一开口中形成焊料互连垫。所述侧壁限定了所述焊料互连垫的横向范围。

[0009] 根据本发明的实施方案的另一方面,提供一种电路板,其包含在电路板上的焊料掩模。所述焊料掩模带有具有侧壁的第一开口。焊料互连垫在所述第一开口中。所述侧壁限定了所述焊料互连垫的横向范围。

附图说明

[0010] 在阅读以下详细说明并参考附图后将了解本发明的前述及其它优点,附图中:

[0011] 图1是包含安装于电路板上的半导体芯片的示例性常规半导体芯片装置的图形视

图；

- [0012] 图2是图1的在截面2-2截取的截面图；
- [0013] 图3是以较大放大率示出的图2的一部分；
- [0014] 图4是类似于图3的截面图，但为常规电路板结构；
- [0015] 图5是类似于图3的截面图，但描绘假设不完全焊料掩模开口对齐；
- [0016] 图6是类似于图4的截面图，但描绘常规电路板结构的假设不完全焊料掩模开口对齐；
- [0017] 图7是描绘示例性堆积层和通孔开口形成的截面图；
- [0018] 图8是类似于图7的截面图，但描绘示例性掩蔽和迹线形成；
- [0019] 图9是类似于图8的截面图，但描绘示例性焊料掩模形成；
- [0020] 图10是类似于图9的截面图，但描绘示例性通孔和焊料互连垫形成；
- [0021] 图11是类似于图10的截面图，但描绘焊料互连垫上的额外金属放置；
- [0022] 图12是类似于图7的截面图，其描绘替代示例性堆积层和通孔开口形成；
- [0023] 图13是类似于图12的截面图，但描绘示例性焊料互连垫和迹线形成；以及
- [0024] 图14是类似于图13的截面图，但描绘替代示例性焊料掩模形成；以及
- [0025] 图15是类似于图14的截面图，但描绘焊料互连垫上的额外金属的放置。

具体实施方式

[0026] 本文描述印刷电路板的各种实施方案，例如半导体芯片封装衬底。一个实施例包含焊料掩模和焊料互连垫，例如凸块垫，其定位于开口中以使得所述开口的侧壁限定焊料互连垫的横向范围。现在将描述额外细节。

[0027] 在下文描述的图中，一般在多于一个图中出现相同元件的地方重复参考标号。现在转到附图，且特定参见图1，其中示出了电路装置10的示例性实施方案的图形视图，所述电路装置包含安装在电路板20上的半导体芯片15。底填材料层25定位于半导体芯片15与电路板20之间以减少有差别的CTE的影响。电路板20具备若干导体迹线和通孔以及其它结构，以便提供电力、接地以及半导体芯片15与未图示的另一电路装置之间的信号传送。为了促进那些传送，电路板20可以具备呈引脚栅阵列、球栅阵列、盘栅阵列或其它类型的互连方案的形式输入/输出。在此说明性实施方案中，电路板20具备由多个焊料球30组成的球栅阵列。

[0028] 半导体芯片15可为电子元件中使用的无数不同类型电路装置中的任一种，例如微处理器、图形处理器、组合式微处理器/图形处理器、芯片上系统、专用集成电路、存储器装置或类似物，且可为单核或多核或甚至与额外裸片堆叠。半导体芯片15可以由块状半导体（例如硅或锗）、绝缘体上半导体材料（例如绝缘体上硅材料）、石墨烯或其它材料构造。半导体芯片15可以倒装芯片式安装到电路板20且通过焊料接头或其它结构与其电连接。可以使用除了倒装芯片式焊料接头之外的互连方案。

[0029] 电路板20可以是半导体芯片封装衬底、电路板或实际上任何其它类型的印刷电路板。虽然单片式结构可以用于电路板20，但较典型的配置将利用堆积设计。在此方面，电路板20可以由中央核心组成，其上方形成一个或多个堆积层且其下方形成额外一个或多个堆积层。所述核心自身可以由一个或多个层的堆叠组成。此布置的一个实施例可以是2-2-2布

置,其中单层核心层压于两组两个堆积层之间。如果实现为半导体芯片封装衬底,那么电路板20中的层数目可从四个变化为十六个或更多,但也可使用少于四个。也可以使用所谓的“无核”设计。电路板20的层可以由随金属互连件散布的绝缘材料组成,例如各种众所周知的环氧树脂或其它聚合物。可以使用除了堆积之外的多层配置。任选地,电路板20可由适合于封装衬底或其它印刷电路板的众所周知的陶瓷或其它材料构成。

[0030] 现在转为注意图2,其为图1的在截面2-2截取的截面图。应注意,截面2-2仅涵盖半导体芯片15和封装衬底20的相当小的部分。半导体芯片15可以倒装芯片式安装到电路板20且通过焊料凸块、焊料接头、导电柱或其它结构与其电互连。在此说明性实施方案中,描绘两个焊料互连件或接头35和40且它们至少部分地由底填料25包围。虽然描绘仅两个焊料接头35和40,但取决于半导体芯片15和电路板20的复杂性大小,可存在数十、数百或甚至数千个此类接头。焊料接头35和40可以由耦合到半导体芯片15的相应焊料凸块45和50以及以冶金方式结合到电路板20的相应焊料互连垫65和70的预焊料55和60组成。焊料凸块45和50借助于回流和凸块塌陷工艺以冶金方式结合到预焊料55和60。

[0031] 焊料凸块45和50以及焊料球30可以由各种基于铅或不含铅的焊料构成。示例性基于铅的焊料可以具有处于或接近共晶比例的组成,例如约63% Sn和37% Pb。不含铅的实施例包含锡-银(约98.2% Sn 1.8% Ag)、锡-铜(约99% Sn 1% Cu)、锡-银-铜(约96.5% Sn 3% Ag 0.5% Cu)或类似物。预焊料55和60可以由相同类型的材料构成。任选地,预焊料55和60可以为了单一焊料结构或焊料加导电柱布置而消除。底填材料层25可为例如环氧树脂,其与硅石填料和酚醛树脂混合,且在回流过程之前或之后沉积以建立焊料接头35和40。预焊料55和60以及焊料互连垫65和70由焊料掩模75横向包围,所述焊料掩模通过激光烧蚀或类似方法以光刻方式图案化而形成多个开口,以便容纳各种预焊料,例如预焊料55和60。另一焊料掩模77定位于电路板20的相对侧上以促进焊料球30的附接。焊料掩模75和77可以由适合于焊料掩模制作的多种材料制作,例如由Taiyo Ink Mfg.有限责任公司制造的PSR-4000AUS703或由日立化学有限责任公司制造的SR7000。

[0032] 在此说明性实施方案中,电路板20实现为具有2-2-2堆积设计的半导体芯片封装。在此方面,互连或堆积层80和85形成于核心87的一侧上,且互连或堆积层90和95形成于核心87的相对侧上。核心87可以按需要为单片式或层压物或者两个或更多个层。核心87以及堆积层80、85、90和95可以由众所周知的聚合材料构成,例如由Ajinomoto有限公司供应的GX13。堆积层80、85、90和95、核心87以及焊料掩模75和77构成了用于电路板20的互连系统。以下对图2中的各种导体结构的论述将说明电路板20中的其它导体结构。堆积层80可以包含相应导体结构或垫110和115,其借助于在堆积层80中形成的相应通孔130和135而与堆积层85中的另一组导体结构或垫120和125互连或欧姆接触。类似地,堆积层85中的导体垫120和125可以借助于相应通孔140和145电连接到焊料掩模75中的上覆焊料互连垫65和70。通过堆积层90和95以及焊料掩模77的电路路径可以借助于以下各者而类似地提供:堆积层90中的导体垫150和155以及通孔160和165,堆积层95中的导体垫170和175以及对应通孔180和185,以及焊料掩模77中的连接到通孔180和185的球垫190和195。焊料球30以冶金方式结合到球垫190和195。通过核心87的电路路径可以借助于穿通孔200和205而提供,所述穿通孔可为电镀的穿通孔或其它类型的导体。

[0033] 仍参见图2,可存在围绕焊料互连垫65和70散布且由焊料掩模75覆盖的多个导体

迹线。描绘这些迹线中的两个且分别标记为210和215。堆积层80、85、90和95以及焊料掩模77可以包含多个此类迹线,这为了图示的简单而未示出。实际上,在电路板20中可存在数百或更多此类迹线210和215以提供电力、接地和/或信号的灵活布线。焊料接头35和40是以凸块间距 x_1 制作,其大小取决于多种因素,例如半导体芯片15的大小、半导体芯片15所需的输入/输出路径的数目以及其它考虑。

[0034] 图2的由虚线椭圆形217环绕的部分将在图3中以更大的放大示出。现在转为注意图3。为了上下文,图3示出了底填料25、焊料凸块45、预焊料55、导体垫65、焊料掩模75以及导体迹线210的部分。另外,描绘堆积层80和85以及通孔130和140以及垫120。预焊料55定位于焊料掩模75中的开口220中。此说明性实施方案的技术目的是将导体垫65和焊料掩模75中的开口220制作为具有相同或近似相同的横向尺寸 x_2 。如下文更完整地描述,这是通过使用焊料掩模开口220作为对垫65的潜在横向尺寸 x_2 的限制来实现。目的是消除或基本上限制导体垫65的上表面225与焊料掩模75之间的任何界面。另一目的是在垫65与迹线210之间建立具有宽度 x_3 的间隙227,所述宽度将大于下文将描述的常规制造工艺和结构。

[0035] 为了理解消除与垫65的上表面225的焊料掩模界面的益处,简要地审阅如图4中所示的常规焊料掩模和垫布置可为有用的。应注意,图4是类似于图3的视图,但为常规的导体垫和焊料掩模布置。此处,预焊料232制作于导体垫234上。焊料掩模236制作于导体垫234上方且经图案化有开口238以容纳预焊料232。开口238具有横向尺寸 x_2 ,但还应注意导体垫234制作为具有横向尺寸 x_4 ,其在上文描述的说明性实施方案中通常比垫65的横向尺寸 x_2 大约20%。从图4中的此设计选项中存在几个技术影响。第一个是导体垫234与导体迹线243之间的间隙241具有的宽度 x_5 比导体垫65与迹线210之间的对应间隙227小得多。另外,应注意导体垫234的上表面251与焊料掩模236之间存在实质界面249。在界面249处的焊料掩模236的部分可分层且允许来自预焊料232的焊料朝向迹线243迁移并可能造成短路。所述问题会在以下情况下加剧:焊料掩模开口238未与导体垫234的位置良好地垂直对齐和/或垫234未与通孔253良好地垂直对齐。举例来说,且如图5中描绘,其中开口238且因此预焊料232不良地对齐且因此相对于垫234在x方向上横向偏移,和/或垫234相对于通孔253在同一方向上偏移,则间隙241具有某个宽度 x_6 使得 $x_6 < x_5$,且来自预焊料232的焊料侵入界面249且与迹线243短接的可能甚至更大。返回到图3,再次注意到在焊料掩模75与垫65的上表面225之间不存在或基本上不存在与刚才结合图4描述的界面249相当的界面。因此且如图6中描绘,垫65、焊料掩模75中的开口220以及具有通孔140的预焊料55在x方向上的不完全对齐将不太可能造成与迹线210的短接。此结果部分是由于相对于图5中所示的常规间隙241的更大大小的间隙227,即使具有x轴线偏移。

[0036] 现在通过参见图7到10且初始参见图7来理解用于制作导体垫65和焊料掩模75的示例性方法。图7是类似于图3的截面图。图3中描绘的上覆半导体芯片15在此时未附接且因此未描绘。随后的描述将主要集中于导体垫65且在较少程度上集中于导体垫70。然而,所述论述适用于与焊料掩模75相互作用的其它导体垫。此时,堆积层80和85已经形成。在本文别处描述的类型绝缘材料可以通过旋涂或其它技术而沉积,且通过加热或另外方式固化以建立堆积层80。堆积层80中可以通过激光切割形成开口256以容纳通孔130。激光器257可以用脉冲或作为连续波束来递送激光辐射259。激光辐射259的波长和斑点大小被选择为有效地烧蚀堆积层80的材料,同时产生具有所需大小和占据面积的开口256。举例来说,可以使

用在紫外线范围中且具有2.0到5.0微米范围内的斑点大小的辐射259。完全钻制开口256到下伏垫110(参见图3)是必要的,但应当谨慎切除以确保切割过程不会从垫110移除过量材料。

[0037] 仍参见图7,通孔130可以由多种导体材料形成于开口256中,例如铜、铝、银、金、钛、难熔金属、难熔金属化合物、这些的合金或类似物。代替于单一式结构,通孔130可以由多个金属层的层压物组成,例如钛层之后是镍-钒层之后是铜层。在另一实施方案中,钛层可以覆盖有铜层,之后是顶部镍涂层。然而,本领域的技术人员将了解,广泛多种导电材料可以用于通孔130。可以使用用于施加金属材料的各种众所周知的技术,例如物理气相沉积、化学气相沉积、电镀或类似技术。在示例性实施方案中,可以通过以两个阶段执行的铜电镀来形成通孔。第一阶段涉及在开口256中施加相对薄的铜层。在第二阶段中,执行块状电镀过程以填入通孔130。应了解,本文描述的用于在图2中描绘的核心87上建立堆积层80和85及附属导体的过程可用以在核心87的相对侧上建立其它堆积层。

[0038] 仍参见图7,施加导体层、进行掩蔽且蚀刻以形成导体垫120,且使用上文针对堆积层80所述的技术施加堆积层85。可以使用上文针对通孔130描述的材料和技术形成导体垫120。接着,可以在堆积层85中形成开口263以容纳图3中所示的有待形成的通孔140。可以使用上文描述类型的使用激光器257和激光辐射259的激光钻制。

[0039] 接着且如图8中所示,用可为干膜或光致抗蚀剂的合适掩模266掩蔽堆积层85的选定部分。通孔开口263和264被覆盖,但掩模266中的开口269被图案化。可以使用众所周知的光刻技术来施加和图案化掩模266。接着,可以使用电镀过程在开口269中形成迹线210。迹线210可以由上文结合导体垫120描述的相同材料形成。可以通过灰化、溶剂萃取或这两者移除掩模266。

[0040] 现在参见图9,可以按需要使用众所周知的焊料掩模沉积技术在堆积层85上沉积焊料掩模75,例如旋涂或其它沉积技术。可以通过众所周知的光刻图案化技术在通孔开口263和264上方的焊料掩模75中形成开口220和类似物273。举例来说,焊料掩模75可以被注入一种或多种光活性化学品,且使用曝光和显影过程来建立开口220和273。开口220和273可以被图案化为具有横向尺寸 x_2 ,其为后续过程中将形成的导体垫65的优选尺寸。因此在此说明性实施方案中,焊料掩模75以及开口220和273用以界定稍后形成的焊料互连垫65和70的横向尺寸。这与其中将通过常规掩蔽和蚀刻移除而图案化导体垫65的常规工艺形成对比。

[0041] 接着且如图10中所示,使用上文针对图7中所示的导体垫120和通孔130所述的材料和技术,可以在开口263和264中建立通孔140和145,且可以在焊料掩模开口220和273中建立焊料互连垫65和70。应注意,焊料掩模开口220和273限定了垫65和70的横向尺寸。

[0042] 此时且再次参见图3,预焊料55可以定位于开口220中(且预焊料60也未图示)且如图所示铸造。举例来说,可以通过模板或类似物来施加焊料膏。此时可以执行回流以将预焊料55结合到下伏的导体垫65。在预焊料55的施加后,图1和2中描绘的半导体芯片15可以定位于电路板20上且安装到预焊料55。可以执行回流工艺以产生图2中描绘的焊料接头35和40。回流的温度和持续时间将取决于焊料的类型以及电路板20和半导体芯片15的几何形状。

[0043] 如图11中所示,在此阶段可以将其它材料施加于焊料互连垫65和70。这在其中存

在焊料组成可能扩散到焊料互连垫65和70中并使其电学性能降级的问题的情形中为合意的。在此说明性实施方案中,再次使用焊料掩模75掩蔽其它特征,可以将导体层279施加于焊料互连垫65和70。导体层279的组成可以取决于装置的要求而极大不同。举例来说,在示例性实施方案中,导体层279可以由层压物组成,从无电电镀镍层开始,之后是电镀钯层且最后是电镀金层。又,为导体层279选择的材料将取决于技术要求,例如将用于预焊料(如果存在)以及图2中描绘的焊料凸块45的焊料的类型。此处,导体层275提供势垒以防止焊料扩散到下方焊料互连垫65和70中且无论怎样通孔都存在。

[0044] 在前述说明性实施方案中,焊料掩模形成之后是例如图2和3中所示的导体垫65的制作。然而,在替代示例性实施方案中,可以在导体垫65之后形成焊料掩模。在此说明性实施方案中且如图12中所示,所述过程可以大体上如上所述而执行以建立堆积层80和85、通孔130以及导体垫120。此时,如上所述在堆积层85中建立开口263和264。接着且如图13中所示,可通过将合适的导体层施加于堆积层85,之后是合适的掩蔽和蚀刻移除,来形成焊料互连垫65和70以及导电迹线210。接着且如图14所示,可以在堆积层85上和导体迹线210上方施加焊料掩模75'。焊料掩模75'可以经图案化为具有开口220'和273'。焊料互连垫65和70有利地被制作为具有如上所述的横向尺寸 x_2 ,而开口220'和273'经图案化为具有横向开口 x_7 ,其稍微大于垫65的横向尺寸 x_2 ,以便留下小的间隙281包围焊料互连垫65和70。显然,当从上方观看时,间隙281将表现为焊料互连垫65和70周围的壕沟。在后续材料沉积过程中,尤其是电镀过程,导体材料将被拉入间隙281且填充所述间隙。

[0045] 接着且如图15中描绘,可以使用电镀过程来用上述类型的额外金属部分地填充开口220'和273'。如上所述,间隙281将拉入一些沉积的材料289,且在此意义上材料的放置是形成焊料互连垫65和70的过程的一部分。在为了建立材料289的此辅助沉积过程或电镀过程之后的动机的一部分是在开口220'和273'与下方焊料互连垫65和70之间存在不完全的垂直对齐的情况下提供一些额外导电材料。在材料289的沉积后,预焊料和/或焊料凸块过程可以如上文大体描述而进行。

[0046] 应了解,本文描述的过程可以对离散电路板执行,或者一起对电路板的条带或其它聚集体执行。如果一起完成,那么在某个阶段可以通过锯切或其它技术将个别电路板分开。

[0047] 本文公开的示例性实施方案中的任一者可以在例如半导体、磁盘、光盘或其它存储媒介等计算机可读媒介中安置的指令中体现,或者作为计算机数据信号而体现。指令或软件可能够合成和/或模拟本文公开的电路结构。在示例性实施方案中,例如Cadence APD、Encore或类似物等电子设计自动化程序可用以合成所公开的电路结构。所得代码可用以制作所公开的电路结构。

[0048] 虽然本发明可容易存在各种修改和替代形式,但已经借助于实施例在附图中示出且在本文详细描述具体实施方案。然而应了解,不希望本发明限于所公开的特定形式。而是,本发明将涵盖属于如所附权利要求书界定的本发明的精神和范围内的所有修改、等效物和替代方案。

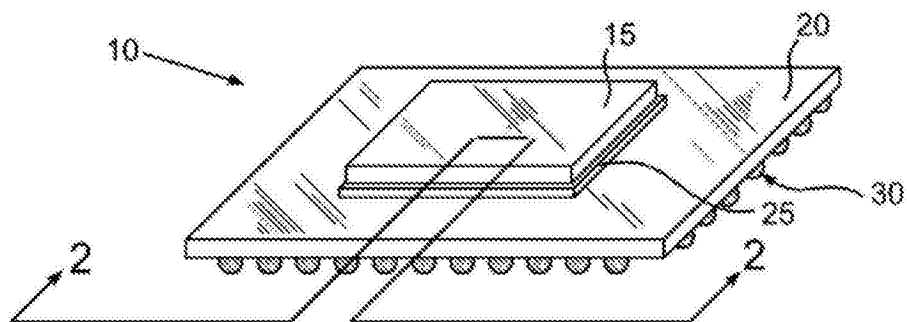


图1

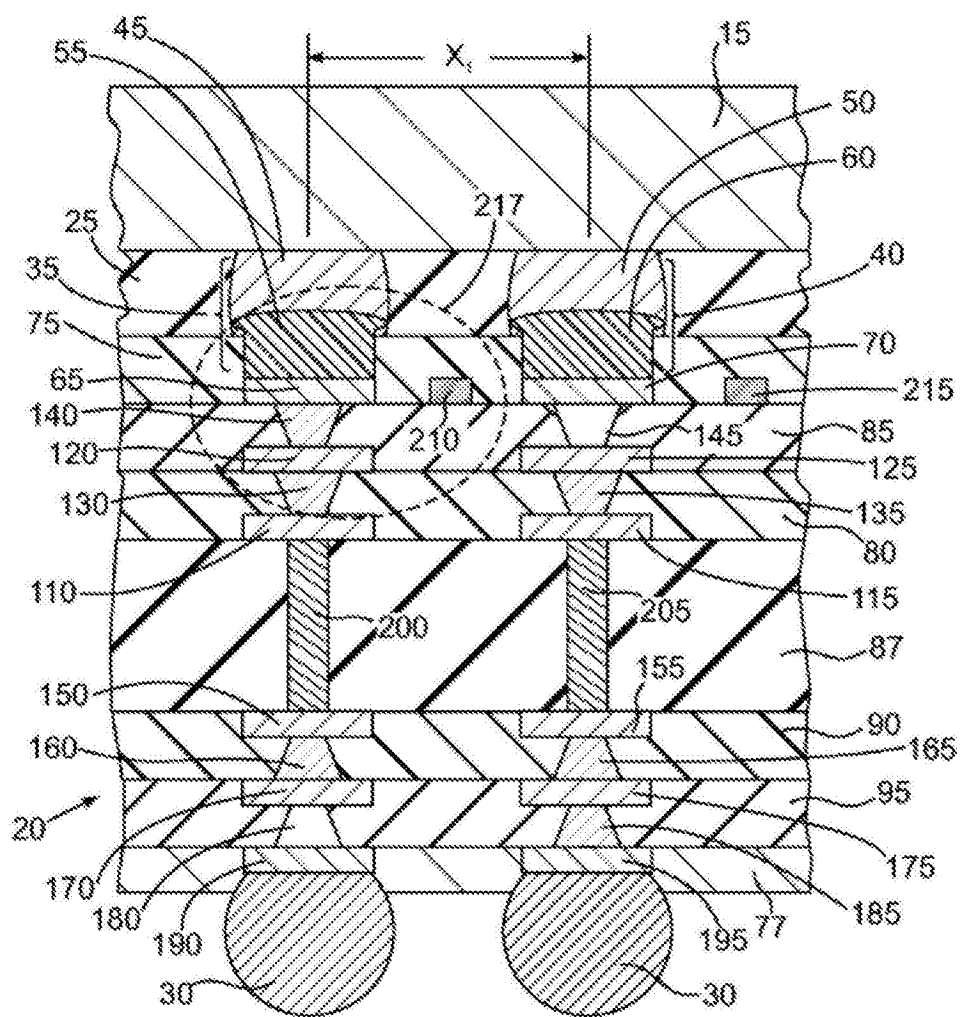


图2

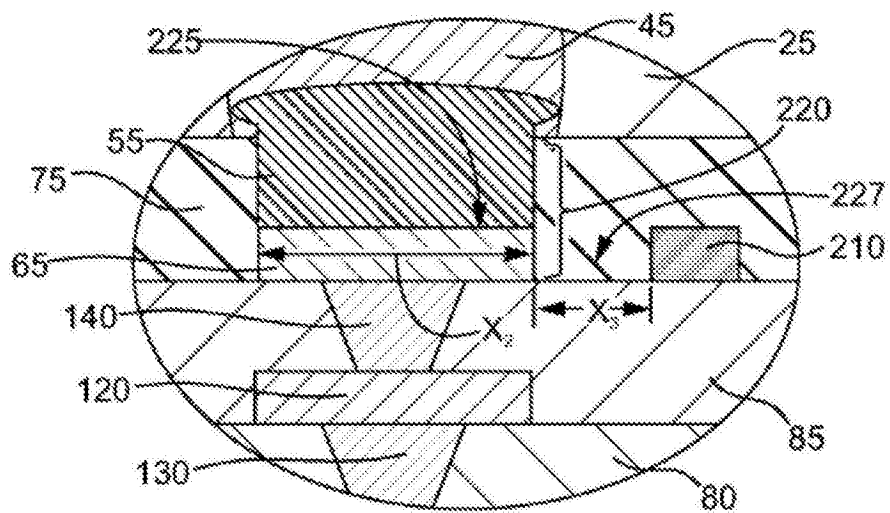


图3

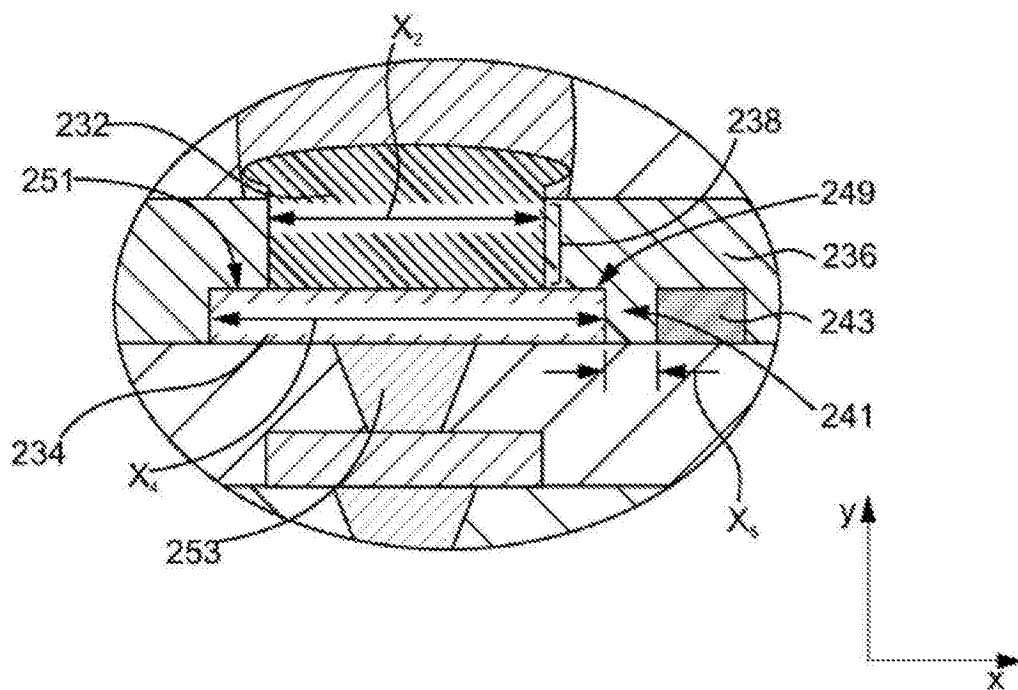


图4(现有技术)

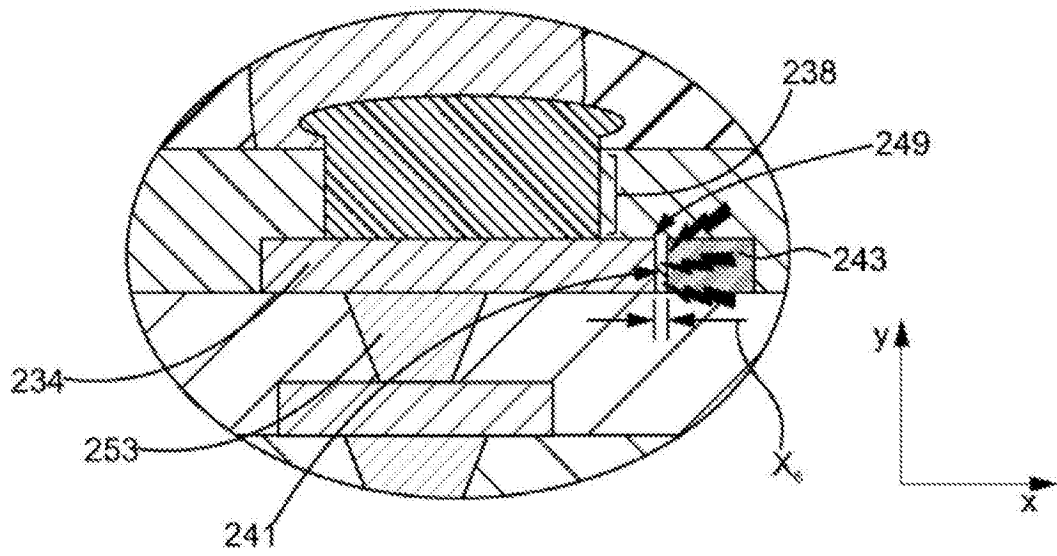


图5 (现有技术)

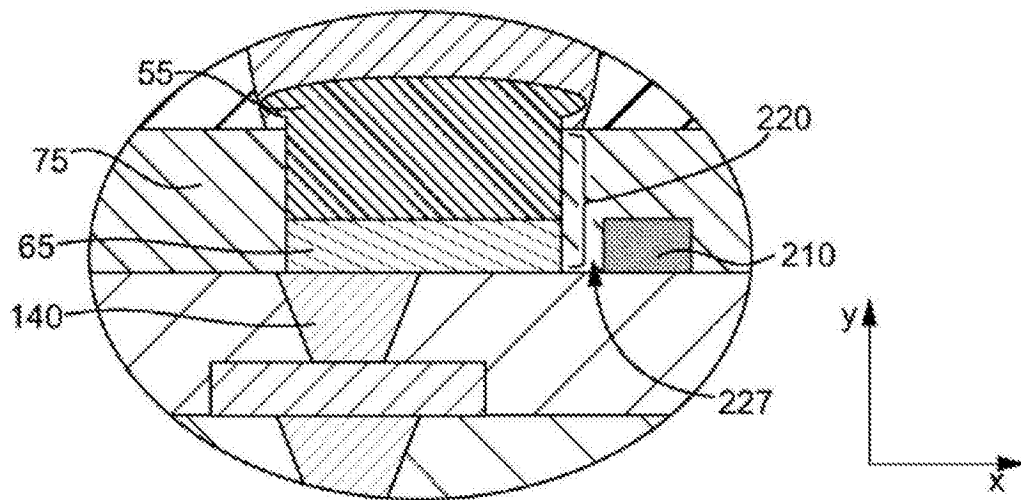


图6

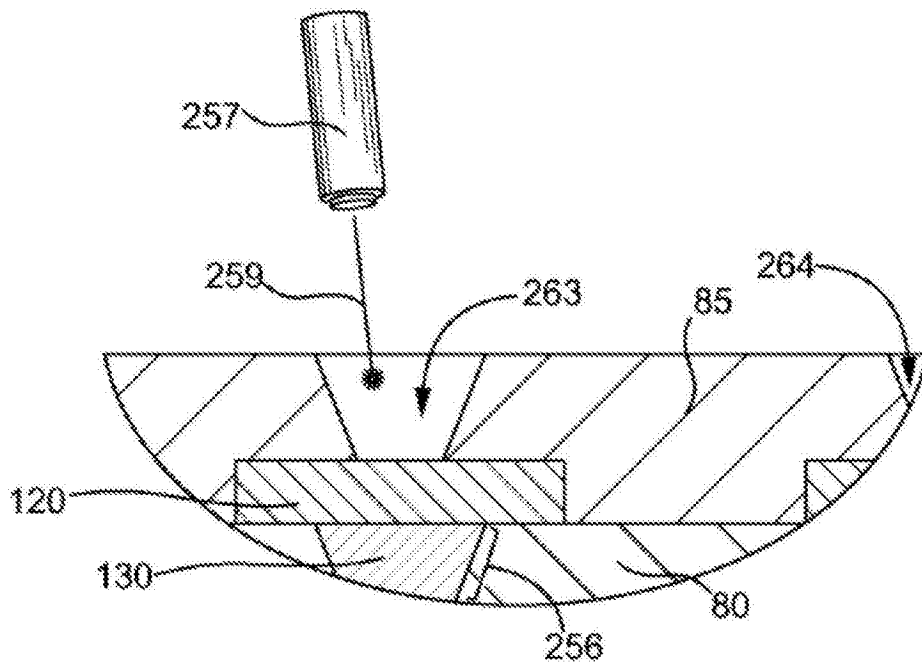


图7

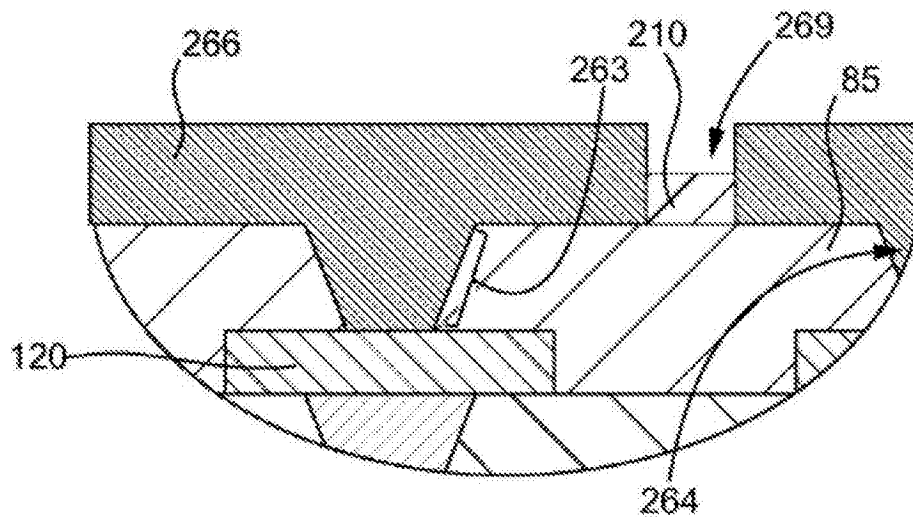


图8

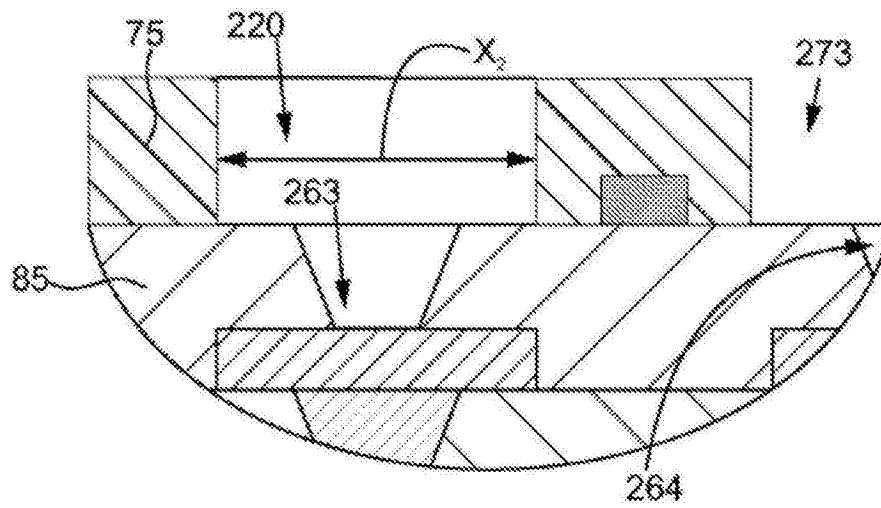


图9

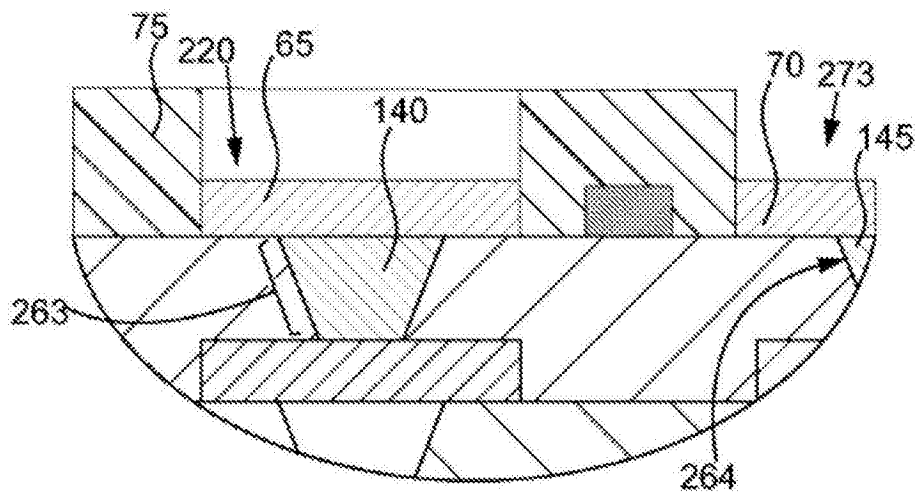


图10

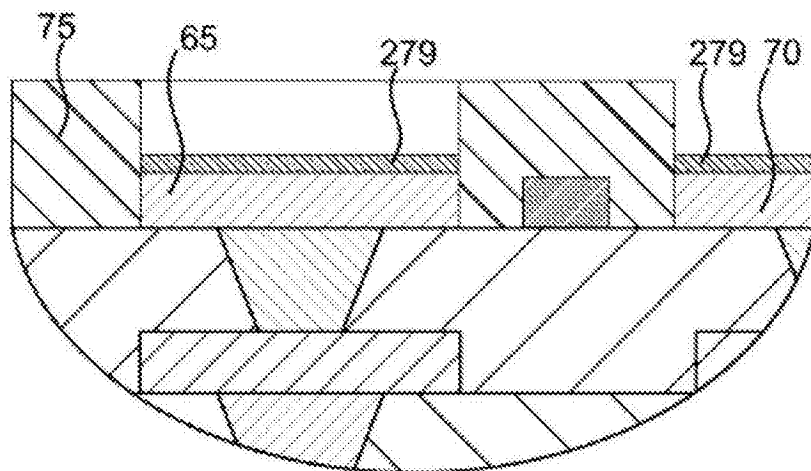


图11

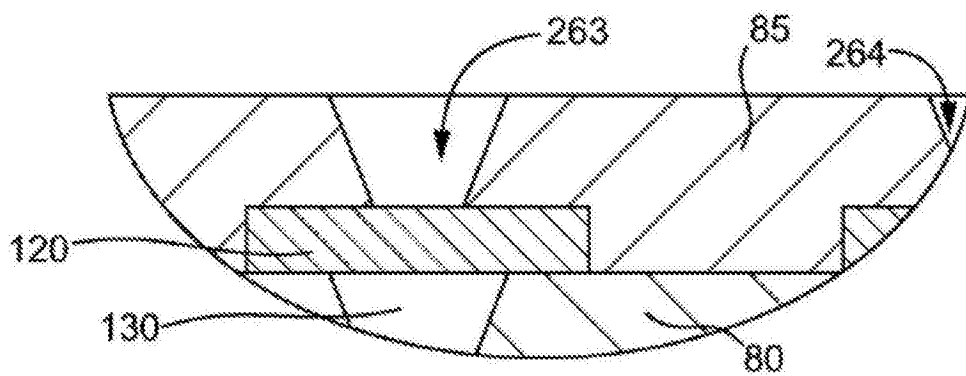


图12

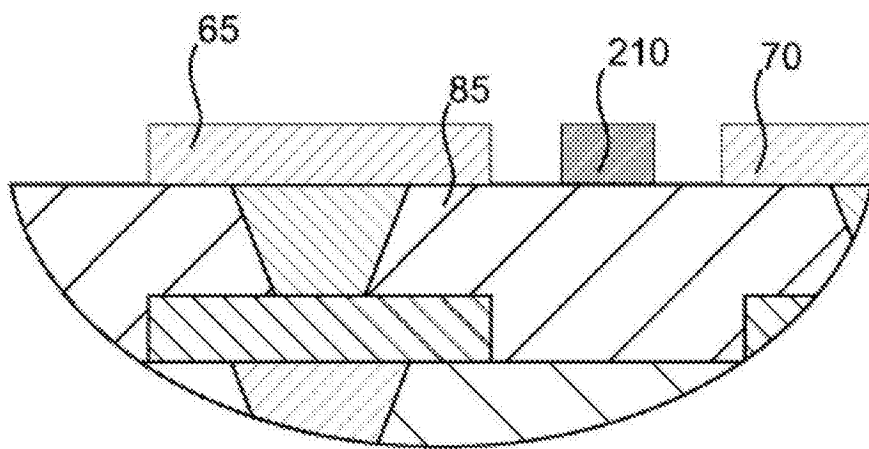


图13

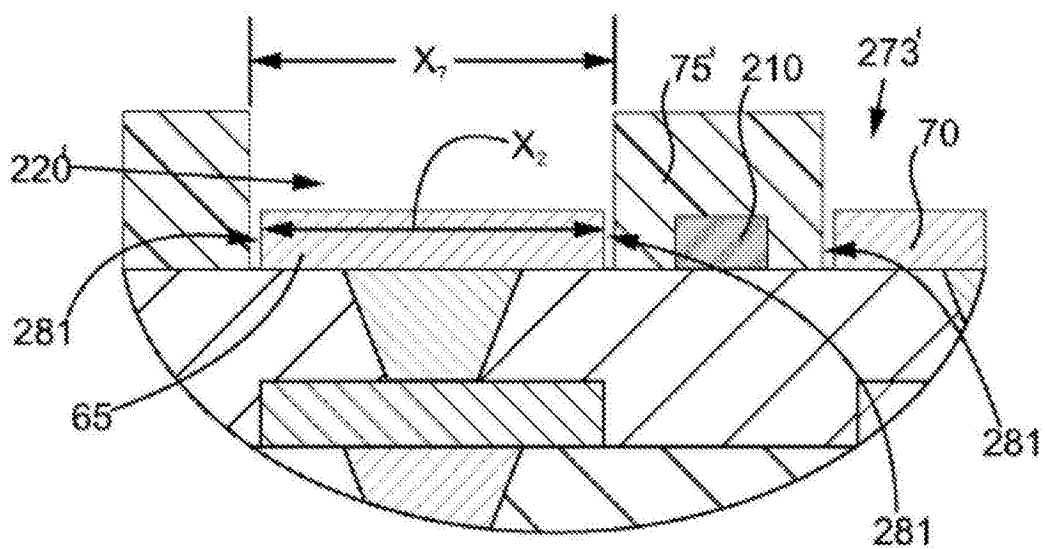


图14

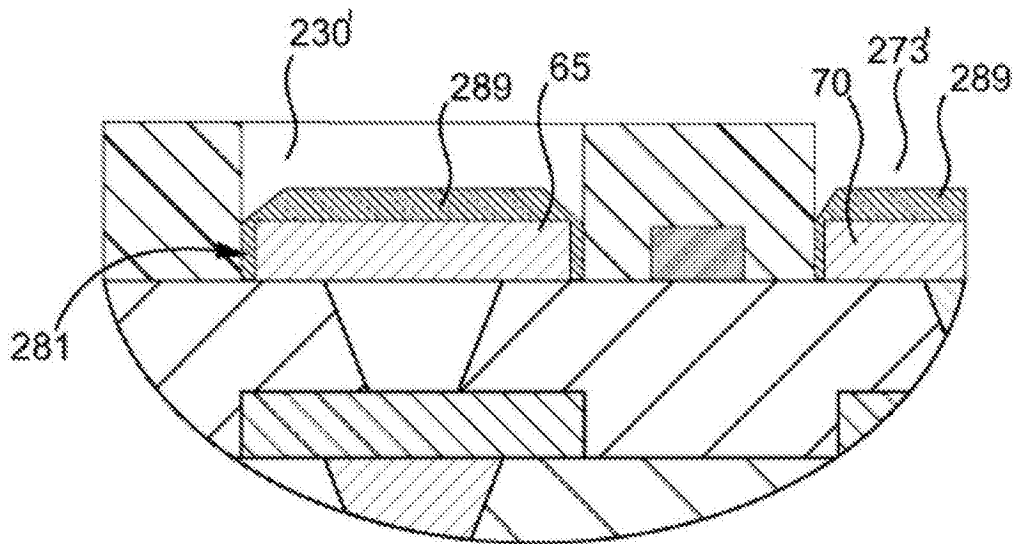


图15