



(12)发明专利申请

(10)申请公布号 CN 106796886 A

(43)申请公布日 2017.05.31

(21)申请号 201580046055.9

(74)专利代理机构 中原信达知识产权代理有限

(22)申请日 2015.07.22

责任公司 11219

(30)优先权数据

2014-175872 2014.08.29 JP

代理人 李兰 孙志湧

(85)PCT国际申请进入国家阶段日

2017.02.27

(51)Int.Cl.

H01L 21/336(2006.01)

(86)PCT国际申请的申请数据

H01L 21/20(2006.01)

PCT/JP2015/070845 2015.07.22

H01L 29/12(2006.01)

(87)PCT国际申请的公布数据

H01L 29/78(2006.01)

W02016/031439 JA 2016.03.03

(71)申请人 住友电气工业株式会社

权利要求书2页 说明书16页 附图10页

地址 日本大阪府大阪市

(72)发明人 和田圭司 西口太郎 日吉透

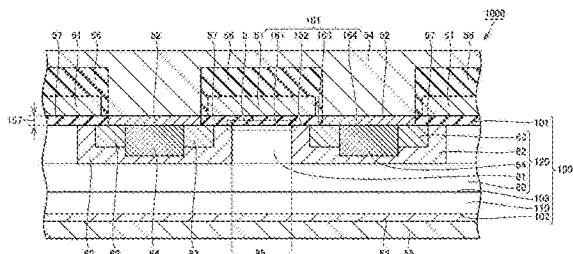
堀井拓 内田光亮

(54)发明名称

碳化硅半导体器件和用于制造碳化硅半导体器件的方法

(57)摘要

一种碳化硅外延层(120)，包括：第一杂质区(61)，其具有第一导电类型；第二杂质区(62)，其被设置为与所述第一杂质区(61)接触并且具有与所述第一导电类型不同的第二导电类型；以及第三杂质区(63)，其和所述第一杂质区(61)由所述第二杂质区(62)分开并且具有所述第一导电类型。栅极绝缘膜(57)与所述第一杂质区(61)、所述第二杂质区(62)和所述第三杂质区(63)接触。沟槽部(20)形成在所述第一杂质区(61)的表面(161)中，所述表面(161)与所述栅极绝缘膜(57)接触，所述沟槽部(20)在沿所述表面(161)的方向上延伸，所述沟槽部(20)在所述一个方向上的宽度为所述沟槽部(20)在垂直于所述一个方向的方向上的宽度的两倍或者两倍以上，所述沟槽部(20)距所述表面(161)的最大深度不超过10nm。



1. 一种碳化硅半导体器件，包括：

碳化硅外延层，所述碳化硅外延层包括第一杂质区、第二杂质区和第三杂质区，所述第一杂质区具有第一导电类型，所述第二杂质区被设置为与所述第一杂质区接触，所述第二杂质区具有与所述第一导电类型不同的第二导电类型，所述第三杂质区与所述第一杂质区被所述第二杂质区分开，所述第三杂质区具有所述第一导电类型；以及

栅极绝缘膜，所述栅极绝缘膜与所述第一杂质区、所述第二杂质区和所述第三杂质区接触，

在所述第一杂质区的表面中形成有沟槽部，所述表面与所述栅极绝缘膜接触，所述沟槽部在沿所述表面的一个方向上延伸，所述沟槽部在所述一个方向上的宽度为所述沟槽部在垂直于所述一个方向的方向上的宽度的两倍或者更大，所述沟槽部距所述表面的最大深度不超过10nm。

2. 根据权利要求1所述的碳化硅半导体器件，其中，所述第一杂质区的所述表面在沿平行于所述第一杂质区的所述表面的方向的方向上的宽度不小于 $1.5\mu\text{m}$ 并且不大于 $3.5\mu\text{m}$ 。

3. 根据权利要求1或者权利要求2所述的碳化硅半导体器件，其中，所述栅极绝缘膜在垂直于所述第一杂质区的所述表面的方向上的厚度不小于40nm并且不大于100nm。

4. 根据权利要求1至权利要求3中的任一项所述的碳化硅半导体器件，其中，在所述栅极绝缘膜与所述第一杂质区之间的边界区中，氮原子的密度不小于 10^{18}cm^{-3} 。

5. 根据权利要求1至权利要求4中的任一项所述的碳化硅半导体器件，其中，

所述沟槽部包括第一沟槽部和连接至所述第一沟槽部的第二沟槽部，

所述第一沟槽部形成在所述沟槽部在所述一个方向上的一个端部中，并且

所述第二沟槽部在所述一个方向上从所述第一沟槽部延伸至与所述一个端部相反的另一个端部，并且所述第二沟槽部距所述表面的深度比所述第一沟槽部的最大深度小。

6. 根据权利要求5所述的碳化硅半导体器件，其中，所述栅极绝缘膜设置在所述第一沟槽部上。

7. 一种用于制造碳化硅半导体器件的方法，所述方法包括以下步骤：

制备碳化硅外延层，所述碳化硅外延层包括第一杂质区、第二杂质区和第三杂质区，所述第一杂质区具有第一导电类型，所述第二杂质区被设置在所述第一杂质区上，所述第二杂质区具有与所述第一导电类型不同的第二导电类型，所述第三杂质区与所述第一杂质区被所述第二杂质区分开，所述第三杂质区具有所述第一导电类型；以及

形成栅极绝缘膜，所述栅极绝缘膜与所述第一杂质区、所述第二杂质区和所述第三杂质区接触，

在所述第一杂质区的表面中形成沟槽部，所述表面与所述栅极绝缘膜接触，所述沟槽部在沿所述表面的一个方向上延伸，所述沟槽部在所述一个方向上的宽度为所述沟槽部在垂直于所述一个方向的方向上的宽度的两倍或者更大，所述沟槽部距所述表面的最大深度不超过10nm。

8. 根据权利要求7所述的用于制造所述碳化硅半导体器件的方法，进一步包括以下步骤：在形成所述栅极绝缘膜的步骤之后，在包括氮原子的气氛中，在不小于1100℃的温度下加热所述栅极绝缘膜。

9. 根据权利要求7或者权利要求8所述的用于制造所述碳化硅半导体器件的方法，进一

步包括以下步骤：在制备所述碳化硅外延层的步骤之前，制备碳化硅衬底，其中，

制备所述碳化硅外延层的步骤包括以下步骤：

通过使用C/Si比小于1的源料气体，在所述碳化硅衬底上形成第一外延层，

通过使用混合气体来重构所述第一外延层的表面，所述混合气体包括(i) C/Si比小于1的源料气体和(ii)氢气，以及

通过使用C/Si比不小于1的源料气体，在所述第一外延层的所述重构表面上形成第二外延层。

碳化硅半导体器件和用于制造碳化硅半导体器件的方法

技术领域

[0001] 本公开涉及一种碳化硅半导体器件以及用于制造该碳化硅半导体器件的方法。

背景技术

[0002] 日本专利公开No.2013-34007(专利文献1)公开了一种碳化硅外延晶圆,其特征在于,不存在短台阶聚束。

[0003] 引用列表

[0004] 专利文献

[0005] PTD 1:日本专利公开No.2013-34007

发明内容

[0006] 根据本公开的一个实施例的碳化硅半导体器件包括碳化硅外延层和栅极绝缘膜。碳化硅外延层包括第一杂质区、第二杂质区和第三杂质区,第一杂质区具有第一导电类型,第二杂质区被设置为与第一杂质区接触,第二杂质区具有与第一导电类型不同的第二导电类型,第三杂质区和第一杂质区由第二杂质区分开,第三杂质区具有第一导电类型。栅极绝缘膜与第一杂质区、第二杂质区和第三杂质区接触。在第一杂质区的表面中形成有沟槽部,表面与栅极绝缘膜接触,沟槽部在沿表面的方向上延伸,沟槽部在该一个方向上的宽度为沟槽部在垂直于该一个方向的方向上的宽度的两倍或者两倍以上,沟槽部距表面的最大深度不超过10nm。

[0007] 用于制造根据本公开的一个实施例的碳化硅半导体器件的方法包括以下步骤。制备碳化硅外延层,该碳化硅外延层包括第一杂质区、第二杂质区和第三杂质区,第一杂质区具有第一导电类型,第二杂质区被设置在第一杂质区上,第二杂质区具有与第一导电类型不同的第二导电类型,第三杂质区和第一杂质区由第二杂质区分开,第三杂质区具有第一导电类型。栅极绝缘膜形成为与第一杂质区、第二杂质区和第三杂质区接触。沟槽部形成在第一杂质区的表面中,表面与栅极绝缘膜接触,沟槽部在沿表面的方向上延伸,沟槽部在该一个方向上的宽度为沟槽部在垂直于该一个方向的方向上的宽度的两倍或者两倍以上,沟槽部距表面的最大深度不超过10nm。

附图说明

[0008] 图1是示出了根据本实施例的碳化硅半导体器件的结构的示意截面图。

[0009] 图2是图1中的区II的放大视图。

[0010] 图3是示出了包括在根据本实施例的碳化硅半导体器件中的外延晶圆的一部分的示意截面图。

[0011] 图4是示出了包括在根据本实施例的碳化硅半导体器件中的外延晶圆的一部分的示意平面图。

[0012] 图5是示出了包括在根据本实施例的碳化硅半导体器件中的外延晶圆的一部分的

示意平面图。

[0013] 图6是示意地示出了根据本实施例的用于制造碳化硅半导体器件的方法的流程图。

[0014] 图7是示意地示出了根据本实施例的碳化硅外延层制备步骤的流程图。

[0015] 图8是示出了外延生长装置的配置的示意侧视图。

[0016] 图9是示出了沿图8中的线段IX-IX截取的横截面的示意截面图。

[0017] 图10是示出了根据本实施例的用于制造碳化硅半导体器件的方法的第一步骤的示意截面图。

[0018] 图11是示出了根据本实施例的用于制造碳化硅半导体器件的方法的第二步骤的示意截面图。

[0019] 图12是示出了根据本实施例的用于制造碳化硅半导体器件的方法的第三步骤的示意截面图。

[0020] 图13是示出了根据本实施例的用于制造碳化硅半导体器件的方法的第四步骤的示意截面图。

[0021] 图14是示出了恒流TDDDB的测量结果的威伯尔图表。

具体实施方式

[0022] [本公开的实施例的描述]

[0023] 首先,列出并且描述了本公开的实施例。

[0024] [1] 根据本公开的一个实施例的碳化硅半导体器件1000包括碳化硅外延层120和栅极绝缘膜57。碳化硅外延层120包括第一杂质区61、第二杂质区62和第三杂质区63,第一杂质区61具有第一导电类型,第二杂质区62被设置为与第一杂质区61接触,第二杂质区62具有与第一导电类型不同的第二导电类型,第三杂质区63和第一杂质区61由第二杂质区62分开,第三杂质区63具有第一导电类型。栅极绝缘膜57与第一杂质区61、第二杂质区62和第三杂质区63接触。沟槽部20形成在第一杂质区61的表面161中,表面161与栅极绝缘膜57接触,沟槽部20在沿表面161的一个方向上延伸,沟槽部20在该一个方向上的宽度为沟槽部20在垂直于该一个方向的方向上的宽度的两倍或者两倍以上,沟槽部20距表面161的最大深度不超过10nm。

[0025] 在下文中,将沟槽部20在该一个方向上的宽度称为“第二宽度82”,将沟槽部20在垂直于该一个方向的方向上的宽度称为“第三宽度83”,并且将沟槽部20距表面161的最大深度称为“第二深度72”。

[0026] 当在碳化硅衬底上形成碳化硅外延层时,可以在碳化硅外延层的主表面中形成微小凹坑部30(参见图3和图5)。这种凹坑部中的每一个凹坑部因从碳化硅衬底转移到碳化硅外延层的穿透位错而形成,并且是深度为约几十纳米的凹陷。本发明人已经发现:形成在JFET(结型场效应晶体管)区的表面中的凹坑部导致形成在JFET区上的栅极绝缘膜的膜厚度的变化增加;并且膜厚度的变化是降低碳化硅半导体器件的长期稳定性的一个因素。

[0027] 本发明人已经发现,在特定外延生长条件下,可以抑制凹坑部形成。根据生长条件,减少凹坑部,但形成大量沟槽部,该大量沟槽部比凹坑部浅,并且在一个方向上延伸。然而,已经发现,沟槽部比凹坑部浅,并且,因此,与凹坑部的影响相比较,对栅极绝缘膜的膜

厚度的变化的影响较小。

[0028] 在根据[1]的碳化硅半导体器件100中,沟槽部形成在与栅极绝缘膜57接触的第一杂质区61的表面161中,沟槽部20在沿表面161的一个方向上延伸,沟槽部20的第二宽度82为第三宽度83的两倍或者两倍以上,沟槽部20的第二深度72不超过10nm。根据形成有沟槽部20的碳化硅半导体器件1000,与形成有大量凹坑部的传统碳化硅半导体器件相比较,可以减少栅极绝缘膜57的膜厚度的变化。因此,按照根据[1]的碳化硅半导体器件,与传统碳化硅半导体器件相比较,提高了长期稳定性。

[0029] 可以通过使用预定的缺陷检测装置观察JFET区61的表面161,来指定“沟槽部”的形状。例如,在从JFET区61中去除栅极绝缘膜57之后,可以采用缺陷检测装置来测量在JFET区61的表面161中的沟槽部20的第二宽度82和第三宽度83。例如,作为缺陷检测装置,可以使用Lasertec公司提供的WASAVI系列“SICA 6X”(物镜:x10)。而且,可以通过使用AFM(原子力显微镜)来测量“沟槽部”的深度。应该注意,期望通过使用稀释的含水氟化氢(HF)来去除栅极绝缘膜。

[0030] [2]在[1]中,第一杂质区61的表面161在沿平行于第一杂质区61的表面161的方向上的宽度可以不小于1.5μm并且不大于3.5μm。在下文中,还将第一杂质区61的表面161的宽度称为“第五宽度85”。通过将第五宽度85设置为不小于1.5μm,可以抑制由于JFET电阻的增加而导致的晶体管电阻的显著增加。通过将第五宽度85设置为不大于3.5μm,通过耗尽第二杂质区62来保护在JFET区61上的栅极绝缘膜57,并且可以抑制由于单位晶胞面积的增加而导致的半导体器件的电阻的增加。

[0031] [3]在[1]或者[2]中,栅极绝缘膜57在垂直于第一杂质区61的表面161的方向上的厚度157可以不小于40nm并且不大于100nm。通过将栅极绝缘膜57的厚度157设置为不小于40nm,可以抑制栅极绝缘膜57的可靠性降低。通过将栅极绝缘膜57的厚度157设置为不大于100nm,可以抑制施加在栅极电极51与源极电极52之间并且导通晶体管所需的电压的增加。

[0032] [4]在[1]至[3]中的任一项中,在栅极绝缘膜57与第一杂质区61之间的边界区中,氮原子的密度可以不小于 10^{18} cm^{-3} 。因此,可以提高栅极绝缘膜57的可靠性。

[0033] [5]在[1]至[4]中的任一项中,沟槽部20可以包括第一沟槽部21和连接至第一沟槽部21的第二沟槽部22。第一沟槽部21可以形成在沟槽部20在一个方向上的一个端部中。第二沟槽部22可以在该一个方向上从第一沟槽部21延伸至与该一个端部相反的另一个端部,并且第二沟槽部22距表面161的深度可以比第一沟槽部21的最大深度小。

[0034] 在下文中,还将第二沟槽部22距表面161的深度称为“第一深度71”。

[0035] [6]在[5]中,栅极绝缘膜57可以设置在第一沟槽部21上。

[0036] [7]在[1]至[6]中的任一项中,碳化硅半导体器件可以进一步包括碳化硅衬底110,该碳化硅衬底110具有相对于(0001)平面的不大于±4°的偏移角。碳化硅外延层120可以是在碳化硅衬底110上外延生长的层。沟槽部20可以形成为在沿偏移角的偏移方向的台阶流生长方向上从碳化硅外延层120中的穿透位错40延伸。

[0037] 此处,“具有相对于(0001)平面不大于±4°的偏移角的衬底”的表述指具有两个主表面的衬底,该两个主表面中的一个主表面具有相对于(0001)平面的不大于±4°的偏移角。

[0038] [8]在[7]中,偏移方向可以在相对于<11-20>方向的不大于±5°的范围内。

[0039] [9] 在[7]中,偏移方向可以在相对于<01-10>方向的不大于 $\pm 5^\circ$ 的范围内。

[0040] [10] 用于制造根据本公开的一个实施例的碳化硅半导体器件的方法包括以下步骤。制备碳化硅外延层120,该碳化硅外延层120包括第一杂质区61、第二杂质区62和第三杂质区63,第一杂质区61具有第一导电类型,第二杂质区62被设置在第一杂质区61上,第二杂质区62具有与第一导电类型不同的第二导电类型,第三杂质区63和第一杂质区61由第二杂质区62分开,第三杂质区63具有第一导电类型。栅极绝缘膜57形成为与第一杂质区61、第二杂质区62和第三杂质区63接触。沟槽部20形成在第一杂质区61的表面161中,表面161与栅极绝缘膜57接触,沟槽部20在沿表面161的一个方向上延伸,沟槽部20在该一个方向上的宽度(第二宽度82)为沟槽部20在垂直于该一个方向的方向上的宽度(第三宽度83)的两倍或者两倍以上,沟槽部20距表面161的最大深度(第二深度72)不超过10nm。

[0041] 按照根据[10]的用于制造碳化硅半导体器件的方法,栅极绝缘膜57形成在杂质区的表面上,在该杂质区中形成有大量沟槽部20,而不是具有几十纳米的深度的凹坑部。因此,按照根据[10]的制造方法,可以制造碳化硅半导体器件,在该碳化硅半导体器件中,栅极绝缘膜57的膜厚度的变化小。即,按照根据[10]的制造方法,可以制造长期可靠性提高的碳化硅半导体器件。

[0042] [11] 根据[10]的制造方法可以进一步包括以下步骤:在形成栅极绝缘膜57的步骤之后,在包括氮原子的气氛中,在不小于1100℃的温度下加热栅极绝缘膜57。因此,可以提高栅极绝缘膜57的可靠性。

[0043] [12] 根据[10]或者[11]的制造方法可以进一步包括以下步骤:在制备碳化硅外延层的步骤之前,制备碳化硅衬底。制备碳化硅外延层的步骤可以包括以下步骤:通过使用C/Si比小于1的源料气体,在碳化硅衬底上形成第一外延层;通过使用混合气体来重构第一外延层的表面,该混合气体包括(i) C/Si比小于1的源料气体和(ii)氢气;以及通过使用C/Si比不小于1的源料气体,在第一外延层的重构表面上形成第二外延层。

[0044] 在[12]中,“C/Si”比表示原料气体中的碳(C)原子数量与硅(Si)原子数量之比。“重构表面”的表述是指通过用氢气进行的蚀刻并且通过用源料气体进行的外延生长来改变第一外延层的表面性质。通过重构步骤,可以减小、可以增加、或者可以基本上不改变第一外延层的厚度。

[0045] 在重构表面的步骤中,与一般外延生长相比较,可以减小源料气体的流量与氢气的流量之比,从而使用氢气进行的蚀刻可与用源料气体进行的外延生长相当。例如,认为调节氢气的流量和源料气体的流量会实现约 $0 \pm 0.5 \mu\text{m}/\text{h}$ 的成膜速率。

[0046] 上述穿透位错包括穿透螺型位错、穿透刃型位错、和混合有这些位错的复合位错。这些位错按照以下方式用伯格斯(Burgers)矢量b表示:穿透螺型位错($b = <0001>$)、穿透刃型位错($b = 1/3<11-20>$)、和复合位错($b = <0001> + 1/3<11-20>$)。认为对栅极绝缘膜的可靠性有影响的凹坑部是因为穿透螺型位错、穿透刃型位错和复合位错而形成。因在位错周围都包括大应变的穿透螺型位错和复合位错而形成的凹坑具有深的深度。

[0047] 在[12]中,重构第一外延层的表面,因此,可以期望获得实现因穿透螺型位错和复合位错而形成的浅凹坑部的效果。除此之外,将原料气体的C/Si比从小于1的值改变为不小于1的值,并且然后生长第二外延层。因此,认为增加了实现由于穿透螺型位错和复合位错而导致的浅凹坑部的效果。

[0048] [本公开的实施例的细节]

[0049] 接下来,下面参照附图描述本公开的一个实施例(下文也被称为“本实施例”)。在以下附图中,为相同的或者对应的元件给定相同的参考字符并且不对其进行重复描述。在本说明书中,单独的定向用[]表示、组定向用<>表示,并且单独的平面用()表示,并且组平面用{}表示。通常,是通过将“-”(短横线)放在数字上方来从结晶学上指示负指数,但在本说明书中,是通过将负标记放在数字之前来指示负指数。

[0050] [碳化硅半导体器件]

[0051] 首先,下面描述了用作根据本实施例的碳化硅半导体器件的MOSFET(金属氧化物半导体场效应晶体管)的结构。

[0052] 图1示出了MOSFET的一个单位晶胞及其外围。如图1所示,MOSFET 1000是具有平面结构的垂直型MOSFET。例如,在本实施例中,芯片大小(即,由多个单位晶胞构成的半导体芯片的有效面积)为约 1mm^2 至 100mm^2 。此处,“有效面积”指半导体芯片的除了用于引线键合的栅极焊盘区、栅极槽道、和用于保持击穿电压的终端结构部之外的区的面积。

[0053] MOSFET 1000包括外延晶圆100、栅极绝缘膜57、栅极电极51、源极电极52、漏极电极53、源极焊盘电极54、背侧焊盘电极55、和层间绝缘膜56。

[0054] 外延晶圆100具有碳化硅衬底110、和设置在碳化硅衬底110上的碳化硅外延层120。碳化硅衬底110具有第二主表面102和与第二主表面102相反的第三主表面103。碳化硅外延层120形成在第三主表面103上。碳化硅外延层120具有与碳化硅衬底110相反的第一主表面101。碳化硅外延层120具有漂移区60、本体区62、源极区63和接触区64。

[0055] 漂移区60设置在第三主表面103上。漂移区60包括n型杂质(诸如氮(N)),并且具有n型导电性(第一导电类型)。当在横截面中看时(当在平行于第一主表面101的方向上看时),漂移区60包括插入在本体区62之间并且构成第一主表面101的一部分的JFET区61。此外,漂移区60包括:插入在JFET区61与第三主表面103之间的区;以及插入在每个本体区62与第三主表面103之间的区。漂移区60和JFET区61包括n型杂质并且具有n型导电性。

[0056] JFET区61的表面161在平行于JFET区61的表面161的方向上的宽度(第五宽度85)可以不小于 $15\mu\text{m}$ 并且不大于 $3.5\mu\text{m}$,或者可以不小于 $2\mu\text{m}$ 并且不大于 $3\mu\text{m}$ 。

[0057] 例如,还可以将诸如磷(P)的n型杂质附加地添加至JFET区。例如,可以通过离子注入来添加杂质。当漂移区中的n型杂质的浓度低并且漂移区的击穿电压大时,可以根据JFET区的宽度(第五宽度85)来调节n型杂质的浓度。例如,将n型杂质的浓度调节为在约 $7 \times 10^{15}\text{cm}^{-3}$ 至 $1 \times 10^{17}\text{cm}^{-3}$ 的范围内。

[0058] 例如,本体区62包括诸如铝(A1)或者硼(B)的p型杂质,并且具有与n型导电性不同的p型导电性(第二导电类型)。本体区62构成第一主表面101的一部分。本体区62的与栅极绝缘膜57相邻的区用作沟道。本体区62被设置为与JFET区61和漂移区60两者接触。

[0059] 例如,源极区63包括诸如磷(P)的n型杂质,并且具有n型导电性。源极区63构成第一主表面101的一部分。源极区63通过本体区62与JFET区61和漂移区60分开。源极区63的侧表面和底表面中的每一个表面都与本体区62接触。在源极区63中包括的n型杂质的浓度可以比在漂移区60中包括的n型杂质的浓度高。

[0060] 例如,接触区64包括诸如铝(A1)和硼(B)的p型杂质,并且具有p型导电性。接触区64构成第一主表面101的一部分。接触区64延伸通过源极区63,并且将源极电极52连接至本

体区62。在接触区64中包括的p型杂质的浓度可以比在本体区62中包括的p型杂质的浓度高。

[0061] 在第一主表面101中,栅极绝缘膜57与JFET区61、本体区62和源极区63接触。栅极绝缘膜57是由,例如,诸如二氧化硅的材料组成的栅极氧化物膜。栅极绝缘膜57的一部分在垂直于JFET区61的表面161的方向上的厚度157可以不小于40nm并且不大于100nm,或者可以不小于45nm并且不大于65nm。

[0062] 例如,栅极电极51由诸如添加有杂质的铝或者多晶硅组成。栅极电极51设置在栅极绝缘膜57上,并且设置为面向JFET区61、本体区62和源极区63。

[0063] 在第一主表面101中,源极电极52与源极区63和接触区64两者接触。优选地,源极电极52与源极区63欧姆接合。更优选地,源极电极52与接触区64欧姆接合。例如,源极电极52由诸如镍硅(Ni_xSi_y)、钛硅(Ti_xSi_y)、铝硅(Al_xSi_y)、或者钛铝硅($Ti_xAl_ySi_z$,其中, $x,y,z > 0$)的材料组成。

[0064] 漏极电极53形成为与碳化硅衬底110的第二表面102接触。例如,漏极电极53由能够与具有n型导电性的碳化硅欧姆接合的材料(诸如镍硅)组成。漏极电极53可以由与源极电极52的材料相同的材料组成。漏极电极53电连接至碳化硅衬底110。层间绝缘膜56由,例如,包括二氧化硅的材料组成,并且形成为围绕栅极电极51。层间绝缘膜56使栅极电极51与源极电极52电绝缘。

[0065] 源极焊盘电极54形成为覆盖源极电极52和层间绝缘膜56。例如,源极焊盘电极54由包括铝(A1)的材料组成。源极焊盘电极54经由源极电极52电连接至源极区63。例如,背侧焊盘电极55由包括铝(A1)的材料组成。背侧焊盘电极55经由漏极电极53电连接至碳化硅衬底110。

[0066] 如图2所示,在栅极绝缘膜57与JFET区61之间的边界区200中,氮原子的密度不小于 10^{18} cm^{-3} 。在栅极绝缘膜57与JFET区61之间的边界区200指插入在第一虚拟平面201与第二虚拟平面202之间的区,其中,相对于与栅极绝缘膜57接触的JFET区61的表面161,在垂直于表面161的方向上,第一虚拟平面201定位为移位了5nm至栅极电极51侧,并且第二虚拟平面202定位为移位了5nm至碳化硅衬底110侧。可以例如通过SIMS(次级离子质谱法)测量氮原子的密度。优选地,在边界区200中的氮原子的密度不小于 10^{18} cm^{-3} 并且不大于 10^{21} cm^{-3} 。

[0067] [外延晶圆]

[0068] 接下来,下面描述了包括在根据本实施例的MOSFET 1000中的外延晶圆100的配置。

[0069] 如图3所示,根据本实施例的外延晶圆100具有碳化硅衬底110和碳化硅外延层120。例如,碳化硅衬底110由碳化硅单晶体组成。例如,碳化硅单晶体具有六方晶体结构并且具有4H的多型体。碳化硅衬底110包括诸如氮(N)的n型杂质,并且因此具有n型导电性。

[0070] 碳化硅衬底110具有第二主表面102和与第二主表面102相反的第三主表面103。例如,第三主表面103具有不小于10mm(不小于4英寸)的直径,优选不小于150mm(不小于6英寸)。第三主表面103可以具有不大于300mm(不大于12英寸)的直径。如图1所示,碳化硅外延层120形成在第三主表面103上。例如,第三主表面103具有相对于(0001)平面(下文称为“硅(Si)平面”)的不大于±4°的偏移角。例如,该偏移角的偏移方向可以在相对于<11-20>方向的不大于±5°的范围内,或者可以在相对于<01-10>方向的不大于±5°的范围内。

[0071] 碳化硅外延层具有与碳化硅衬底110相反的第一主表面101。

[0072] 例如,碳化硅外延层120是通过气相外延形成在碳化硅衬底110的第三主表面103上的碳化硅单晶体膜。更具体地,碳化硅外延层120是通过采用作为源料气体的硅烷(SiH_4)和丙烷(C_3H_8)以及作为掺杂剂气体的氮(N_2)或者氨(NH_3)通过CVD(化学气相沉积)而形成的外延生长层。碳化硅外延层120包括通过对氮或者氨进行热分解而生成的氮(N)原子,并且因此具有n型导电类型。优选地,包括在碳化硅外延层120中的n型杂质的浓度比包括在碳化硅衬底110中的n型杂质的浓度小。由于第三主平面103相对于上述(0001)平面成偏移角,所以碳化硅外延层120通过台阶流生长而形成。因此,碳化硅外延层120与碳化硅衬底110一样由具有4H的多型体的碳化硅组成,并且,因此,抑制不同类型的多型体在其中混合。例如,碳化硅外延层120具有大约不小于 $5\mu\text{m}$ 并且不大于 $15\mu\text{m}$ 的厚度。

[0073] 如图4所示,沟槽部20形成在JFET区61的表面161中。当在平面图中(在垂直于表面161的方向上的视场中)看表面161时,沟槽部20在沿表面161的一个方向上延伸。更具体地,沟槽部20在沿相对于(0001)平面的偏移角的偏移方向的台阶流生长方向上延伸。换言之,沟槽部20在相对于<11-20>方向的不大于 $\pm 5^\circ$ 的范围内的方向或者在相对于<01-10>方向的不大于 $\pm 5^\circ$ 的范围内的方向上延伸。

[0074] 应该注意,绘制图3至图5,从而使“台阶流生长方向”与图3至图5中的X轴方向对应。在图3至图5中的每一个图中,X轴方向、Y轴方向和Z轴方向彼此正交。图4和图5中的每一个图所示的Y轴方向表示垂直于台阶流生长方向的方向。图3所示的Z轴方向表示碳化硅外延层的厚度方向。

[0075] 沟槽部20在上述一个方向上的宽度(第二宽度82)为其在垂直于该一个方向的方向上的宽度(第三宽度83)的两倍或者两倍以上,优选为五倍或者五倍以上。第二宽度82不小于 $15\mu\text{m}$ 并且不大于 $50\mu\text{m}$,优选地,不小于 $25\mu\text{m}$ 并且不大于 $35\mu\text{m}$ 。第三宽度83不小于 $1\mu\text{m}$ 并且不大于 $5\mu\text{m}$,优选地,不小于 $2\mu\text{m}$ 并且不大于 $3\mu\text{m}$ 。

[0076] 如图3所示,沟槽部20形成为在台阶流生长方向上从包括在碳化硅外延层120中的穿透位错40延伸。更具体地,沟槽部20包括:形成在穿透位错40上的第一沟槽部21、以及形成为连接至第一沟槽部21并且在台阶流生长方向上从第一沟槽部21延伸的第二沟槽部22。

[0077] 第一沟槽部21形成在沟槽部20在台阶流生长方向上的一个端部(图3中的左端部)处。而且,第一沟槽部21距第一主表面101的最大深度(第二深度72)不超过 10nm 。第二深度72是在图3所示的整个沟槽部20中的最大深度。第一沟槽部21优选具有不大于 $1\mu\text{m}$ 的宽度(第一宽度81),并且更优选地具有不大于 $0.5\mu\text{m}$ 的宽度(第一宽度81)。

[0078] 如图3所示,第二沟槽部22形成为从其与第一沟槽部21连接的部分延伸至与上述一个端部相反的另一个端部(图3中的右端部)。而且,形成第二沟槽部22,从而使第二沟槽部22距第一主表面101的深度(第一深度71)比第一沟槽部21的最大深度(第二深度72)小。更具体地,第二沟槽部22在台阶流生长方向上延伸,同时维持比第一沟槽部21的最大深度(第二深度72)浅的深度。第一深度71优选不大于 3nm ,更优选地不大于 2nm ,并且进一步优选地不大于 1nm 。而且,第二沟槽部22具有,例如,不小于 $20\mu\text{m}$,优选地,不小于 $25\mu\text{m}$ 的宽度(第四宽度84)。

[0079] 如图1和图3所示,栅极绝缘膜57设置为与JFET区61的表面161、本体区62的表面162、和源极区63的表面163接触。栅极绝缘膜57设置在设置于表面161中的沟槽部20中,并

且优选地设置在第一沟槽部21上。栅极绝缘膜57可以设置在设置于表面161中的第二沟槽部22上,或者可以设置在凹坑部30上。如图3和图5所示,凹坑部30可以设置在表面161中。如图3所示,凹坑部30因从碳化硅衬底110延伸到碳化硅外延层120中的穿透位错40而形成。凹坑部30的最大深度(第三深度73)大于10nm,更具体地,大于20nm。如图5所示,在平面图中,凹坑部30可以具有三角形形状。栅极绝缘膜57可以设置为填充包括在沟槽部20中的第一沟槽部21和第二沟槽部22。

[0080] [用于制造碳化硅半导体器件的方法]

[0081] 接下来,下面描述了根据本实施例的用于制造MOSFET 1000的方法。

[0082] 首先,如图6所示,执行碳化硅外延层制备步骤(S30)。如图7所示,碳化硅外延层制备步骤(S30)包括:制备碳化硅衬底的步骤(S10);形成第一外延层的步骤(S21);重构第一外延层的表面的步骤(S22);以及在重构表面上形成第二外延层的步骤(S23)。

[0083] 例如,在制备碳化硅衬底的步骤(S10)中,将具有4H的多型体并且使用升华再结晶方法通过晶体生长而获得的碳化硅铸块(未示出)切为预定厚度,从而制备碳化硅衬底110(图10)。碳化硅衬底110具有第二主表面102和与第二主表面102相反的第三主表面103。如图11所示,碳化硅外延层120形成在第三主表面103上。例如,第三主表面103具有相对于(0001)平面的不大于±4°的偏移角。例如,该偏移角的偏移方向可以在相对于<11-20>方向的不大于±5°的范围内,或者可以在相对于<01-10>方向的不大于±5°的范围内。

[0084] 接下来,如图10所示,采用CVD来在第三主表面103上外延生长碳化硅外延层120。此处,将首先参照图8和图9描述外延生长装置1的配置。图8是外延生长装置1的侧视图。图9是沿图8中的线段IX-IX的外延生长装置1的截面图。

[0085] 如图8和图9所示,外延生长装置1主要包括加热元件6、热绝缘体5、石英管4和感应加热线圈3。例如,每个加热元件6由碳材料组成。如图9所示,加热元件6具有半圆柱形中空结构,该半圆柱形中空结构包括弯曲部7和平坦部8。提供和设置两个加热元件6,从而使其相应的平坦部8面对面。由这些平坦部8围成的空间是沟道2,该沟道2用作用于对碳化硅衬底110进行处理的空间。

[0086] 热绝缘体5是配置为将沟道2与外延生长装置1的外部热绝缘的构件。热绝缘体5设置为围绕加热元件6的外周部分。石英管4设置为围绕热绝缘体5的外周部分。感应加热线圈3缠绕在石英管4的外周部分处。

[0087] 接下来,下面描述了采用上述外延生长装置1的晶体生长过程。首先,将在步骤(S10)中制备的碳化硅衬底110放置在外延生长装置1的沟道2中。更具体地,将碳化硅衬底110放置在设置在一个加热元件6上的衬托器(未示出)上。

[0088] 1. 形成第一外延层的步骤(S21)

[0089] 接下来,执行形成第一外延层的步骤。在该步骤中,使用C/Si比小于1的源料气体,在碳化硅衬底110上形成第一外延层121(参见图3)。首先,在沟道2中的气体置换之后,将沟道2中的压力调节为诸如60mbar至100mbar(6kPa至10kPa)的预定的压力,同时让载气流动。载气可以是,例如,氢气(H₂)、氩气(Ar)、氦气(He)等。例如,载气的流量可以是约50s1m至200s1m。本文所使用的流量单位(即,“s1m(每分钟标准升)”)表示在标准条件下(0°C和101.3kPa)的“L/min”。

[0090] 接下来,将预定的交流电流提供至感应加热线圈,从而感应地加热加热元件6。因

此,将沟道2和具有放置在其上的碳化硅衬底110的衬托器加热至预定的反应温度。例如,在这种情况下,将衬托器加热至约1500℃至1750℃。

[0091] 接下来,提供源料气体。源料气体包括Si源气体和C源气体。Si源气体的示例包括硅烷(SiH_4)气体、乙硅烷(Si_2H_6)气体、二氯甲硅烷($\text{Si}_2\text{H}_2\text{Cl}_2$)气体、三氯硅烷(SiHCl_3)气体、四氯化硅(SiCl_4)气体等。即,Si源气体可以是选自由硅烷气体、乙硅烷气体、二氯甲硅烷气体、三氯硅烷气体和四氯化硅气体组成的组中的至少一种。

[0092] C源气体的示例包括甲烷(CH_4)气体、乙烷(C_2H_6)气体、丙烷(C_3H_8)气体、乙炔(C_2H_2)气体等。即,C源气体可以是选自由甲烷气体、乙烷气体、丙烷气体和乙炔气体组成的组中的至少一种。

[0093] 源料气体可以包括掺杂剂气体。掺杂剂气体的示例包括氮气、氨气等。

[0094] 例如,在形成第一外延层的步骤中的源料气体可以是硅烷气体和丙烷气体的混合气体。在形成第一外延层的步骤中,将源料气体的C/Si比调节为小于1。例如,只要C/Si比小于1,C/Si比就可以不小于0.5,不小于0.6,或者不小于0.7。并且,例如,C/Si比可以不大于0.95,不大于0.9,或者不大于0.8。例如,可以将硅烷气体的流量和丙烷气体的流量适当地调节为在约10至100sccm的范围内,以实现期望的C/Si比。本文所使用的流量单位(即,“sccm(每分钟标准立方厘米)”)表示在标准条件下(0℃和101.3kPa)的“mL/min”。

[0095] 例如,在形成第一外延层的步骤中的成膜速率可以大约不小于 $3\mu\text{m}/\text{h}$ 并且不大于 $30\mu\text{m}/\text{h}$ 。例如,第一外延层具有不小于 $0.1\mu\text{m}$ 并且不大于 $150\mu\text{m}$ 的厚度。而且,第一外延层的厚度可以不小于 $0.2\mu\text{m}$,可以不小于 $10\mu\text{m}$,并且可以不小于 $15\mu\text{m}$ 。而且,第一外延层的厚度可以不大于 $100\mu\text{m}$,可以不大于 $75\mu\text{m}$,或者可以不大于 $50\mu\text{m}$ 。

[0096] 2. 重构第一外延层的表面的步骤(S22)

[0097] 接下来,执行重构第一外延层的表面的步骤。继形成第一外延层的步骤之后,可以执行重构表面的步骤。可替代地,可以在形成第一外延层的步骤与重构表面的步骤之间设置预定的停止时间。在重构表面的步骤中,可以将衬托器的温度增加约10℃至30℃。

[0098] 在重构表面的步骤中,使用包括C/Si比小于1的源料气体和氢气的混合气体。源料气体的C/Si比可以低于在形成第一外延层的步骤中的C/Si比。只要C/Si比小于1,C/Si比就可以不小于0.5,不小于0.6,或者不小于0.7。而且,例如,C/Si比可以不大于0.95,不大于0.9,或者不大于0.8。

[0099] 在重构表面的步骤中,可以使用与在形成第一外延层的步骤和形成第二外延层的下述步骤中的每一个步骤中使用的源料气体不同的源料气体。以这种方式,期望增加实现浅凹坑部的效果。例如,认为进行了配置,从而在形成第一外延层的步骤和形成第二外延层的下述步骤中的每一个步骤中,使用硅烷气体和丙烷气体,因此,在重构表面的步骤中,使用二氯甲硅烷和乙炔。

[0100] 在重构表面的步骤中,与在形成第一外延层的步骤和形成第二外延层的下述步骤中的流量比相比较,可以减小源料气体的流量与氢气的流量之比。因此,期望增加实现浅凹坑部的效果。

[0101] 例如,混合气体中的氢气的流量可以是大约不小于100s1m并且不大于150s1m。例如,氢气的流量可以是约120s1m。例如,混合气体中的Si源气体的流量可以是大约不小于1sccm并且不大于5sccm。Si源气体的流量的下限可以是2sccm。Si源气体的流量的上限可以

是4sccm。例如，混合气体中的C源气体的流量可以是不小于0.3sccm并且不大于1.6sccm。C源气体的流量的下限可以是0.5sccm或者0.7sccm。C源气体的流量的上限可以是1.4sccm或者12sccm。

[0102] 在重构表面的步骤中，需要调节各种条件，从而使用氢气进行的蚀刻可与用源料气体进行的外延生长相比较。例如，认为将氢气的流量和源料气体的流量调节为实现约 $0 \pm 0.5\mu\text{m}/\text{h}$ 的成膜速率。可以将成膜速率调节为约 $0 \pm 0.4\mu\text{m}/\text{h}$ ，可以将成膜速率调节为约 $0 \pm 0.3\mu\text{m}/\text{h}$ ，可以将成膜速率调节为约 $0 \pm 0.2\mu\text{m}/\text{h}$ ，或者可以将成膜速率调节为约 $0 \pm 0.1\mu\text{m}/\text{h}$ 。因此，期望增加实现浅凹坑部的效果。

[0103] 例如，在重构表面的步骤中的处理时间是大约不小于30分钟并且不大于10小时。处理时间可以不大于8小时，可以不大于6小时，可以不大于4小时，或者可以不大于2小时。

[0104] 3.形成第二外延层的步骤(S23)

[0105] 在重构第一外延层的表面之后，执行在该表面上形成第二外延层的步骤。通过使用C/Si比小于1的源料气体来形成第二外延层122(参见图3)。例如，只要C/Si比不小于1，C/Si比就可以不小于1.05，可以不小于1.1，可以不小于1.2，可以不小于1.3，或者可以不小于1.4。而且，C/Si比可以不大于2.0，可以不大于1.8，或者可以不大于1.6。

[0106] 在形成第二外延层的步骤中的源料气体可以与在形成第一外延层的步骤中使用的源料气体相同或者不同。例如，源料气体可以是硅烷气体和丙烷气体。例如，可以将硅烷气体的流量和丙烷气体的流量适当地调节为在约10至100sccm的范围内，以实现期望的C/Si比。例如，载气的流量可以是约50s1m至200s1m。

[0107] 例如，在形成第二外延层的步骤中的成膜速率可以大约不小于 $5\mu\text{m}/\text{h}$ 并且不大于 $100\mu\text{m}/\text{h}$ 。例如，第二外延层具有不小于 $1\mu\text{m}$ 并且不大于 $150\mu\text{m}$ 的厚度。而且，第二外延层的厚度可以不小于 $5\mu\text{m}$ ，可以不小于 $10\mu\text{m}$ ，并且可以不小于 $15\mu\text{m}$ 。而且，第二外延层的厚度可以不大于 $100\mu\text{m}$ ，可以不大于 $75\mu\text{m}$ ，或者可以不大于 $50\mu\text{m}$ 。

[0108] 第二外延层122的厚度可以与第一外延层121的厚度相同或者不同。第二外延层122可以比第一外延层121薄。例如，第二外延层122的厚度与第一外延层121的厚度之比可以大约不小于0.01并且不大于0.9。此处，厚度比表示通过用第二外延层的厚度除以已经经过重构表面的步骤的第一外延层的厚度而获得的值。厚度比可以不大于0.8，可以不大于0.7，可以不大于0.6，可以不大于0.5，可以不大于0.4，可以不大于0.3，可以不大于0.2，或者可以不大于0.1。以这种方式，期望增加实现浅凹坑部的效果。

[0109] 以这种方式，如图3所示，形成碳化硅外延层120，该碳化硅外延层120包括第一外延层121和第二外延层122。在碳化硅外延层中，第一外延层和第二外延层可以完全合并，从而无法对其进行区分。

[0110] 如图4所示，在碳化硅外延层120的第一主表面101中形成沟槽部20。当在平面图中看时，沟槽部20在沿第一主表面101的一个方向上延伸。更具体地，沟槽部20在沿相对于(0001)平面的偏移角的偏移方向的台阶流生长方向上延伸。换言之，沟槽部20在相对于<11-20>方向的不大于 $\pm 5^\circ$ 的范围内的方向或者在相对于<01-10>方向的不大于 $\pm 5^\circ$ 的范围内的方向上延伸。

[0111] 沟槽部20在上述一个方向上的宽度(第二宽度82)为其在垂直于该一个方向的方向上的宽度(第三宽度83)的两倍或者两倍以上，优选为五倍或者五倍以上。第二宽度82不

小于15μm并且不大于50μm，优选地，不小于25μm并且不大于35μm。第三宽度83不小于1μm并且不大于5μm，优选地，不小于2μm并且不大于3μm。

[0112] 如图3所示，沟槽部20形成为在台阶流生长方向上从包括在碳化硅外延层120中的穿透位错40延伸。更具体地，沟槽部20包括：形成在穿透位错40上的第一沟槽部21、以及形成为连接至第一沟槽部21并且在台阶流生长方向上从第一沟槽部21延伸的第二沟槽部22。

[0113] 第一沟槽部21形成在沟槽部20在台阶流生长方向上的一个端部(图3中的左端部)处。而且，第一沟槽部21距第一主表面101的最大深度(第二深度72)不超过10nm。第二深度72是在图3所示的整个沟槽部20中的最大深度。第一沟槽部21优选具有不大于1μm的宽度(第一宽度81)，并且更优选地具有不大于0.5μm的宽度(第一宽度81)。

[0114] 如图3所示，第二沟槽部22形成为从其与第一沟槽部21连接的部分延伸至与上述一个端部相反的另一个端部(图3中的右端部)。而且，第二沟槽部22形成为使第二沟槽部22距第一主表面101的深度(第一深度71)小于第一沟槽部21的最大深度(第二深度72)。更具体地，第二沟槽部22在台阶流生长方向上延伸，同时维持比第一沟槽部21的最大深度(第二深度72)浅的深度。第一深度71优选地不大于3nm，更优选地不大于2nm，并且进一步优选地不大于1nm。而且，第二沟槽部22具有，例如，不小于20μm，优选地，不小于25μm的宽度(第四宽度84)。

[0115] 接下来，作为步骤(S40)，执行离子注入步骤。在该步骤(S40)中，如图11所示，例如，从第一主表面101侧将铝(A1)离子注入到碳化硅外延层120中，由此形成本体区62。当在截面中看时，插入在本体区62之间的区是JFET区61。JFET区61的表面161构成第一主表面101的一部分。优选地，本体区62形成为使JFET区61的表面161的宽度(第五宽度85)变得不小于1.5μm并且不大于3.5μm。优选地，通过离子注入形成每个本体区62。例如，用于离子注入的注入掩膜具有不大于2.4μm的宽度。例如，将最大离子注入能量抑制为不大于970keV。与第一主表面101接触的本体区62的部分的杂质浓度为，例如，不小于 $1 \times 10^{16} \text{ cm}^{-3}$ 并且不大于 $1 \times 10^{18} \text{ cm}^{-3}$ 。优选地，JFET区61形成为将沟槽部20设置在表面161中。更具体地，JFET区61形成为将第一沟槽部21设置在表面161中。

[0116] 接下来，例如，将磷(P)离子注入到本体区62中，从而形成源极区63。接下来，例如，将铝(A1)离子注入到本体区62中，从而形成与源极区63相邻的接触区64。在碳化硅外延层120中，未形成有本体区62、源极区63和接触区64的任何一个的区用作漂移区60。漂移区60包括JFET区61。JFET区61是构成第一主表面101的一部分并且插入在本体区62的部分之间的区。漂移区60包括：插入在JFET区61与碳化硅衬底110之间的区、以及插入在每个本体区62与碳化硅衬底110之间的区。第一主表面101由JFET区61的表面161、本体区62的表面162、源极区63的表面163、和接触区64的表面164构成。

[0117] 接下来，执行活化退火步骤，作为步骤(S50)。在该步骤(S50)中，例如，如图11所示，在氩气氛中，在约1800℃下加热碳化硅外延层120，从而使已经通过离子注入而被引入碳化硅外延层120中的n型杂质和p型杂质中的每一种活化。因此，在碳化硅外延层120内的本体区62、源极区63、和接触区64中的每一个中生成期望的载流子。以这种方式，制备碳化硅外延层120，该碳化硅外延层120包括：JFET区61，该JFET区61具有n型导电性；本体区62，该本体区62被设置在漂移区60上并且具有与n型导电性不同的p型导电性；以及源极区63，该源极区63通过本体区62与JFET区61分开，并且具有n型导电性。

[0118] 接下来,执行栅极绝缘膜形成步骤,作为步骤(S60)。在该步骤(S60)中,例如,如图12所示,在包括氧气(O_2)的气氛中,使外延晶圆100热氧化,因此,在第一主表面101上形成由包括二氧化硅(SiO_2)的材料组成的栅极绝缘膜57。栅极绝缘膜57形成为与JFET区61、本体区62和源极区63接触。在与栅极绝缘膜57接触的JFET区61的表面161中,形成沟槽部20(参见图3)。沟槽部20在沿表面161的一个方向上延伸。沟槽部20的作为在一个方向上的宽度的第二宽度82为沟槽部20的作为在垂直于该一个方向的方向上的宽度的第三宽度83的两倍或者两倍以上。沟槽部20的作为距表面161的最大深度的第二深度72不大于10nm。即,在JFET区61的表面161中,抑制凹坑部30形成(图3),从而减少形成在JFET区61的表面161上的栅极绝缘膜57的厚度的变化。例如,栅极绝缘膜57具有不小于40nm并且不大于100nm的平均膜厚度。

[0119] 接下来,执行氮退火步骤,作为步骤(S65)。具体地,在形成栅极绝缘膜57的步骤之后,在包括氮原子的气氛中,在不小于1100℃的温度下加热栅极绝缘膜57。包括氮的气氛的示例包括一氧化氮(NO)、一氧化二氮(N_2O)、二氧化氮(NO_2)、氨等。例如,优选地,在包括氮的气体中,在不小于1100℃并且不大于1400℃的温度下,保持形成有栅极绝缘膜57的外延晶圆100约1小时。

[0120] 接下来,执行栅极电极形成步骤,作为步骤(S70)。在该步骤(S70)中,例如,采用LP(低压)CVD来形成栅极电极51,该栅极电极51与栅极绝缘膜57接触并且由导电材料组成,该导电材料包括添加有杂质的多晶硅。在面对JFET区61的表面161、本体区62的表面162、和源极区63的表面163的位置处,在栅极绝缘膜57上形成栅极电极51。

[0121] 接下来,执行层间绝缘膜形成步骤,作为步骤(S80)。在该步骤(S80)中,例如,采用CVD,在栅极绝缘膜57上形成层间绝缘膜56,以覆盖栅极电极51。例如,层间绝缘膜56由包括二氧化硅的材料组成。

[0122] 接下来,执行欧姆电极形成步骤,作为步骤(S90)。在该步骤(S90)中,参照图13,首先通过蚀刻从形成有源极电极52的区中去除栅极绝缘膜57和层间绝缘膜56。这导致暴露有源极区63和接触区64的区形成。例如,在该区中,包括Ti、Al和Ni的金属膜形成为与源极区63和接触区64两者接触。接下来,加热金属膜,由此,使金属膜的至少一部分硅化。因此,在第一主表面101上,源极电极52形成为与源极区63和接触区64两者接触。

[0123] 接下来,执行焊盘电极形成步骤,作为步骤(S100)。在该步骤(S100)中,例如,采用气相沉积来形成由包括铝的导体组成的源极焊盘电极54,以覆盖源极电极52和层间绝缘膜56。接下来,将漏极电极53形成为与碳化硅衬底110的第二主表面102接触。接下来,例如,将由包括铝的导体组成的背侧焊盘电极55形成为与漏极电极53接触。

[0124] 然后,通过预定的切割将晶圆分为多个半导体芯片。以这种方式,获得包括图1所示的多个单位晶胞的半导体芯片,即,碳化硅半导体器件。

[0125] 在上述实施例中,已经举例说明,第一导电类型与n型导电性对应,并且第二导电类型与p型导电性对应;然而,第一导电类型可以与p型导电性对应,并且第二导电类型可以与n型导电性对应。而且,在本实施例中,已经举例说明,碳化硅半导体器件为平板型MOSFET;然而,碳化硅半导体器件可以是IGBT(绝缘栅双极晶体管)。

[0126] 接下来,下面描述了根据本实施例的MOSFET的功能和效果以及用于制造MOSFET的方法。

[0127] 按照根据本实施例的MOSFET 1000,沟槽部20形成在第一杂质区61的表面161中,表面161与栅极绝缘膜57接触,沟槽部20在沿表面161的一个方向上延伸,沟槽部20的作为在该一个方向上的宽度的第二宽度82为沟槽部20的作为在垂直于该一个方向的方向上的宽度的两倍或者两倍以上,沟槽部20的作为距表面161的最大深度的第二深度72不大于10nm。即,按照根据本实施例的MOSFET 1000,通过控制碳化硅外延层120等的外延生长条件,形成大量沟槽部20,而不是分别具有几十纳米的深度的上述凹坑部。因此,在根据本实施例的MOSFET 1000中,与形成有大量凹坑部30的传统MOSFET相比较,可以减少栅极绝缘膜57的膜厚度的变化。结果,提高了MOSFET 1000的长期可靠性。

[0128] 而且,按照根据本实施例的MOSFET 1000,第五宽度85不小于1.5μm并且不大于3.5μm,第五宽度85是JFET区61的表面161在沿平行于JFET区61的表面161的方向延伸的方向上的宽度。通过将第五宽度85设置为不小于1.5μm,可以抑制由于JFET电阻的增加而导致的晶体管电阻的显著增加。通过将第五宽度85设置为不大于3μm,通过耗尽本体区62来保护在JFET区61上的栅极绝缘膜57,并且可以抑制由于单位晶胞面积的增加而导致的电阻的增加。

[0129] 而且,按照根据本实施例的MOSFET 1000,栅极绝缘膜57在垂直于JFET区61的表面161的方向上的厚度157不小于40nm并且不大于100nm。通过将栅极绝缘膜57的厚度157设置为不小于40nm,可以抑制栅极绝缘膜57的可靠性降低。通过将栅极绝缘膜57的厚度157设置为不大于100nm,可以抑制施加在栅极电极51与源极电极52之间并且导通晶体管所需的电压的增加。

[0130] 进一步地,按照根据本实施例的MOSFET 1000,在栅极绝缘膜57与第一杂质区61之间的边界区中200,氮原子的密度可以不小于10¹⁸cm⁻³。因此,可以提高栅极绝缘膜57的可靠性。

[0131] 进一步地,按照根据本实施例的MOSFET 1000,沟槽部20包括第一沟槽部21和连接至第一沟槽部21的第二沟槽部22。第一沟槽部21可以形成在沟槽部20在一个方向上的一个端部中,并且第一沟槽部21距表面161的最大深度不大于10nm。第二沟槽部22形成为在一个方向上从第一沟槽部21延伸至与一个端部相反的另一个端部,并且形成为使得第二沟槽部22的作为距表面161的深度的第一深度71比第一沟槽部21的最大深度小。在形成有具有上述结构的沟槽部20的MOSFET 1000中,抑制由于栅极绝缘膜57的膜厚度的变化而导致的凹坑部的形成。因此,根据MOSFET 1000,可以减少栅极绝缘膜57的膜厚度的变化。结果,提高了MOSFET 1000的长期可靠性。

[0132] 进一步的,按照根据本实施例的MOSFET 1000,将栅极绝缘膜57设置在第一沟槽部21上。根据MOSFET 1000,可以减少栅极绝缘膜57的膜厚度的变化。结果,提高了MOSFET 1000的长期可靠性。

[0133] 进一步地,根据本实施例的MOSFET 1000进一步包括碳化硅衬底110,该碳化硅衬底110具有相对于(0001)平面的不大于±4°的偏移角。碳化硅外延层120可以是在碳化硅衬底110上外延生长的层。沟槽部20可以形成为在沿偏移角的偏移方向的台阶流生长方向上从碳化硅外延层120中的穿透位错40延伸。如上所述,沟槽部20形成为在台阶流生长方向上延伸。在形成有这种沟槽部20的碳化硅半导体器件1000中,抑制由于器件的长期可靠性的降低而导致的微小凹坑的形成。因此,根据MOSFET 1000,可以减少栅极绝缘膜57的膜厚度

的变化。结果，提高了MOSFET 1000的长期可靠性。

[0134] 进一步地，按照根据本实施例的MOSFET 1000，偏移方向在相对于<11-20>方向的不大于 $\pm 5^\circ$ 的范围内。因此，第三主表面103可以在预定的偏移方向上相对于(0001)平面倾斜。

[0135] 进一步地，按照根据本实施例的MOSFET 1000，偏移方向在相对于<01-10>方向的不大于 $\pm 5^\circ$ 的范围内。因此，第三主表面103可以在预定的偏移方向上相对于(0001)平面倾斜。

[0136] 按照根据本实施例的用于制造MOSFET 1000的方法，通过控制碳化硅外延层120等的外延生长条件，形成大量沟槽部20，而不是分别具有几十纳米的深度的上述凹坑部。因此，根据用于制造MOSFET 1000的方法，可以制造MOSFET 1000，与形成有大量凹坑部的传统MOSFET中的膜厚度相比较，在该MOSFET 1000中，减小了栅极绝缘膜57的膜厚度。即，可以制造长期可靠性提高的MOSFET 1000。

[0137] 而且，根据本实施例的用于制造MOSFET 1000的方法进一步包括以下步骤：在形成栅极绝缘膜57的步骤之后，在包括氮原子的气氛中，在不小于1100℃的温度下加热栅极绝缘膜57。因此，可以提高栅极绝缘膜57的可靠性。

[0138] [评估]

[0139] 1. 样品生产

[0140] 制备每一个都具有150mm的直径的碳化硅衬底110。在每个碳化硅衬底110中，第三主表面103的偏移方向是<11-20>方向，并且第三主表面103具有相对于(0001)平面的 4° 的偏移角。

[0141] 样品1具有通过使用根据本公开的制造方法来形成的外延层。样品2具有通过使用通过从根据本公开的制造方法中省略重构第一外延层的表面的步骤(S22)而获得的制造方法而形成的外延层。在样品1和样品2中的每一种样品中，外延层具有15μm的膜厚度。

[0142] 2. 沟槽部的形状的评估

[0143] 在每种样品中，通过使用缺陷检测装置和AFM来评估形成在碳化硅外延层120的第一主表面101中的沟槽部的形状。在表1中示出结果。本文所使用的缺陷检测装置是Lasertec公司提供的WASAVI系列“SICA 6X”(物镜:x10)。

[0144] 例如，本文所使用的AFM可以是Veeco提供的“Dimension 300”。而且，例如，对于AFM的悬臂(探头)，可以使用Bruker提供的“NCHV-10V”。对于AFM的测量条件，将测量模式设置为轻敲模式，将在轻敲模式下的测量面积设置为每个侧面为20μm的正方形，并且将测量深度设置为1.0μm。而且，在将测量面积中的扫描速度设置为一个周期5秒，将每条扫描线的数据数量设置为512点，并且将扫描线的数量设置为512的条件下，执行轻敲模式下的取样。而且，将对悬臂的位移控制设置为15.50nm。

[0145] [表1]

[0146]

	样品1	样品2
第一沟槽部的最大深度(第二深度)	3nm	25nm
第二沟槽部的深度(第一深度)	不大于1nm	-
在一个方向上的宽度(第二宽度)	25μm	1μm

在垂直方向上的宽度(第三宽度)	2μm	1μm
-----------------	-----	-----

[0147] 如表1所示,在样品1中,检测到第二宽度82为第三宽度83的两倍或者两倍以上的沟槽部20。第二宽度82是在沿第一主表面101的台阶流生长方向(即,“一个方向”)上延伸并且在台阶流生长方向上的宽度,并且第三宽度83是在垂直于台阶流生长方向的方向上的宽度。

[0148] 进一步地,由于对样品1中的沟槽部20的形状的详细检测,发现表现出最大深度的部分包括在沟槽部20内的一个端部中。表现出最大深度的部分的深度为3nm。从该部分延伸至另一端部的部分的深度不大于1nm。即,样品1中的沟槽部20包括第一沟槽部21和连接至第一沟槽部21的第二沟槽部22,其中,第一沟槽部21形成在沟槽部20在台阶流生长方向上的一个端部处,第二沟槽部22在台阶流生长方向上从第一沟槽部21延伸至与该一个端部相反的另一端部,并且作为距第一主表面101的深度的第一深度71小于作为第一沟槽部的最大深度的第二深度72。

[0149] 另一方面,在样品2中,检测到大量沟槽部,即,凹坑部30,在该沟槽部中的每一个中,第二宽度82和第三宽度83与第二深度72大体上相同,即,最大深度不大于10nm。在表1中,为了方便起见,在第一沟槽部的最大深度的列中示出样品2中的沟槽部的最大深度。

[0150] 3. 棚极绝缘膜的膜厚度的变化的评估

[0151] 对于样品1和样品2中的每一个,如上所述地执行离子注入步骤(S40)和活化退火步骤(S50),从而形成图11所示的各个杂质区。

[0152] 通过在包括氧气的气氛中加热样品1和2,在碳化硅外延层120的第一主表面101上形成棚极绝缘膜57。此外,利用透射电子显微镜来观察棚极绝缘膜,以测量棚极绝缘膜的膜厚度的变化。在表2中示出结果。

[0153] [表2]

[0154]

	样品1	样品2
不具有沟槽部的部分的膜厚度(nm)	52	52
在沟槽部附近的小膜厚度(nm)	51	49
在沟槽部附近的大膜厚度(nm)	51	60
膜厚度的变化(A/B)	-1/-1	+8/-3

[0155] 在表2中的列“膜厚度的变化”中,将“A/B”示出为表示在沟槽部附近的大膜厚度与不具有沟槽部的部分的膜厚度之间的差(A)、以及在沟槽部附近的小膜厚度与不具有沟槽部的部分的膜厚度之间的差(B)。此处,指示当A和B均是较小值时,膜厚度的变化也较小。如表2所示,样品1中的膜厚度的变化小于样品2中的膜厚度的变化,因此,样品1更优良。

[0156] 4. 碳化硅半导体器件的可靠性的评估

[0157] 对于样品1和样品2中的每一种样品,顺序执行棚极电极形成步骤(S70)至焊盘电极形成步骤(S100)。此外,按照来自每个样品的芯片的形式,将外延晶圆切块,从而制造22个碳化硅半导体器件,用作MOSFET。

[0158] 通过使用恒流TDDDB(时间相关电介质击穿)来评估每个碳化硅半导体器件的长期可靠性。在恒流密度为20mA/cm²的25°C的环境下执行恒流TDDDB。在图14中示出结果。

[0159] 图14是示出了恒流TDDDB的测量结果的威伯尔图表。在图14中,垂直轴表示绘至威

伯尔图表上的累积故障率,而水平轴表示击穿电荷(Q_{BD})。在图14中,当 Q_{BD} [单位: C/cm^2]较大时,长期可靠性更优良。在图14中,由圆形标记构成的一组图表表示由样品1制造的碳化硅半导体器件,而由四角形标记构成的一组图表表示由样品2制造的碳化硅半导体器件。

[0160] 如通过图14所理解的,由样品1制造的碳化硅半导体器件具有较大的 Q_{BD} ,并且因此具有比由样品2制造的碳化硅半导体器件更优良的长期可靠性。认为该结果是因为样品1中的栅极绝缘膜的膜厚度的变化小而获得。

[0161] 本文所公开的实施例在任何方面都是说明性的,而非限制性的。本发明的范围由权利要求的项定义,而不是由上述实施例定义,并且旨在包括在等同于权利要求的项的范围和含义内的任何修改。

[0162] 参考标记列表

[0163] 1:外延生长装置;2:沟道;3:感应加热线圈;4:石英管;5:热绝缘体;6:加热元件;7:弯曲部;8:平坦部;20:沟槽部;21:第一沟槽部;22:第二沟槽部;30:凹坑部;40:穿透位错;51:栅极电极;52:源极电极;53:漏极电极;54:源极焊盘电极;55:背侧焊盘电极;56:层间绝缘膜;57:栅极绝缘膜;60:漂移区;61:第一杂质区(JFET区);62:第二杂质区(本体区);63:第三杂质区(源极区);64:接触区;71:第一深度;72:第二深度;73:第三深度;81:第一宽度;82:第二宽度;83:第三宽度;84:第四宽度;85:第五宽度;100:外延晶圆;101:第一主表面;102:第二主表面;103:第三主表面;110:碳化硅衬底;120:碳化硅外延层;121:第一外延层;122:第二外延层;157:厚度;161、162、163、164:表面;200:边界区;201:第一虚拟平面;202:第二虚拟平面;1000:碳化硅半导体器件(MOSFET)。

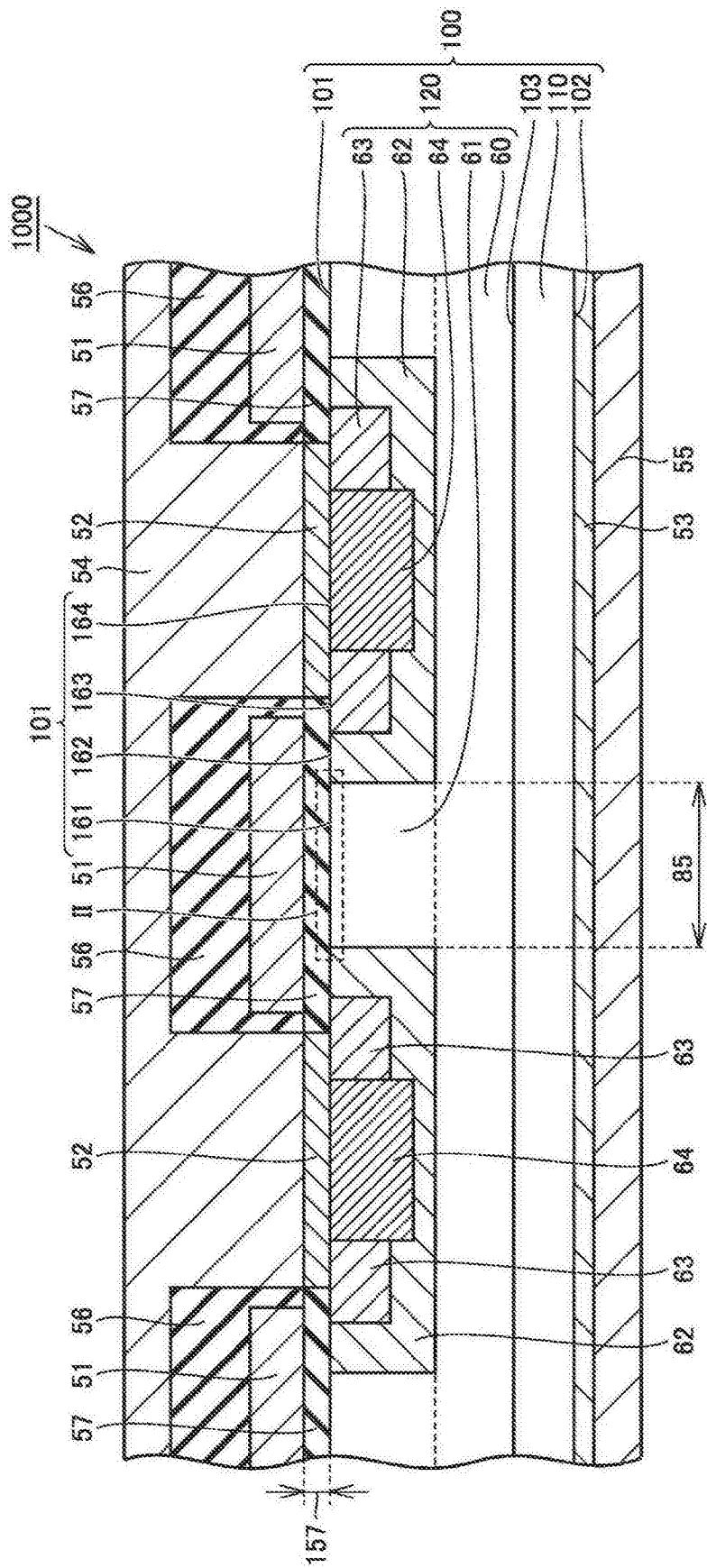


图1

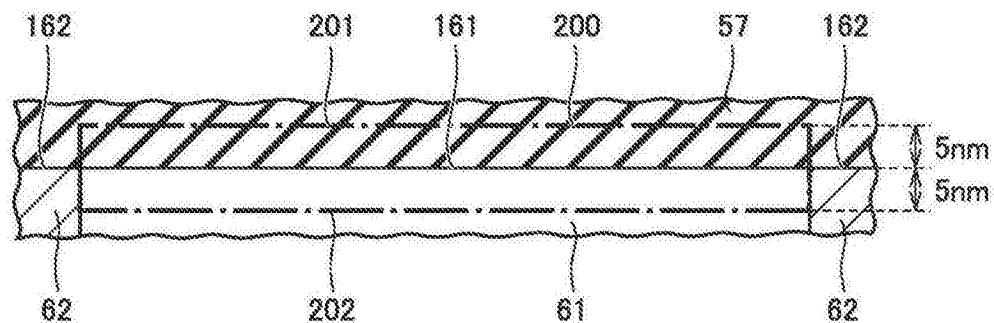


图2

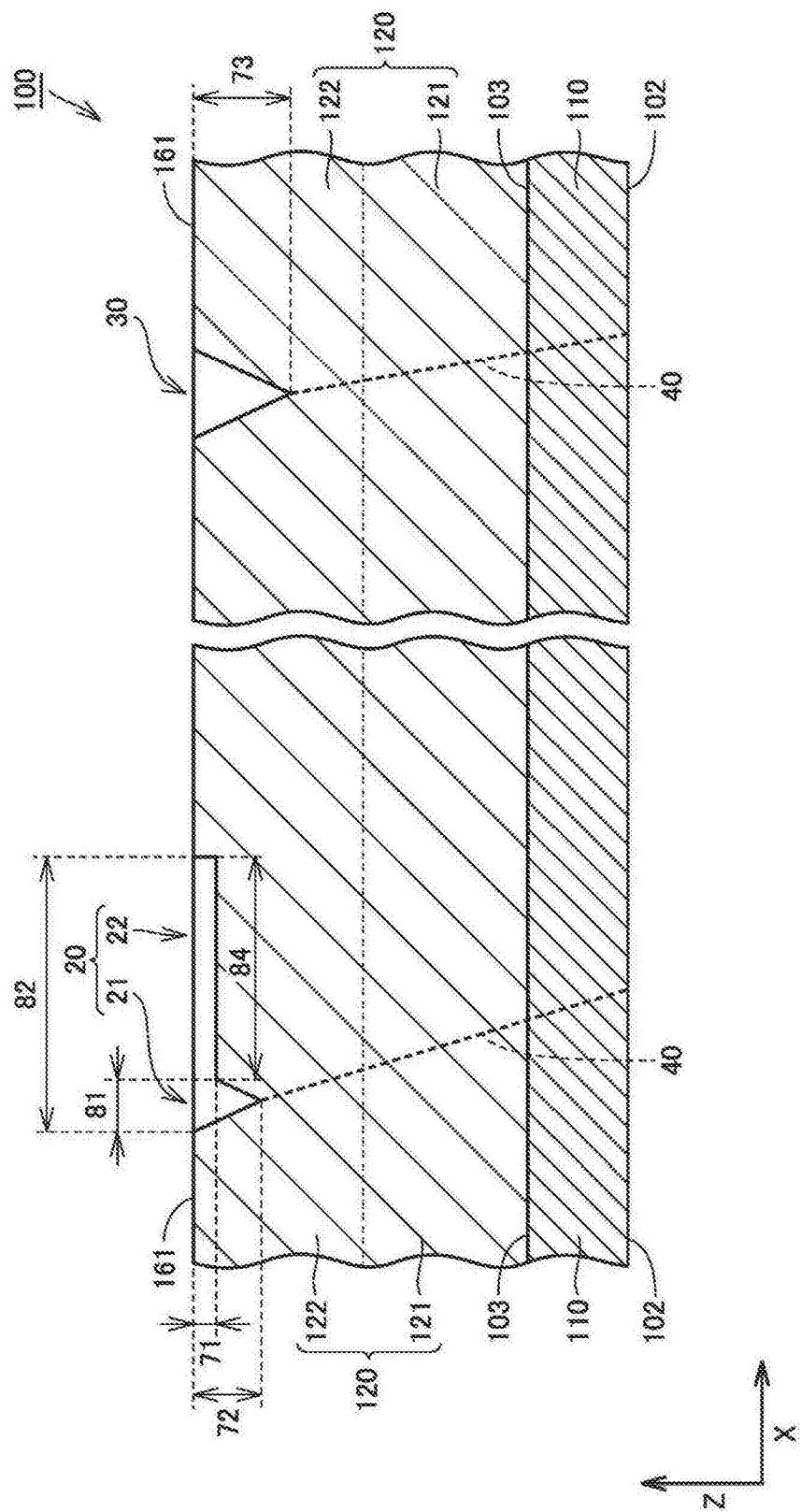


图3

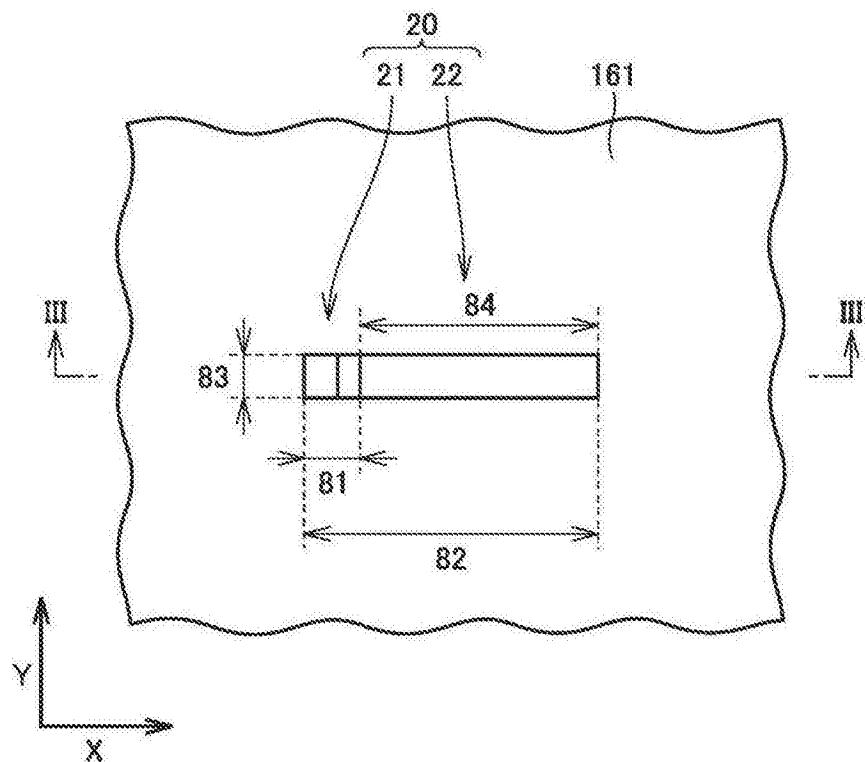


图4

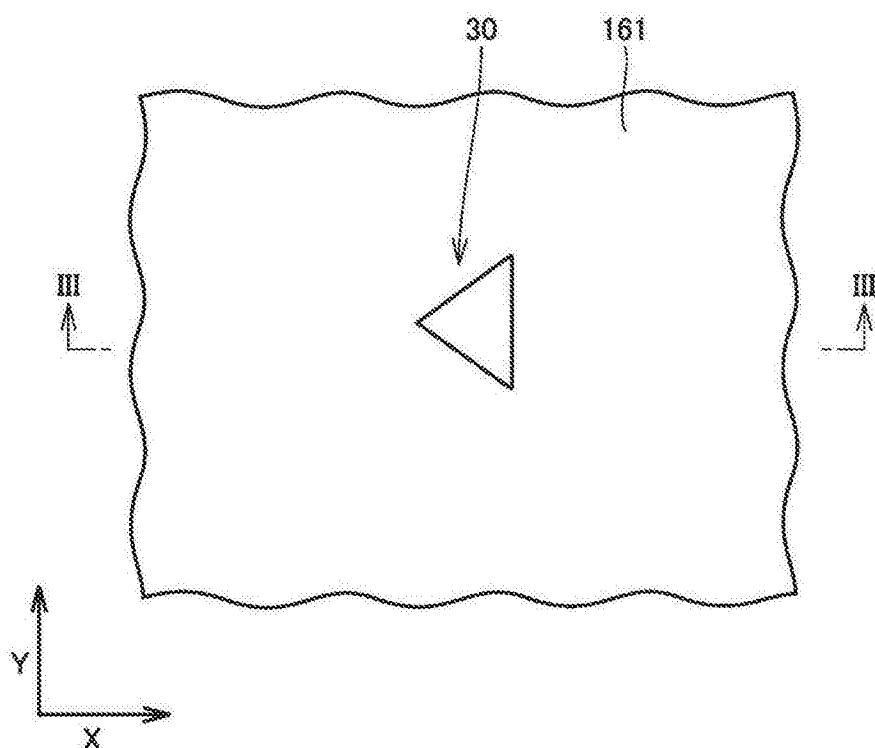


图5

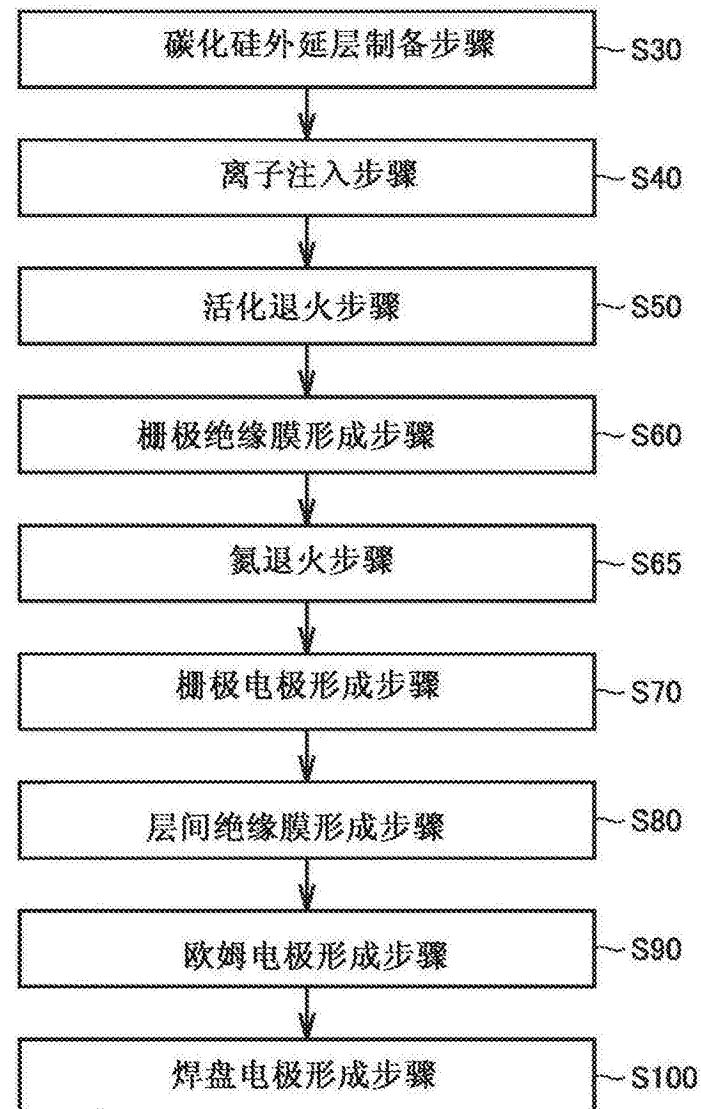


图6

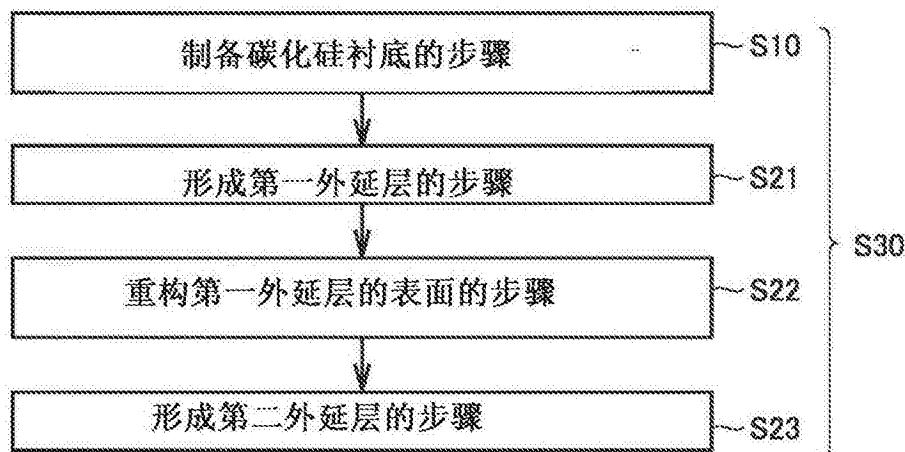


图7

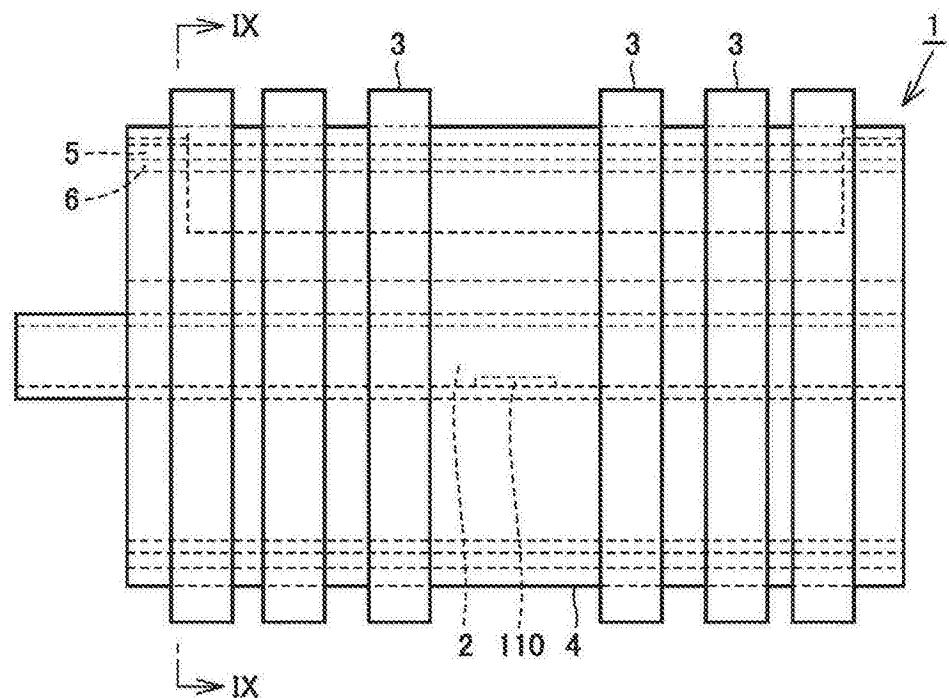


图8

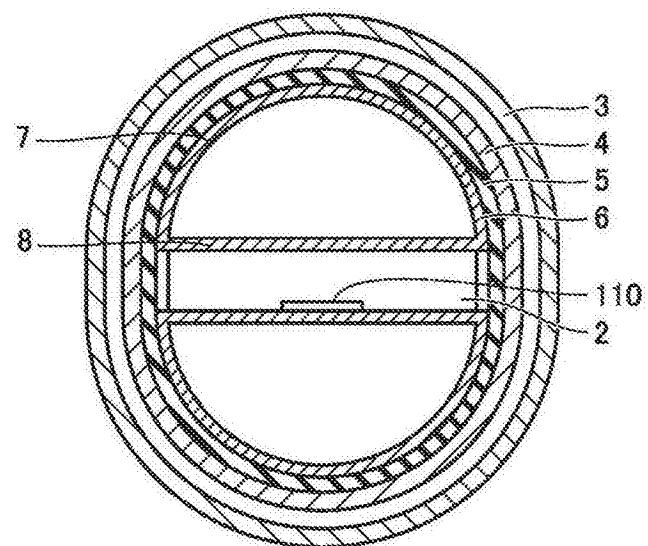


图9

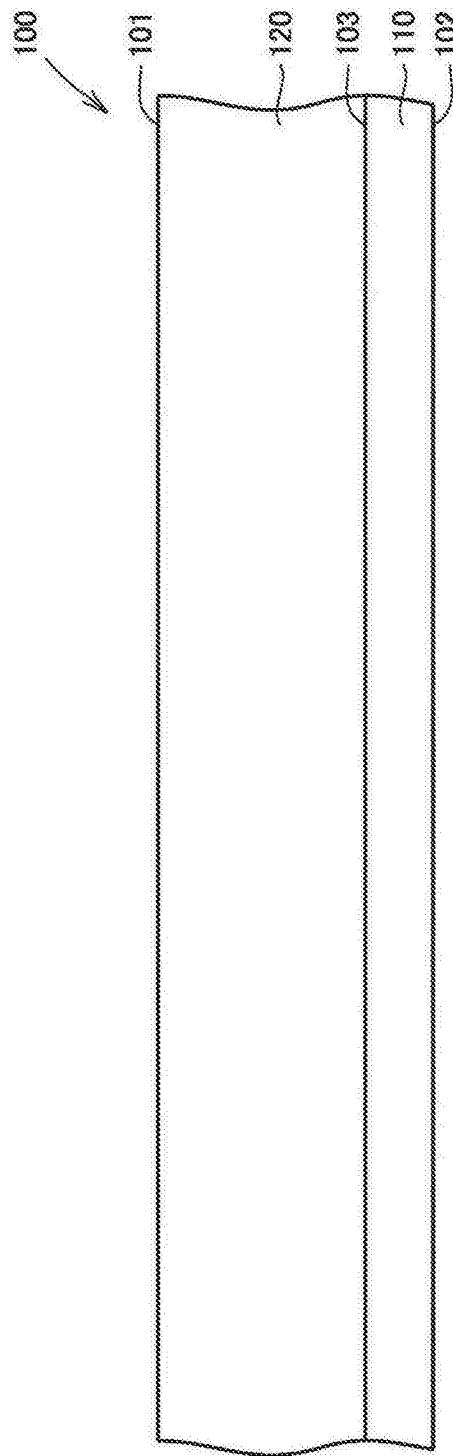


图10

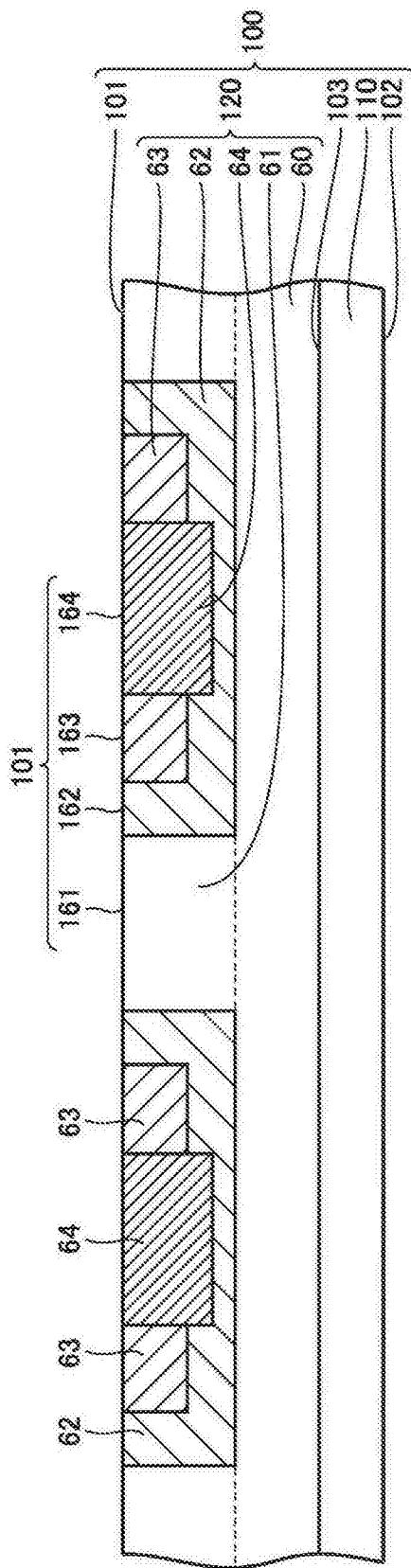


图11

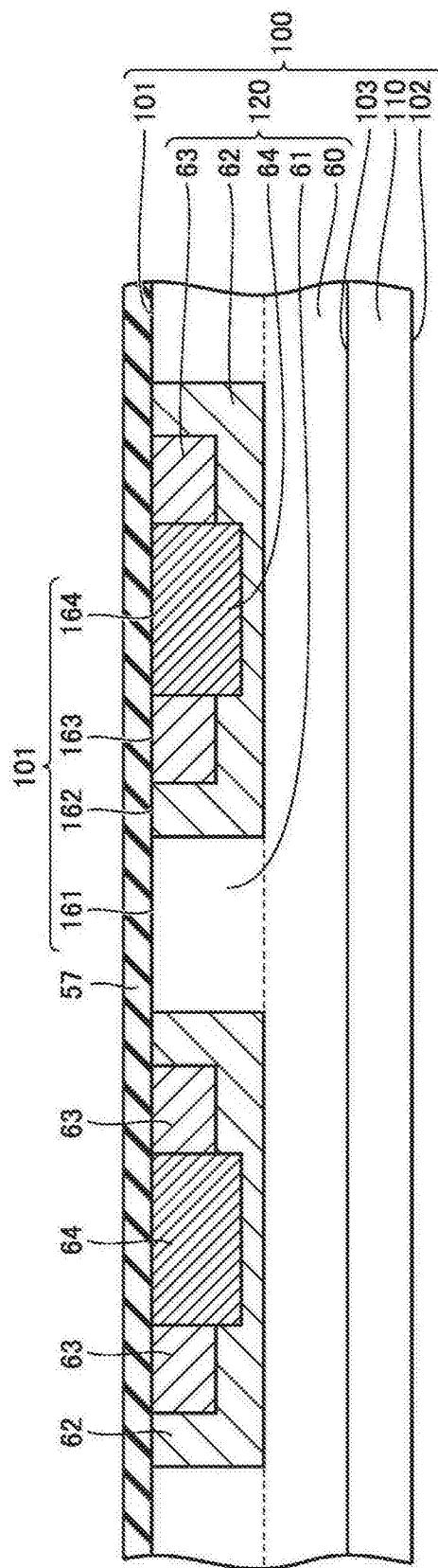


图12

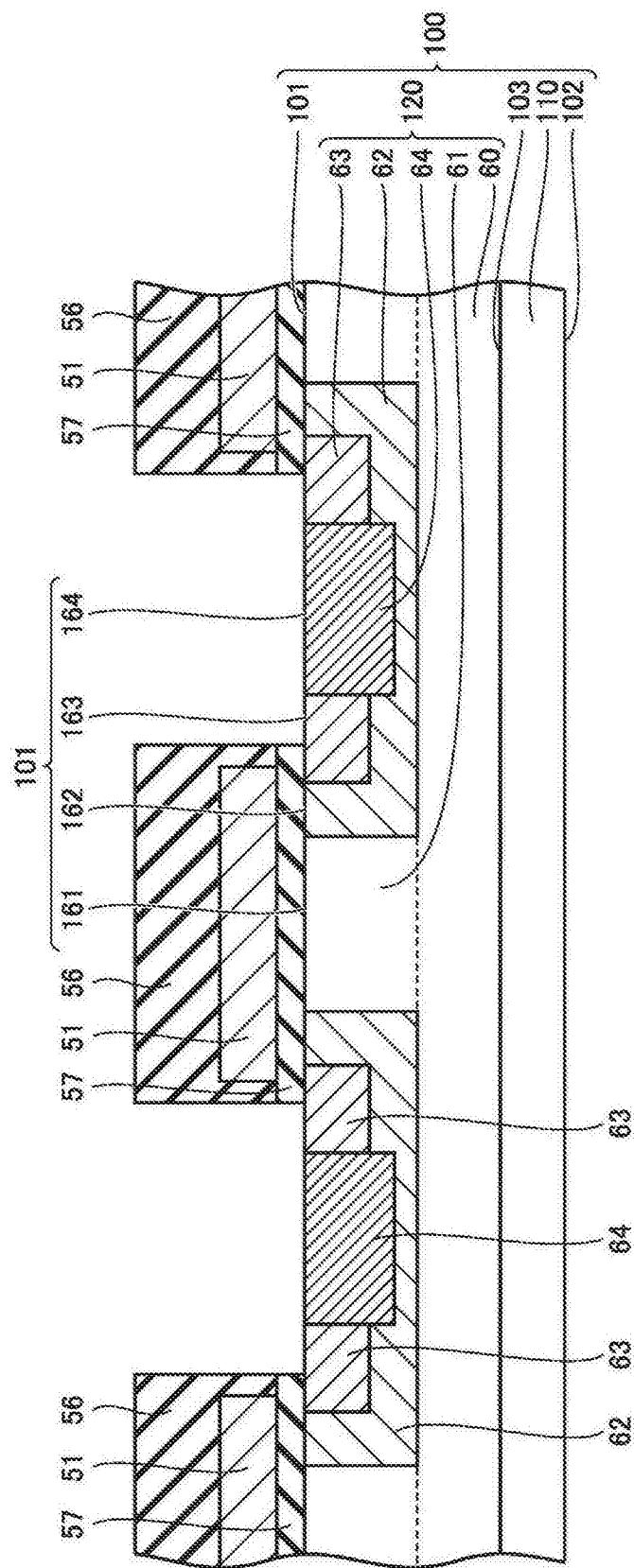


图13

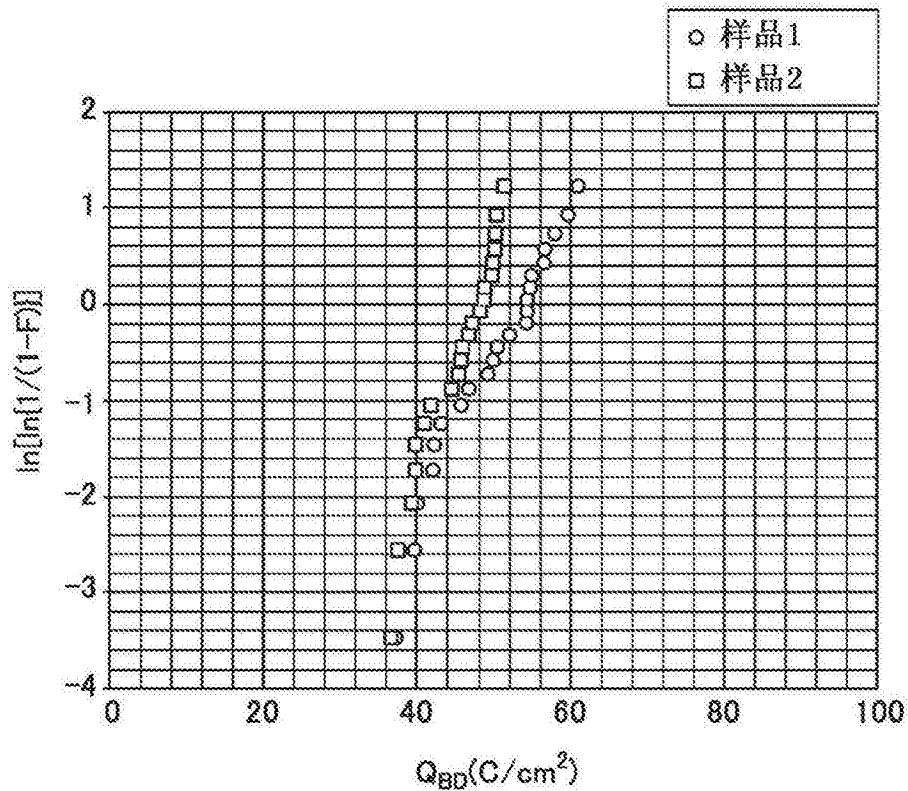


图14