



(12) 发明专利

(10) 授权公告号 CN 1714512 B

(45) 授权公告日 2010.10.27

(21) 申请号 200380103538.5

(51) Int. Cl.

(22) 申请日 2003.11.12

H03M 13/00(2006.01)

(30) 优先权数据

(56) 对比文件

10/299,374 2002.11.18 US

US 5699365 A, 1997.12.16, 全文.

CN 1332522 A, 2002.01.23, 全文.

(85) PCT申请进入国家阶段日

US 20020042899 A1, 2002.04.11, 全文.

2005.05.18

George Thomas. A rate-adaptive

(86) PCT申请的申请数据

protocol for wireless data channels.

PCT/US2003/036230 2003.11.12

Wireless Communications and Networking

(87) PCT申请的公布数据

Conference3. 2000, 31345-1350.

W02004/047307 EN 2004.06.03

审查员 康健

(73) 专利权人 高通股份有限公司

地址 美国加利福尼亚

(72) 发明人 比约恩·比耶克 约翰·W·凯彻姆

纳加布尚纳·辛达胡沙亚纳

杰伊·罗德·沃尔顿

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 王英

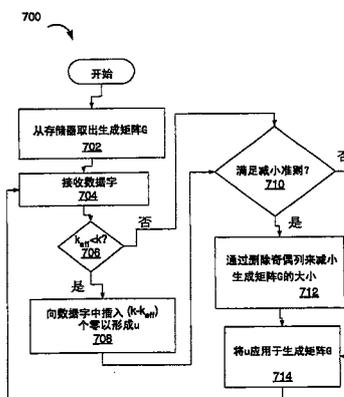
权利要求书 3 页 说明书 9 页 附图 12 页

(54) 发明名称

用于速率兼容的低密度奇偶校验码的装置和方法

(57) 摘要

用于根据具有可变长度输入字的单个低密度奇偶校验(LDPC)码来产生具有可变长度和冗余度的码字的方法和装置。基于奇偶校验矩阵来生成用于对数据字进行编码的母码,其中母码被调整来反映将被编码的数据字的大小。生成矩阵将母码应用于数据字中,以生成用于传输的码字。在一个实施例中,确定减小准则且响应来减小生成矩阵的大小。在用于对所接收的码字进行解码的接收机端,使用相应的奇偶校验矩阵。



1. 一种用于对通信系统中的传输进行编码的方法,包括:  
选择具有一种比特长度的第一码元,其中所述第一码元是由速率可变的编码器响应于数据保护需求和信道特性确定的并且是通过以下步骤选择的:  
选择低密度奇偶校验矩阵;  
基于所述低密度奇偶校验矩阵选择生成矩阵;  
接收用于传输的数据字;  
如果所述数据字的长度小于所述比特长度则向所述数据字中插入零,以将所述数据字扩展到所述比特长度;以及  
使用所述第一码元对插零后的数据字进行奇偶校验编码,以生成码字。
2. 如权利要求 1 所述的方法,其中所述选择所述第一码元包括:  
选择用于对将要传输的所述数据字进行奇偶校验编码的奇偶校验矩阵;并且  
基于所述奇偶校验矩阵选择生成矩阵,以使得所述奇偶校验矩阵的转置与所述生成矩阵的乘积为零,其中所述生成矩阵将所述第一码元施加到所述插零后的数据字上,以生成用于传输的所述码字。
3. 如权利要求 2 所述的方法,其中,所述奇偶校验矩阵采用低密度奇偶校验码。
4. 如权利要求 1 所述的方法,还包括:  
从所述码字中丢弃零来形成缩短的码字,以及  
传输所述缩短的码字。
5. 一种用于对传输进行编码的装置,包括:  
数据源;  
耦合到所述数据源的码元生成器,所述码元生成器用于:  
选择具有一种比特长度的第一码元,其中所述第一码元是由速率可变的编码器响应于数据保护需求和信道特性确定的并且是通过选择低密度奇偶校验矩阵以及基于所述低密度奇偶校验矩阵选择生成矩阵来选择的;  
接收用于传输的数据字;  
如果所述数据字的长度小于所述比特长度则将零插入所述数据字中,以便将所述数据字扩展到所述比特长度;并且  
使用所述第一码元对插零后的数据字进行奇偶校验编码,以生成码字。
6. 如权利要求 5 所述的装置,其中所述第一码元是低密度奇偶校验码。
7. 如权利要求 6 所述的装置,其中所述码元生成器还用于:  
选择用于对将要传输的所述数据字进行奇偶校验编码的奇偶校验矩阵,并且  
基于所述奇偶校验矩阵选择生成矩阵,以使得所述奇偶校验矩阵的转置与所述生成矩阵的乘积为零,其中所述生成矩阵将所述第一码元施加到所述插零后的数据字上,以生成用于传输的所述码字。
8. 一种用于对通信系统中的传输进行解码的方法,包括:  
接收用于对传输进行解码的第一码元,其中所述第一码元是根据数据保护需求和信道特性选出的;  
基于所述第一码元选择奇偶校验矩阵,所述第一码元具有一种比特长度;  
接收第一码字,所述第一码字是通过利用所述第一码元对插零后的数据字进行奇偶校

验编码而生成的,且所述插零后的数据字是通过插入零而扩展成具有所述比特长度的数据字;并且

使用所述奇偶校验矩阵对所述第一码字进行解码。

9. 如权利要求 8 所述的方法,其中所述第一码元是低密度奇偶校验码。

10. 如权利要求 9 所述的方法,还包括:

确定是否满足矩阵减小准则;并且

如果满足该矩阵减小准则,就减小所述奇偶校验矩阵的大小。

11. 一种装置,包括:

解码器;和

耦合到该解码器的奇偶校验单元,并且该奇偶校验单元用于:

接收用于对传输进行解码的第一码元,其中所述第一码元是根据数据保护需求和信道特性选出的;

基于所述第一码元选择奇偶校验矩阵,所述第一码元具有一种比特长度;

接收第一码字,所述第一码字是通过利用所述第一码元对插零后的数据字进行奇偶校验编码而生成的,且所述插零后的数据字是通过插入零而扩展成具有所述比特长度的数据字;并且

使用所述奇偶校验矩阵对所述第一码字进行解码。

12. 如权利要求 11 所述的装置,其中所述第一码元是低密度奇偶校验码。

13. 一种用于对通信系统中的传输进行编码的装置,包括:

用于选择具有一种比特长度的第一码元的装置,其中所述用于选择第一码元的装置包括:

用于选择低密度奇偶校验矩阵的装置;

用于基于所述低密度奇偶校验矩阵选择生成矩阵的装置;

用于接收用于传输的数据字的装置;

用于如果所述数据字的长度小于所述比特长度则将零插入到所述数据字中来将所述数据字扩展到所述比特长度的装置;以及

用于使用所述第一码元对插零后的数据字进行奇偶校验编码,以生成码字的装置。

14. 如权利要求 13 所述的装置,还包括:

用于从所述码字中丢弃零来形成缩短的码字的装置,以及

用于传输所述缩短的码字的装置。

15. 一种用于对通信系统中的传输进行解码的装置,包括:

用于接收用于对传输进行解码的第一码元的装置,其中所述第一码元是根据数据保护需求和信道特性选出的;

用于基于所述第一码元选择奇偶校验矩阵的装置,所述第一码元具有一种比特长度;

用于接收第一码字的装置,所述第一码字是通过利用所述第一码元对插零后的数据字进行奇偶校验编码而生成的,且所述插零后的数据字是通过插入零而扩展成具有所述比特长度的数据字;以及

用于使用所述奇偶校验矩阵对所述第一码字进行解码的装置。

16. 一种用于对通信系统中的传输进行编码的装置,包括:

处理器,其中所述处理器用于:

选择低密度奇偶校验矩阵;

基于所述低密度奇偶校验矩阵选择生成矩阵;

使用所述生成矩阵生成具有一种比特长度的第一码元;

接收用于传输的数据字;

如果所述数据字的长度小于所述比特长度则向所述数据字中插入零,以将所述数据字扩展到所述比特长度;以及

使用所述第一码元对插零后的数据字进行奇偶校验编码,以生成码字。

17. 如权利要求 16 所述的装置,其中所述处理器还用于:

从所述码字中丢弃零来形成缩短的码字,以及

传输所述缩短的码字。

## 用于速率兼容的低密度奇偶校验码的装置和方法

### 技术领域

[0001] 本发明一般涉及通信, 尤为具体地涉及使用低密度奇偶校验 (LDPC) 码的速率兼容的纠错编码。

### [0002] 背景技术

[0003] 在使用速率适配的通信系统中, 例如, 其中根据系统条件和系统要求来调节传输数据率, 存在一种需要, 即传输数据, 使得数据率与当前信道条件灵活且有效地适配。例如, 典型的纠错设计选择固定码, 该码具有确定的码率和纠错能力。为了增加处理具有不同错误保护需求的不同数据量, 对时变信道条件的调整以及补偿未充分认识的参数的灵活性, 可以使用灵活的信道编码。

[0004] 对于灵活的信道编码, 所述数据比特可以被分组成具有可变大小的分组, 并且利用不同数量的冗余度来对这些分组进行编码, 从而导致具有不同长度的码字。取代使用几个不同的纠错码来对不同组的比特进行编码, 可以期望的是使用能够适应几种速率的单个母码 (mother code), 这被称为速率可兼容的编码。对于每个期望速率, 使用单个码元来取代多个不同的码元可以显著地减小在发射机上编码和在接收机上解码的复杂度, 然而, 复杂度减小的获得是以一些性能降低为代价的。一种用于速率可兼容的编码的此种方法涉及速率兼容的收缩卷积 (RCPC) 码。这种方法和其他现有方法提供有限的性能或在解码器上得到非期望的计算复杂度。

[0005] 因此, 需要提供一种高性能速率兼容的编码方法, 该编码方法支持速率适配同时使编码器和解码器的复杂度最小。

### 发明内容

[0006] 根据本发明的一个方面, 提供了一种用于对通信系统中的传输进行编码的方法, 包括: 选择具有一种比特长度的第一码元, 其中所述第一码元是由速率可变的编码器响应于数据保护需求和信道特性确定的并且是通过选择低密度奇偶校验矩阵以及基于所述低密度奇偶校验矩阵选择生成矩阵来选择的; 接收用于传输的数据字; 根据需要向所述数据字中插入零, 以将所述数据字扩展到所述比特长度; 以及使用所述第一码元对插零后的数据字进行奇偶校验编码, 以生成码字。

[0007] 根据本发明的一个方面, 提供了一种用于对传输进行编码的装置, 包括: 数据源; 耦合到所述数据源的码元生成器, 所述码元生成器用于: 选择具有一种比特长度的第一码元, 其中所述第一码元是由速率可变的编码器响应于数据保护需求和信道特性确定的并且是通过选择低密度奇偶校验矩阵以及基于所述低密度奇偶校验矩阵选择生成矩阵来选择的; 接收用于传输的数据字; 根据需要向所述数据字中插入零, 以便将所述数据字扩展到所述比特长度; 并且使用所述第一码元对插零后的数据字进行奇偶校验编码, 以生成码字。

[0008] 根据本发明的一个方面, 提供了一种用于对通信系统中的传输进行解码的方法, 包括: 接收用于对传输进行解码的第一码元, 其中所述第一码元是根据数据保护需求和信道特性选出的; 基于所述第一码元选择奇偶校验矩阵, 所述第一码元具有一种比特长度;

接收第一码字,所述第一码字是通过利用所述第一码元对插零后的数据字进行奇偶校验编码而生成的,且所述插零后的数据字是通过插入零而扩展成具有所述比特长度的数据字;并且使用所述奇偶校验矩阵对所述第一码字进行解码。

[0009] 根据本发明的一个方面,提供了一种装置,包括:解码器;和耦合到该解码器的奇偶校验单元,并且该奇偶校验单元用于:接收用于对传输进行解码的第一码元,其中所述第一码元是根据数据保护需求和信道特性选出的;基于所述第一码元选择奇偶校验矩阵,所述第一码元具有一种比特长度;接收第一码字,所述第一码字是通过利用所述第一码元对插零后的数据字进行奇偶校验编码而生成的,且所述插零后的数据字是通过插入零而扩展成具有所述比特长度的数据字;并且使用所述奇偶校验矩阵对所述第一码字进行解码。

[0010] 根据本发明的一个方面,提供了一种用于对通信系统中的传输进行编码的装置,包括:用于选择具有一种比特长度的第一码元的装置,其中所述用于选择第一码元的装置包括用于选择低密度奇偶校验矩阵的装置以及用于基于所述低密度奇偶校验矩阵选择生成矩阵的装置;用于接收用于传输的数据字的装置;用于根据需要向所述数据字中插入零,以将所述数据字扩展到所述比特长度的装置;以及用于使用所述第一码元对插零后的数据字进行奇偶校验编码,以生成码字的装置。

[0011] 根据本发明的一个方面,提供了一种用于对通信系统中的传输进行解码的装置,包括:用于接收用于对传输进行解码的第一码元的装置,其中所述第一码元是根据数据保护需求和信道特性选出的;用于基于所述第一码元选择奇偶校验矩阵的装置,所述第一码元具有一种比特长度;用于接收第一码字的装置,所述第一码字是通过利用所述第一码元对插零后的数据字进行奇偶校验编码而生成的,且所述插零后的数据字是通过插入零而扩展成具有所述比特长度的数据字;以及用于使用所述奇偶校验矩阵对所述第一码字进行解码的装置。

[0012] 根据本发明的一个方面,提供了一种用于对通信系统中的传输进行编码的装置,包括:处理器,其中所述处理器用于:选择低密度奇偶校验矩阵;基于所述低密度奇偶校验矩阵选择生成矩阵;使用所述生成矩阵生成具有一种比特长度的第一码元;接收用于传输的数据字;根据需要向所述数据字中插入零,以将所述数据字扩展到所述比特长度;以及使用所述第一码元对插零后的数据字进行奇偶校验编码,以生成码字。

#### [0013] 附图说明

[0014] 图 1 是在通信系统中的编码后传输方法的视图;

[0015] 图 2 是奇偶校验矩阵  $H$  的特纳图表示;

[0016] 图 3 示例性地说明了利用生成矩阵  $G$  对数据字  $u$  进行编码来形成码字  $c$ ;

[0017] 图 4 示例性地说明了通过应用奇偶校验矩阵  $H$  来对所接收的码字  $y$  执行奇偶校验;

[0018] 图 5 示例性地说明了速率兼容的奇偶校验矩阵  $H$ ;

[0019] 图 6 示例性地说明了系统 (systematic) 形式的速率可兼容的奇偶校验矩阵  $H$ ;

[0020] 图 7 示例性地说明了使用速率兼容编码的无线通信系统;

[0021] 图 8A 和 8B 是在发射机端进行速率兼容编码的流程图;

[0022] 图 9A 和 9B 是在接收机端进行自适应解码的流程图;

[0023] 图 10 是示例性地说明采用减小的生成矩阵对数据字进行编码的流程图;

[0024] 图 11 是示例性地说明采用减小的奇偶校验矩阵对码字进行解码的流程图；

[0025] 图 12 是示例性地说明采用减小的生成矩阵进行速率兼容编码的编码过程的流程图；

[0026] 图 13 是示例性地说明采用减小的奇偶校验矩阵进行速率兼容编码的解码过程的流程图。

[0027] 发明详述

[0028] 纠错编码系统通常被设计来满足数据传输的一种保护需求。选择一种具有给定码率的固定码。纠错能力与所述保护需求匹配且与期望的平均或最坏情形的信道条件相适应。对于速率适配而言,由于传输数据可能具有各种不同的错误保护需求,编码系统也应该灵活。此外,适配要求响应于时变信道条件。

[0029] 图 1 示出了具有发射机 106 和接收机 110 的无线通信系统 100。发射机 106 和接收机 110 的每一个可以是能够进行数据通信的发射和接收的收发机。为了简单,在图 1 的系统 100 中,只图示出在下面描述中使用的那些功能模块。发射机 106 包括发射源 102 和速率可变的编码器 104。发射机 106 和接收机 110 通过信道 108 进行通信。接收机包括速率可变的解码器 112 和信宿 (information sink) 114。将要从源 102 发射的信息可包括源专用信息 (SSI),该源专用信息指示数据的保护需求,比如与数据流相对应的控制信息和信令信息。源 102 向编码器 104 提供 SSI (如果存在)。编码器 104 将 SSI 应用于速率适配,其中,响应于此来调整发射速率。编码器 104 还接收信道状态信息 (CSI),该信道状态信息提供关于信道 108 的特性变化和质量变化的信息。发射机 106 可以使用 CSI 来确定传输所用的编码。编码器 104 使用与源 102 及信道 108 相适应的可变编码。

[0030] 期望的是,采用一种编码器结构,该编码器结构可以针对速率适配而进行修改且能避免为每个速率组合而在不同编码器之间切换。一种提供单个编码器结构的方法打孔卷积码,其中某些码元比特不被发射。此种码被称为速率兼容的收缩卷积 (RCPC) 码。值得注意的是,卷积码只是速率兼容码的一个例子,可替换的实施例可以采用其他速率兼容码,比如收缩分组码 (punctured block code),收缩 Turbo 码等。

[0031] 收缩卷积码满足速率兼容约束,其中高速率码嵌入在较低速率码中。虽然 RCPC 编码使单个编码器结构的使用变得方便,但是在性能上会降低。

[0032] 根据一个实施例,编码器 104 使用一种生成码字的方法,该方法用于根据具有可变长度输入字的单个低密度奇偶校验 (LDPC) 码来生成具有可变长度和冗余度的码字。LDPC 码是由奇偶校验矩阵规定的分组码,该奇偶校验矩阵所包含的大部分为 0,只有少量的 1。

[0033] 所考虑的通信系统 100 可能具有短到中等的分组长度。LDPC 码已经展示了很高的性能,显然优于卷积码且与 Turbo 码不相上下。值得注意的是, Turbo 码和 LDPC 码两者都导致非常大的编码复杂度,但是 LDPC 码有可能更加高效地实现解码,并且由此与 Turbo 码相比更为快捷。在具有非常高的数据率的系统中,比如具有 100Mbit/s 或者更高的数据率的未来无线局域网 (WLAN) 和无线个域网 (WPAN) 的系统中, Turbo 解码器给接收机 110 端的处理带来了严重的瓶颈。LDPC 码提供了一种满足误码率和解码速度的迫切要求的替换方法。

[0034] 存在两种类型的 LDPC 码:规则的和非规则的。规则 LDPC 码和非规则 LDPC 码的定

义在下面给出。已经被公布的是,对于非常长的分组长度,非规则 LDPC 码要优于规则 LDPC 码和 Turbo 码。然而,对于短或者中等的分组长度,后两种码的性能要略微有些改善。另一方面,规则码可被设计成具有非常大的最小距离  $d_{\min}$  (在下文中将讨论),这不是非规则码所适用的情形。值得注意的是,被设计成具有非常大的最小距离  $d_{\min}$  的规则码具有好的错误检测能力。另外,规则码的结构支持了高效的并行解码实现,并且因此可以获得非常高的解码速度。下面的讨论将专门考虑规则 LDPC 码,然而,替换实施例也会采用非规则 LDPC 码。

[0035] LDPC 码是一种线性纠错分组码。LDPC 码由大小为  $(n-k) \times n$  行和列的稀疏奇偶校验矩阵  $H$  规定,其中  $k$  是输入分组的大小,  $n$  是输出分组的大小(码字)。奇偶校验矩阵  $H$  的特征在于其低密度,低密度意味着奇偶校验矩阵  $H$  具有少量的非零元素。码率由  $R = \frac{k}{n}$  给出

出规则 LDPC 码每行包括  $t$  个 1,每列包括  $s$  个 1,其中  $s$  如下给出:

$$[0036] \quad s = t \cdot (n/n-k) \quad (1)$$

[0037] 其中  $t \ll (n-k)$ ,并且因此  $s > t$ 。矩阵  $H$  的  $(n-k)$  个行被称为奇偶校验,且 LDPC 码字的元素被称为比特。矩阵  $H$  可以被表示成作为概率依赖图或者特纳图的双向图,其中,节点的一个子集代表所有比特,节点的另一子集代表所有的奇偶校验。作为一个简单的但为示例性的例子,考虑如下给出的  $4 \times 8$  奇偶校验矩阵:

$$[0038] \quad H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 \\ 1 & 0 & 0 & 1 & 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 \end{bmatrix} \quad (1a)$$

[0039] 矩阵  $H$  的特纳图表示包括  $n = 8$  个比特节点和  $n-k = 4$  个校验节点,如图 2 所示。比特节点被标识为  $x_1, x_2, \dots, x_8$  等圆形节点,并且对应于利用该码生成的码字的 8 个已编码的比特。校验节点被标识为  $f_1, f_2, f_3, f_4$  等方形节点,且对应于由  $H$  执行的 4 个奇偶校验。

[0040] 通常采用一种称为“消息 - 传递”算法来对 LDPC 码进行解码。这种算法在奇偶校验矩阵的特纳图表示上操作,计算“软”比特判决以及有关奇偶校验的软信息,该“软”比特判决由编码后的比特的符号和可靠性信息组成。然后用一种递归的方式,在比特节点和校验节点之间交换包含软比特判决的消息和包含软奇偶校验信息的信息,直到达到一个预定的停止准则。然后得到最终的“硬”比特判决结果。

[0041] 值得注意的是,与规则 LDPC 码相比,非规则 LDPC 码在其行和列中具有一个不均匀的 1 的分布。在任一种情况中,奇偶校验矩阵具有低密度的 1。可以通过附加随机产生的权重为  $t$  的列矢量来构建奇偶校验矩阵,使得得到的行的权重是  $s$ 。为了减少低权重码字的概率,限制  $t \geq 3$  并且在  $H$  中限制任何两列使得只出现一次非零比特的交叠。换言之,当在矩阵  $H$  中随机地选择两列时,两列中的 1 在同一个位置出现可能不应多于一次。否则,在相应的特纳图中就会出现循环,这就会导致解码性能的下降。对于很大的  $n$  来说,找到一个具有伪随机结构的“好码”(也就是具有大的  $d_{\min}$  的码)的概率非常接近于 1。码的最小距离  $d_{\min}$ ,代表如果解码器做出错误判决时将会出现的错误比特的最小数目。由于该判决是最接近正确判决的判决,所以具有距离正确码字最小距离的码字最可能让解码器做出错误判决。其他的错误判决可能不时出现,但是具有最小距离的码元通常可以决定性能。最小距

离由个体码元的结构决定。除了上面提到的方法之外,有很多其他的方法来产生具有期望特性的奇偶校验矩阵。

[0042] 根据一个实施例,一旦奇偶校验矩阵已经被构建,通过高斯-约当(Gauss-Jordan)消去法和列交换技术(可能),矩阵H就被表示成如下形式:

$$[0043] \quad H = [PMI_{n-k}] \quad (2)$$

[0044] 矩阵  $I_{n-k}$  是大小为  $(n-k) \times (n-k)$  的单位矩阵。矩阵P的大小为  $(n-k) \times k$ 。

[0045] 相应的码生成矩阵G被表示为:

$$[0046] \quad G = [I_k MP^T] \quad (3)$$

[0047] 满足特性:

$$[0048] \quad G \cdot H^T = 0 \quad (4)$$

[0049] 在具有这种形式的生成矩阵后,就产生了系统码,在一个实施例中这是有益处的。根据下述公式来执行从数据字u到码字c的映射(编码):

$$[0050] \quad c = u \cdot G \quad (5)$$

[0051] 其中u和c都是行向量,其中在发射机端使用生成矩阵G。在接收机端使用奇偶校验矩阵来对所接收的码字y执行多至  $(n-k)$  个不同的奇偶校验。所接收的码字如下给出:

$$[0052] \quad y = c + e \quad (6)$$

[0053] 其中e代表一个错误字。在接收机端执行校验来验证:

$$[0054] \quad y \cdot H^T = 0 \quad (7)$$

[0055] 假设错误字  $e = [00 \dots 0]$ ,也就是接收和解码的码字没有错误。如果(7)不满足,那么解码的码字就包含错误。

[0056] 奇偶校验矩阵的转置矩阵  $H^T$  为:

$$[0057] \quad H^T = \begin{bmatrix} P^T \\ \Lambda \\ I_{n-k} \end{bmatrix} \quad (8)$$

[0058] 在图7中说明了使用生成矩阵G的编码过程、解码过程和使用奇偶校验矩阵H来验证所接收的码字或者采样。系统250包括向编码器204提供数据的信息源252。实际的码元(即矩阵H和G)可以脱机(off-line)生成,并且不是工作时由系统执行的编码/解码的必要部分。编码器204对数据进行编码并且通过传输链路208将已编码的数据传输到接收机。解码和奇偶校验在单元262中执行,并且结果被提供给信宿264在接收机端使用。

[0059] 通过使用  $(n, k)$  维母码,生成矩阵G可能被用于将短于k的数据字编码成码字,并且能够改变码率来适应所期望的数据率的范围。首先,考虑对长度为  $k_{\text{eff}}$  的短数据字进行编码,其中  $k_{\text{eff}} < k$ 。图3示出了根据输入数据字u生成码字c的过程。在该例中,u包括k个元素:1)  $k_{\text{eff}}$  个数据元素,表示为  $u_0, u_1, \dots, u_{k_{\text{eff}}-1}$ ;以及2)  $(k - k_{\text{eff}})$  个零。然后将生成矩阵G应用于输入数据字u。得到的码字包含有  $(k - k_{\text{eff}})$  个零,  $k_{\text{eff}}$  个系统比特(其是简单的原始数据比特),以及  $(n - k)$  个奇偶校验比特。如果需要的话,可以在传输之前丢弃零,产生了一个如下给出的长度为  $n_{\text{eff}}$  的码字:

$$[0060] \quad n_{\text{eff}} = n - k + k_{\text{eff}} \quad (9)$$

[0061] 其新的码率为:

$$[0062] \quad R' = k_{\text{eff}} / n_{\text{eff}} \quad (10)$$

[0063] 插零与删除  $G$  (或者  $P^T$ ) 的上面  $(k-k_{\text{eff}})$  行是等价的。在实际中,对长度为  $k_{\text{eff}}$  的数据字进行的编码可能不涉及插零。相反,可能只涉及将  $k_{\text{eff}}$  个数据比特乘以矩阵  $P^T$  (减去其上面  $(k-k_{\text{eff}})$  行),然后最终的码字将只包括附加到  $k_{\text{eff}}$  个系统比特上的所得到的  $(n-k)$  个奇偶比特。在接收机端,奇偶校验矩阵  $H^T$  (其相应的最上面  $(k-k_{\text{eff}})$  行被删除) 执行  $(n-k)$  个不同的奇偶校验,如图 4 所示。在图 4 中,零被恢复来说明所接收的缩短码字是最大长度码字的一个子集。具体地说,图 4 示出了所述接收码字,其具有恢复的  $(k-k_{\text{eff}})$  个零,  $k_{\text{eff}}$  个系统比特,以及  $(n-k)$  个奇偶比特,但是在实际中,在接收机端执行的奇偶校验可能只涉及  $(n-k+k_{\text{eff}})$  个系统和奇偶比特以及  $H^T$  (减去其最上面  $(k-k_{\text{eff}})$  行)。当结果  $y \cdot H^T$  满足如上给出的公式 (7) 时,接收机验证所接收的码字  $y$ 。

[0064] 图 8A 说明了在发射机端的操作,其中在步骤 302,用于准备传输的数据字的处理 300 首先从存储器取出合适的生成矩阵。当在步骤 304 接收到数据字时,所述处理确定数据字的大小。如果数据字的大小  $k_{\text{eff}}$  小于  $k$ ,那么添加零 (步骤 306) 来插入到数据字中,从而在步骤 308 生成  $u$ 。然后将经过插零后的数据字  $u$  应用于生成矩阵  $G$ 。

[0065] 图 8B 说明了在发射机端的另一种处理 350,其中在步骤 352 从存储器中取出生成矩阵  $G$ 。当在步骤 354 接收到数据字时,所述处理确定数据字的大小。如果数据字的大小  $k_{\text{eff}}$  小于  $k$  (步骤 356),那么处理继续到步骤 360,以将数据字应用于生成矩阵  $G$  的一个部分,比如下面的部分。在这种情况下,数据字没有被插零。否则,处理继续到步骤 358,以将数据字应用于整个生成矩阵  $G$ 。

[0066] 在接收机端,如图 9A 所示,处理 400 以在步骤 402 从存储器中取出奇偶校验矩阵  $H$  开始。奇偶校验矩阵  $H$  对应于图 8A 的生成矩阵  $G$ 。在步骤 404 接收到码字  $y$ ,并且码字的大小被确定。如果所接收的码字  $y$  的长度小于  $n$  (步骤 406),那么在步骤 408 忽略奇偶校验矩阵  $H$  的  $(k-k_{\text{eff}})$  行。然后在步骤 410 将码字  $y$  应用于奇偶校验矩阵  $H$  (减去  $(k-k_{\text{eff}})$  行)。

[0067] 图 9B 说明了在接收机端的另外一种处理 450,在该处理中,在步骤 452 从存储器中取出奇偶校验矩阵  $H$ 。在步骤 454 接收到码字  $y$ ,并且码字大小被确定。如果所接收的码字  $y$  的长度小于  $n$  (步骤 456),那么在步骤 458 码字就被插入  $(k-k_{\text{eff}})$  个零,导致达到长度  $n$ 。否则,处理继续到步骤 460,以应用于整个奇偶校验矩阵  $H$ 。

[0068] 另外,考虑到将全部字长 (即长度  $k$ ) 的数据字编码为具有少于  $(n-k)$  个奇偶比特的码字。为了将奇偶比特减少  $n_p$ ,后面的  $n_p$  个奇偶比特在编码之后可被打孔,或者可能完全忽略了后面  $n_p$  个奇偶比特的计算,这等价于删除矩阵  $G$  (或者  $P^T$ ) 的最右边  $n_p$  个列。被删除的列在图 3 中被表示为浅阴影矩形 204。在这种情况下,得到的码率被表示为:

$$[0069] \quad R = k/(n-n_p) \quad (11)$$

[0070] 在接收机端,相应的奇偶校验矩阵仅仅包括原始  $H^T$  矩阵的最左边的  $(n-k-n_p)$  列,如图 4 所示,其中,剩下的列由深灰的阴影矩形 202 表示。另外,解码器可能将“消失”的奇偶校验比特作为擦除对待并且在执行所有的  $(n-k)$  个奇偶校验之前将零加入到他们的位置中。

[0071] 当使用一个由  $H^T$  的列的一个子集组成的奇偶校验矩阵来得到如上所述的更高速率码字时,期望的是,完整大小的奇偶校验矩阵的特性延续到较小的矩阵。特别是,最小大小的奇偶校验矩阵必须满足约束  $t \geq 3$ 。

[0072] 作为一个例子,考虑能够产生具有 4 种不同速率的码字的母码。所述母码的奇偶校验矩阵如图 5 所示。最小大小的奇偶校验矩阵被标记为  $H_1$ ,并且具有列权重  $t$ ,也就是说每列有  $t$  个 1。另外的矩阵可能通过在右下角的扩展而由此形成。次最小的矩阵(称为  $H_2$ )包括  $H_1$ ,  $H_1$  通过利用在右下角的方阵、在右侧的全零矩阵,以及一个位于下面的非常稀疏的矩阵进行扩展,其中该方阵的所有列都具有权重  $t$ 。在稀疏子矩阵中,每一行都至少有一个 1 来确保在较小矩阵和被扩展矩阵的编码后的比特之间具有足够的依赖性,但是其他剩下部分非常稀疏,从而简化码的组成和解码。得到的奇偶校验矩阵  $H_2$  具有至少为  $t$  的列权重。因此,虽然非常接近于规则奇偶校验矩阵,但不再是一个规则奇偶校验矩阵。按照同样的方式来构建被分别称为  $H_3$  和  $H_4$  的较大的矩阵。在完整大小的矩阵已经被构建之后,如前所述,使用高斯-约当消去法使其进入系统形式。得到的矩阵  $H$  如图 6 所示。

[0073] 图 10 说明了一种使用少于  $(n-k)$  个奇偶比特来对数据字进行编码的方法。处理 500 以在步骤 502 中取出生成矩阵  $G$  为开始。在步骤 504 接收数据字。在这种情况下,在步骤 506 确定一个准则,比如测量出的信道条件高于门限。对于一个良好的信道条件,期待的是传输少于全部奇偶比特。当信道条件良好时,在步骤 508 通过删除奇偶列的一部分来减少生成矩阵  $G$  的大小。然后将数据字  $u$  应用于生成矩阵  $G$ 。

[0074] 图 11 说明了一个对所接收的传输进行解码的相应处理 600,该传输支持奇偶校验矩阵大小的减小,其中在步骤 602 中从存储器中取出奇偶校验矩阵  $H$ 。在步骤 604 中接收码字。如果判决菱形框 606 中满足减小准则,那么处理继续执行到步骤 608,通过忽略奇偶校验矩阵的列中的  $n_p$  个列来减少该奇偶校验矩阵的大小。否则,处理继续到步骤 610,将所接收的消息  $y$  应用到完整大小的奇偶校验矩阵  $H$ 。值得注意的是,在步骤 608 减小奇偶校验矩阵  $H$  之后,处理也继续执行到步骤 610。

[0075] 将上述讨论的两种方法合并也是可行的,其中输入数据具有  $k_{\text{eff}} < k$  长度且只产生  $(n-k-n_p)$  个奇偶比特。在这种情况下,只有与  $H_1, H_2$  或者  $H_3$  对应的矩阵  $H$  最上面  $(n-k-n_p)$  行将被使用,并且  $H$  的最左边  $(k-k_{\text{eff}})$  列(或者,等价地,  $H^T$  的最上面  $(k-k_{\text{eff}})$  行)将被删除,如图 6 中的点状竖直线所示。删除这些列不会显著地改变整个奇偶校验矩阵的特性。

[0076] 图 12 说明了一种编码的实施例,它组合了图 8A 中的处理和图 10 中的处理。如图所示,如果数据字的长度小于输入分组的长度(706),那么在步骤 708 就向数据字中插入零。然后在步骤 710 所述处理估计减小准则,该减小准则可以是信道质量准则,比如 C/I 门限等等。另外一种实施例可以使用其他准则,该准则会对给定系统的操作和/或性能产生影响。如果减小准则被满足,那么生成矩阵的大小就减少(712)。

[0077] 图 13 说明了一种解码的实施例,该实施例组合了图 9A 中的处理和图 11 中的处理。如图所示,如果数据字的长度小于输入分组的长度(806),那么就在步骤 808 忽略奇偶校验矩阵的行,并且在步骤 812 所述处理估计减小准则。所述减小准则可能是信道质量准则,比如 C/I 门限等等。另一个实施例可能使用其他准则,这些准则会对一个给定系统的操作和/或性能产生影响。如果减小准则满足的话,那么奇偶校验矩阵的大小就减小(814)。

[0078] 如上所述,一般将使用一种信息-传递算法来对 LDPC 码解码。该算法的目标在于找到满足公式(7)的最可能的码字,并且在被称为特纳图的奇偶校验矩阵的图形表示上执行操作。该图由  $n$  个比特节点和  $(n-k)$  个校验节点组成,其中  $n$  个比特节点代表已编码的比特,校验节点代表由奇偶校验矩阵指定的  $(n-k)$  个奇偶校验。算法将那些关于已编码比

特的概率信息在比特节点和校验节点之间以递归的方式来回传递,直到所有的  $(n-k)$  个奇偶校验被满足,由此形成软判决的基础,该软判决由每个已编码比特的符号位和可靠性信息组成。软判决可以以最大似然比 (LLR) 的形式,按照 turbo 码中所使用的类似方式来方便地表示。消息传递算法的最优版本被公知为和 - 积算法,并且该算法和被公知为最小和算法的一种低复杂度近似算法,以及任何基于信息 - 传递算法的其他算法通常都被用来对速率可变的 LDPC 码 (比如上述实施例) 进行解码。

[0079] 在解码处理之前,发射机将有关正确使用奇偶校验矩阵的信息提供给接收机。发射机和接收机要协商来建立分别在用于编码和解码的发射机和接收机上使用的矩阵的结构。值得注意的是,可以协商 G 和 H 矩阵的正确使用,即哪些行和列将被忽略等等。另外,用一种母码覆盖所有可能的操作条件是很困难的,因此一个系统可能有一组母码来从中选择,其中每一母码都能适应一组唯一的码率。这就要求可用码率和数据率的更好精确度。另外,矩阵的形式也可根据操作条件和假设 (例如链路质量,或者其他度量标准) 进行预先决定。

[0080] 本领域的技术人员将会理解,可以使用各种不同的术语和技术来表示信息和信号。例如,在整个上述描述中提及的数据,指令,命令,信息,信号,比特,符号,和码片可以用电压,电流,电磁波,磁场或粒子,光场或粒子,或者其任何组合来表示。

[0081] 本领域的技术人员还应该明白的是,结合这里公开的实施例描述的各种示例性的逻辑框图,模块,电路和算法步骤,可以被实现为电子硬件,计算机软件或者两者的组合。为了清楚地说明硬件和软件之间的互换性,以上已从总体上以功能性的形式,描述了各种元件,框图,模块,电路和步骤。此种功能是以硬件实现还是以软件实现,取决于施加给整个系统的具体应用和设计约束。对于每一种特定的应用来说,技术人员可以采用多种方式来实现所描述的功能,但是此种实现结果不应该被解释为导致背离本发明的范围。

[0082] 可以利用一个通用处理器,数字信号处理器 (DSP),特定用途集成电路 (ASIC),现场可编程门阵列 (FPGA) 或者其他可编程的逻辑器件,分立门或者晶体管逻辑,分立硬件系统,或者任何他们的组合来实现或执行结合这里公开的实施例描述的各种示例性的逻辑框图,模块和电路。一个通用目的处理器可能是一个微处理器,但是在另一种情况中,处理器可能是任何常规的处理器,控制器,微控制器,或者状态机。一个处理器也可能被实现为计算设备的组合,例如,DSP 和微处理器的组合,多个微处理器,一个或者更多结合 DSP 核心的微处理器,或者任何其他此种结构。

[0083] 结合这里公开的实施例描述的方法或者算法的步骤可直接体现为硬件,由处理器执行的软件模块,或者这二者的组合。一个软件模块可能存在于 RAM 存储器,闪存,ROM 存储器,EPROM 存储器,EEPROM 存储器,寄存器,硬盘,移动磁盘,CD-ROM,或者本领域熟知的任何其他形式的存储介质中。一种典型存储介质与处理器耦合,使得处理器能够从存储介质中读信息且向存储介质写信息。在替换实例中,存储介质可能与处理器集成。处理器和寄存器可能存在于一个 ASIC 中。该 ASIC 可能存在于一个用户终端或者通信系统的基础元件中,包括但不限于,一个中心交换局,有线 / 无线接入点,基站等等。另一方面,处理器和存储介质都可能作为分立元件存在于用户终端或者通信系统基础元件中,包括,但不限于一个中心交换局,一个有线 / 无线接入点,基站等等。

[0084] 提供所述公开的实施例的上述描述,使得本领域的技术人员能够制造或者使用本

发明。对于本领域的技术人员来说,这些实施例的各种修改是显而易见的,并且这里定义的总体原理也可以在不脱离本发明的范围的基础上应用于其他实施例。因此,本发明并不限于这里示出的实施例,而是与符合这里公开的原理和新颖特征的最广范围相一致。

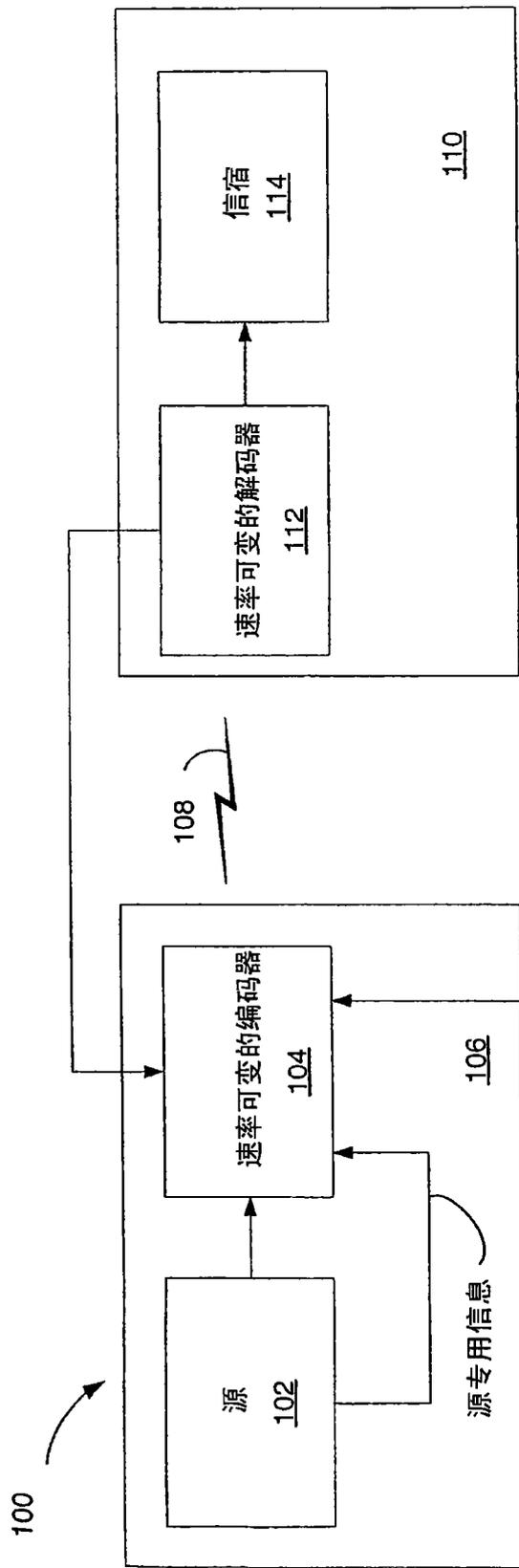


图1

信道状态信息

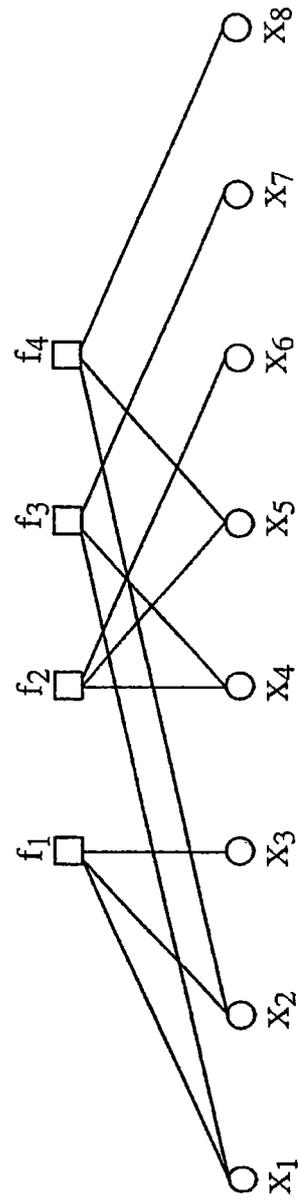


图2

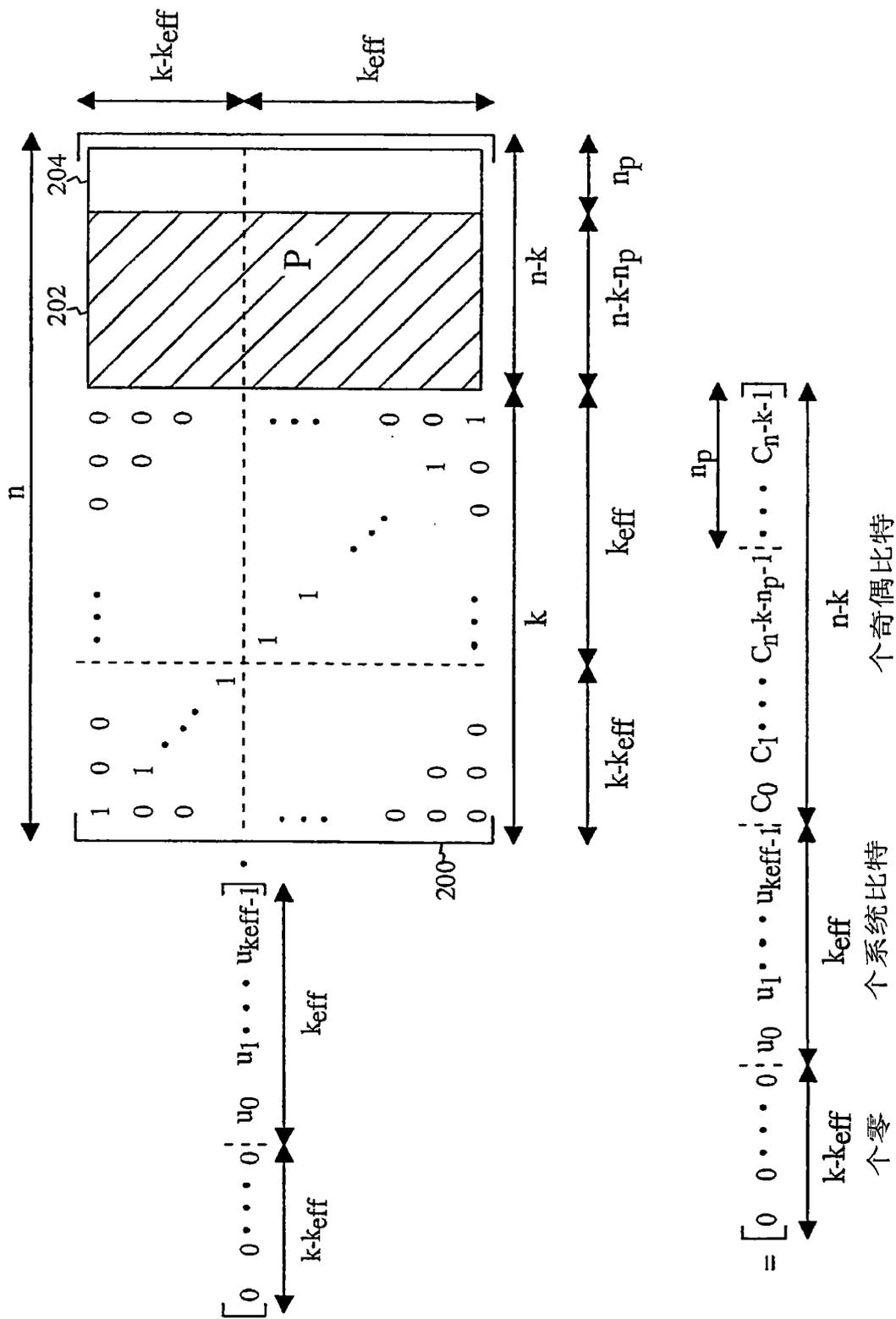
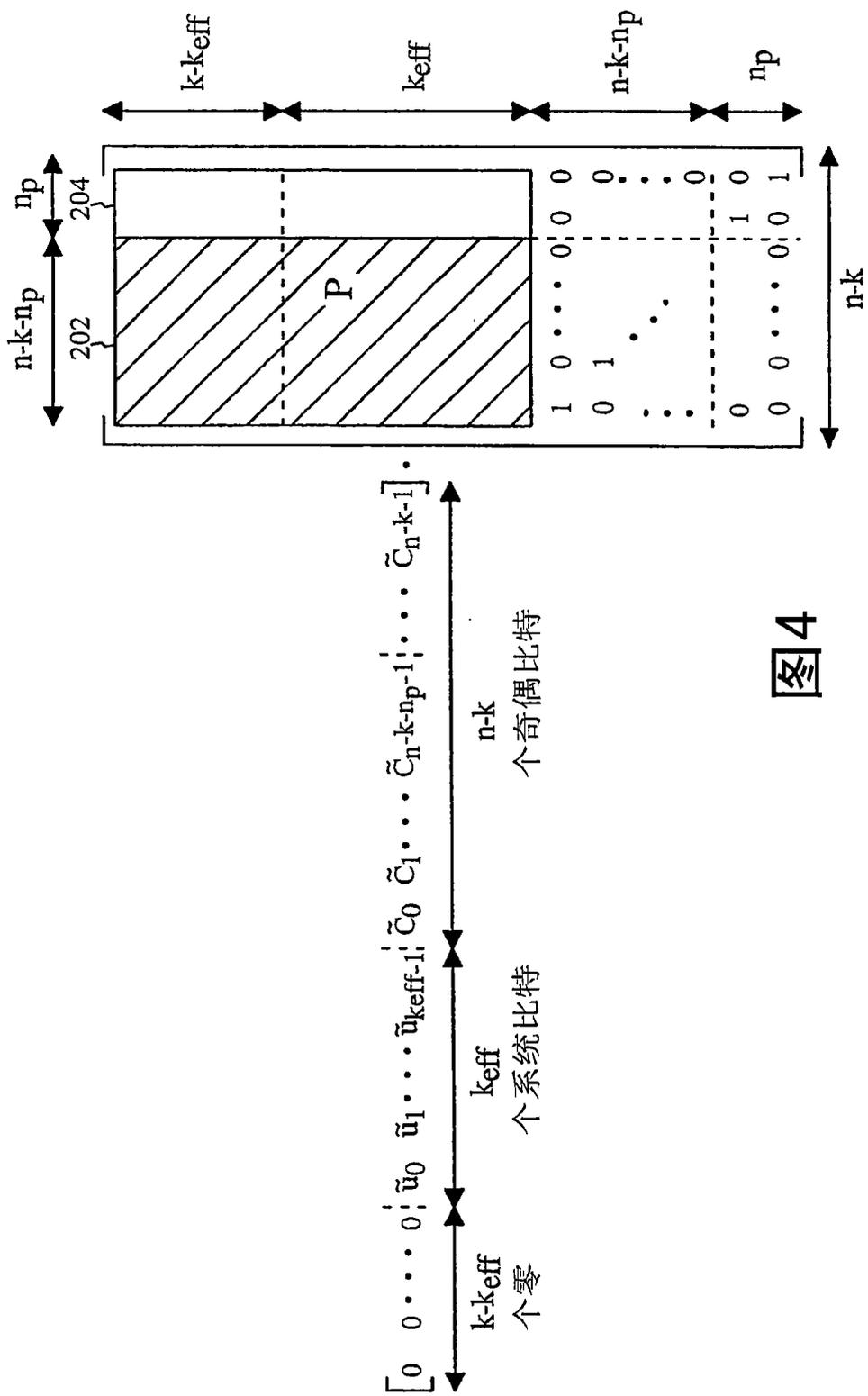


图3



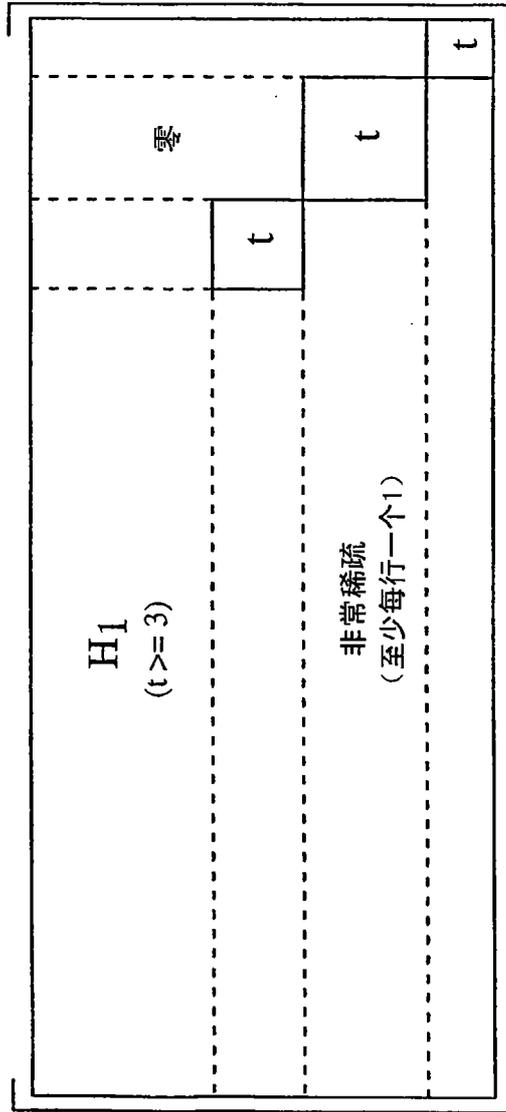


图5

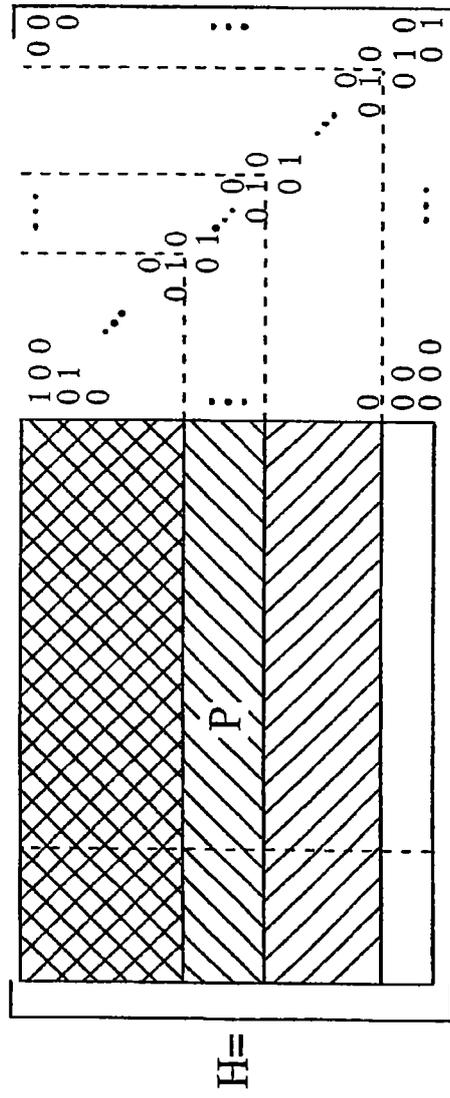


图6

250

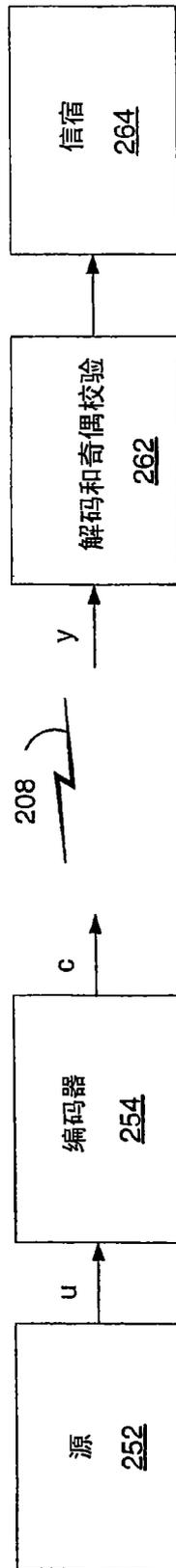


图7

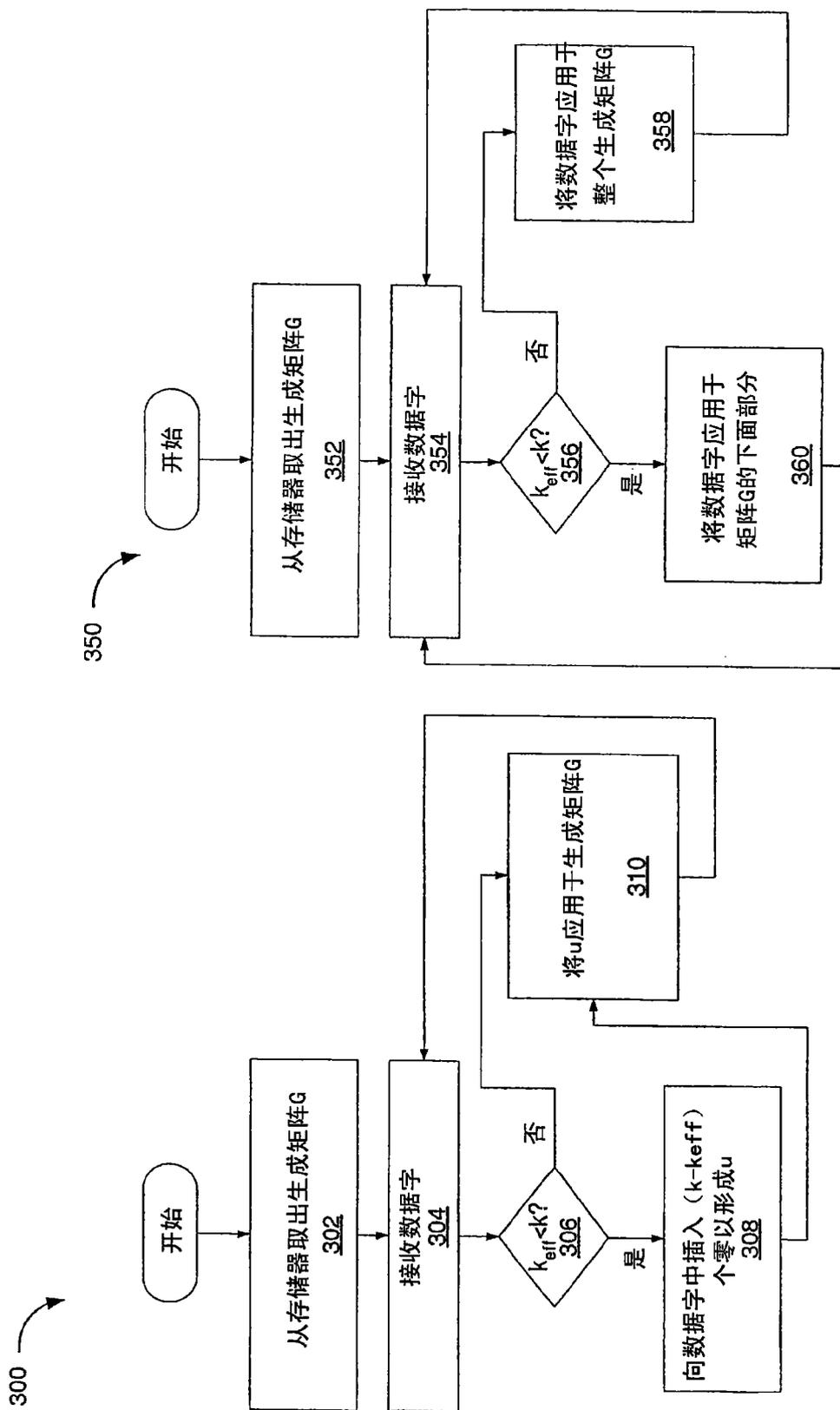


图8B

图8A

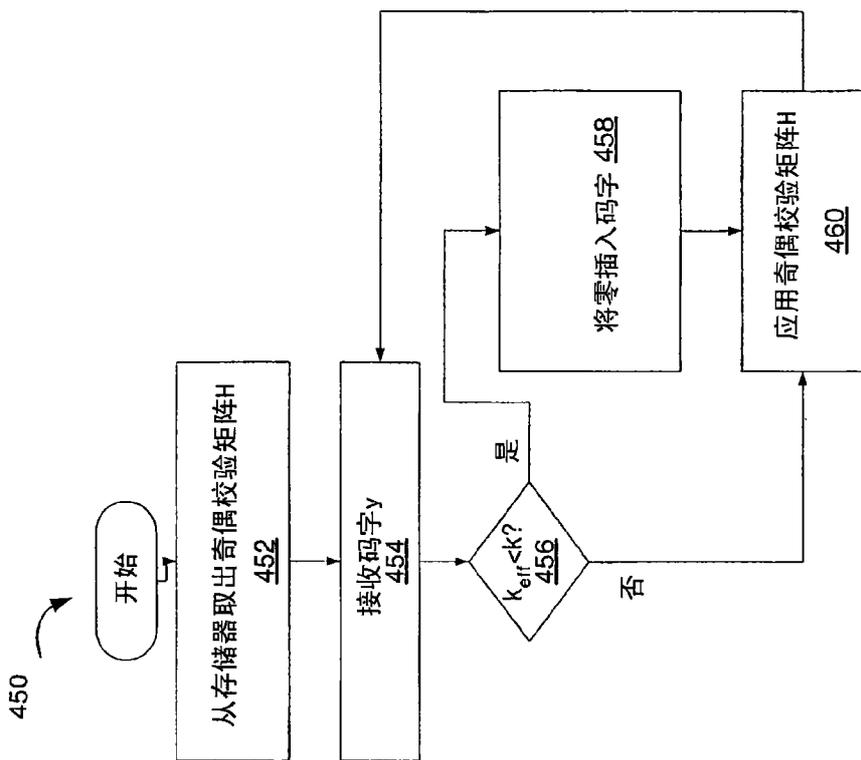


图9B

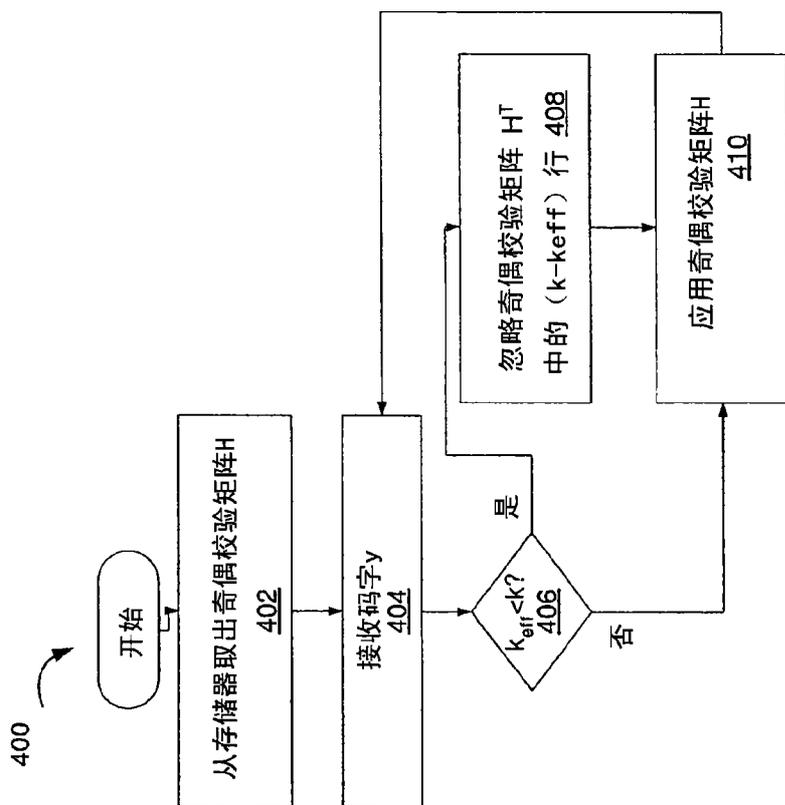


图9A

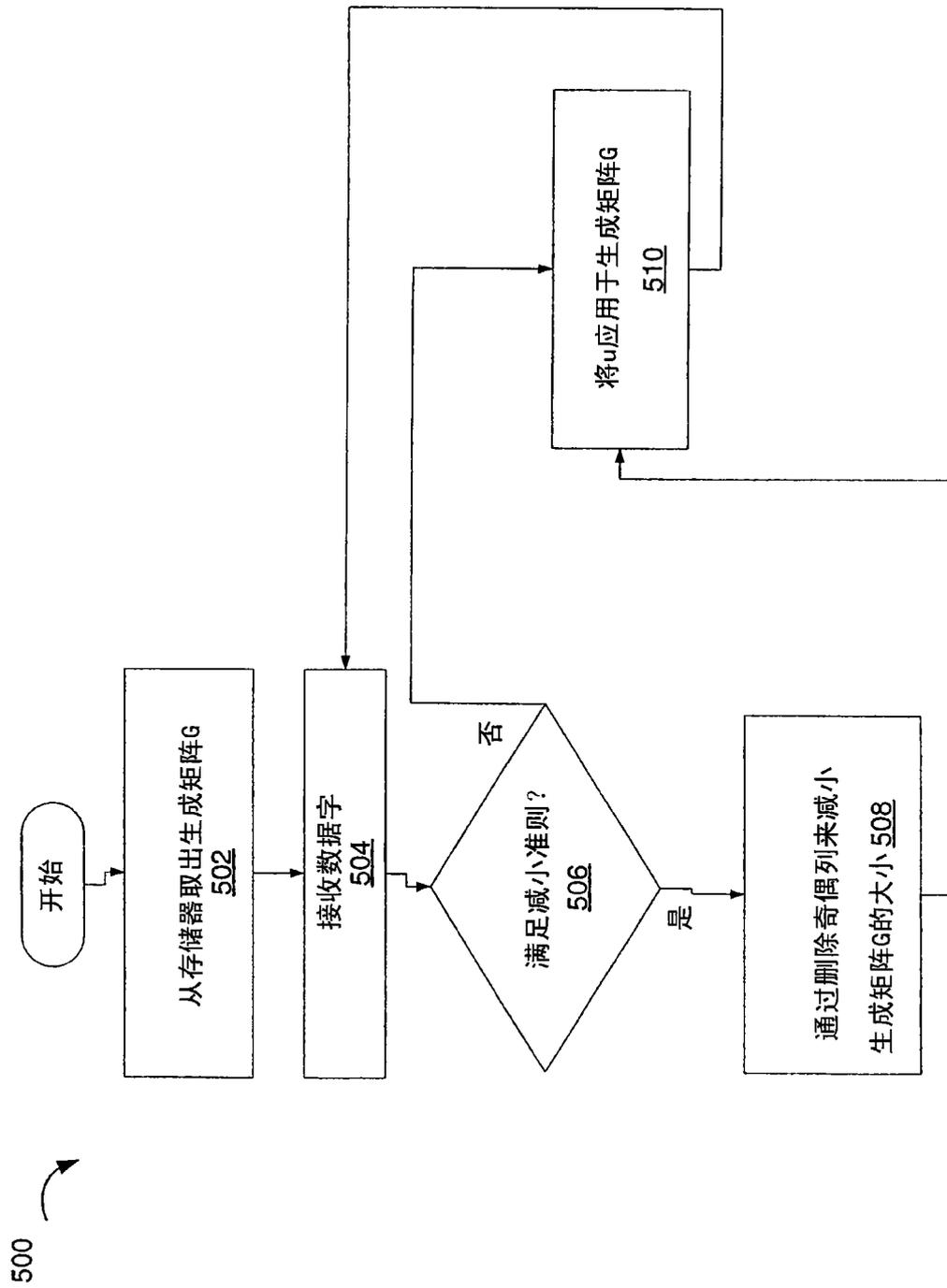


图10

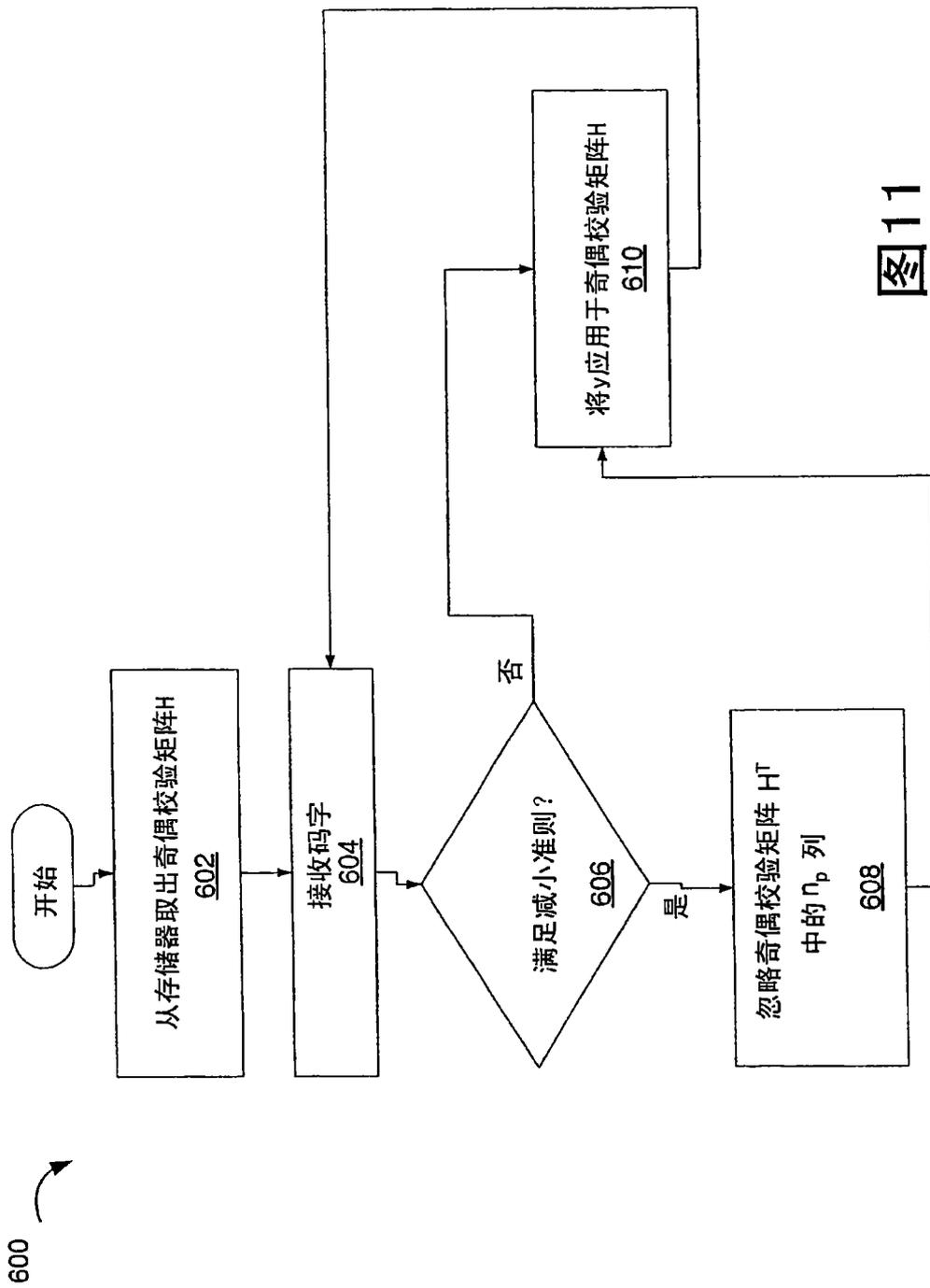


图11

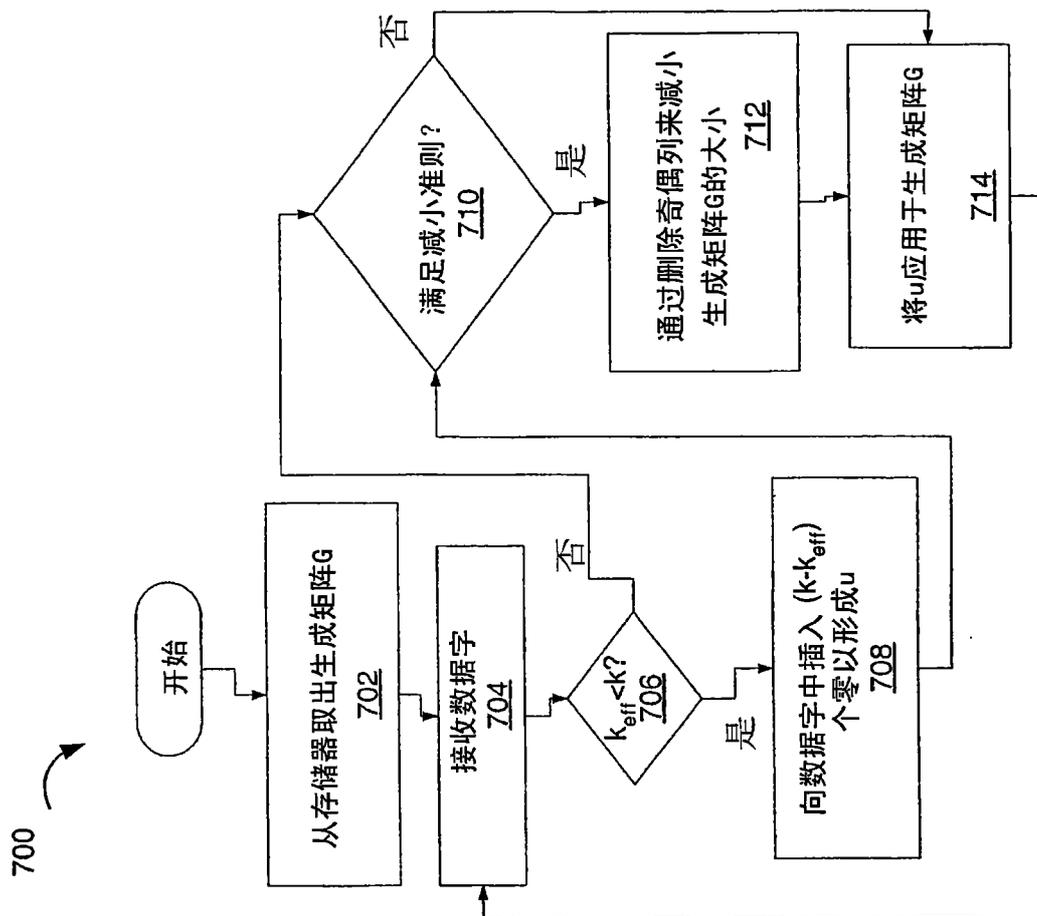


图12

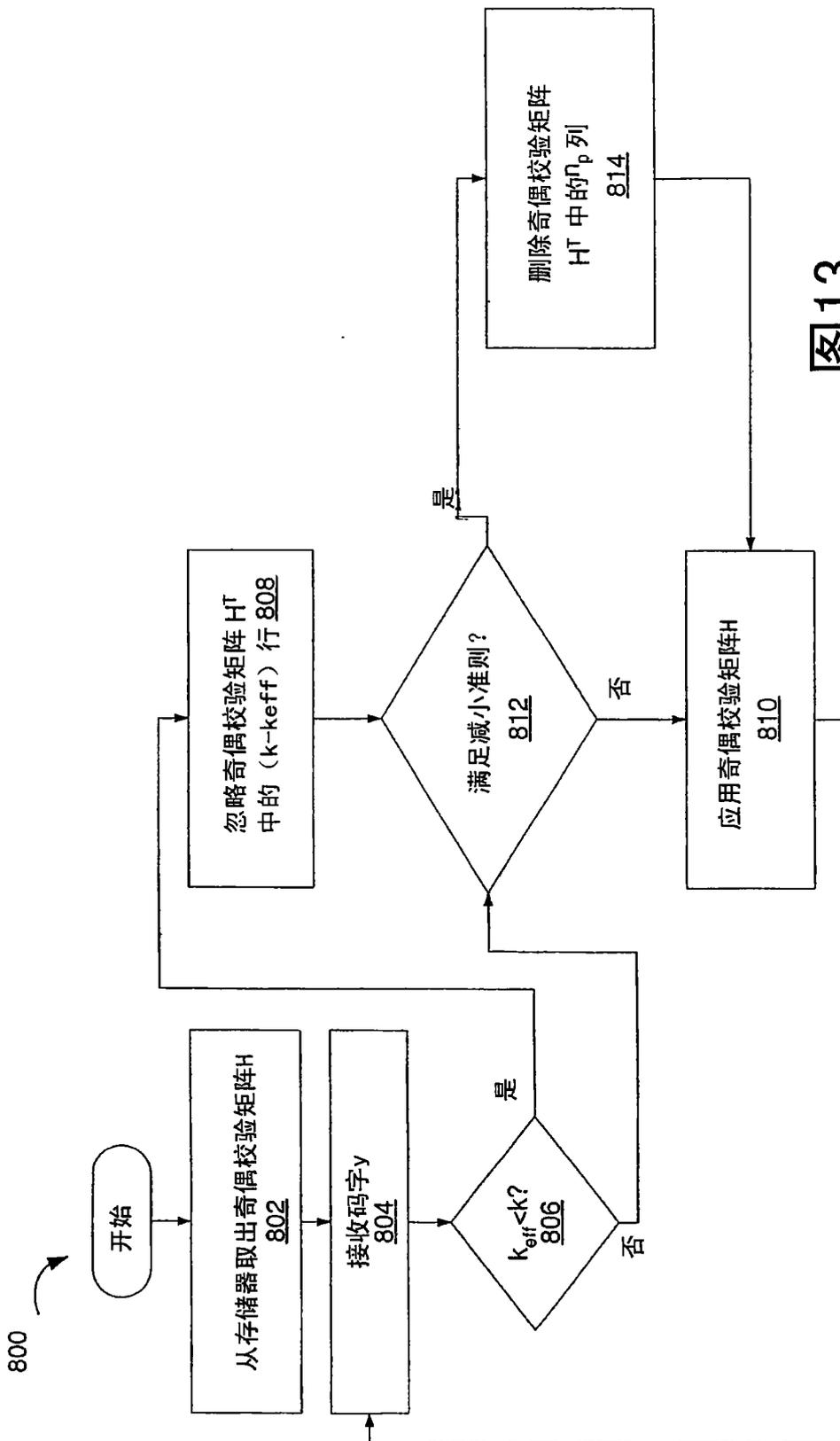


图13