

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4474136号

(P4474136)

(45) 発行日 平成22年6月2日(2010.6.2)

(24) 登録日 平成22年3月12日(2010.3.12)

(51) Int.Cl.	F I
G 1 1 C 11/15 (2006.01)	G 1 1 C 11/15 1 5 0
H O 1 L 21/8246 (2006.01)	G 1 1 C 11/15 1 1 0
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 7
H O 1 L 43/08 (2006.01)	H O 1 L 43/08 Z

請求項の数 8 (全 9 頁)

(21) 出願番号	特願2003-310899 (P2003-310899)	(73) 特許権者	390019839
(22) 出願日	平成15年9月3日(2003.9.3)		三星電子株式会社
(65) 公開番号	特開2004-95162 (P2004-95162A)		S A M S U N G E L E C T R O N I C S
(43) 公開日	平成16年3月25日(2004.3.25)		C O . , L T D .
審査請求日	平成18年7月20日(2006.7.20)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	10/234511		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成14年9月3日(2002.9.3)		Gyeonggi-do 442-742
(33) 優先権主張国	米国 (US)		(KR)
		(74) 代理人	100072349
			弁理士 八田 幹雄
		(74) 代理人	100110995
			弁理士 奈良 泰男
		(74) 代理人	100114649
			弁理士 宇谷 勝幸

最終頁に続く

(54) 【発明の名称】 抵抗性交点アレイ内のマルチビットメモリセルにおける読み出し動作

(57) 【特許請求の範囲】

【請求項 1】

メモリセル(114)の各々が直列接続された第1及び第2の磁気抵抗素子(10,20)を含み、該磁気抵抗素子の各々が設定可能な第1の抵抗値状態を有するように構成された、メモリセル(114)の抵抗性交点アレイ(112)と、

前記第1の磁気抵抗素子(10)の列のデータ層の各々に接続された複数の第1の導体(118)と、

前記第2の磁気抵抗素子(20)の列のデータ層の各々に接続された複数の第2の導体(120)と、

前記第1の磁気抵抗素子(10)の行の基準層と前記第2の磁気抵抗素子(20)の行の基準層との間に配置された複数の第3の導体(116)と、

読み出し動作の際に異なる第1および第2の電圧を印加するための読み出し回路(126)であって、選択されたメモリセル(114)と交差する前記第1および前記第2の導体(118,120)に前記第1の電圧を印加し、前記選択されたメモリセル(114)と交差する前記第3の導体(116)に前記第2の電圧を印加する、読み出し回路と、

からなり、

前記読み出し回路(126)は、前記第3の導体(116)上の全電流を測定し、前記測定された全電流の値から前記第1および第2の磁気抵抗素子(10,20)の抵抗値状態によって得られる前記選択されたメモリセル(114)の4つの異なる論理レベルのうち1つを推定することを特徴とするデータ記憶装置。

10

20

【請求項 2】

前記読み出し回路(126)はさらに、読み出し動作の際に第 3 および第 4 の電圧を印加し、該第 3 の電圧を選択されていないメモリセル(114)と交差する第 1 の導体(118)に印加し、該第 4 の電圧を選択されていないメモリセル(114)と交差する第 2 の導体(120)に印加する、請求項 1 に記載のデータ記憶装置。

【請求項 3】

前記第 1 の電圧がグランドであり、前記第 2、前記第 3 および前記第 4 の電圧がアレイ(112)電圧に等しい、請求項 2 に記載のデータ記憶装置。

【請求項 4】

前記第 1 の電圧はアレイ(112)電圧であり、前記第 2、前記第 3 および前記第 4 の電圧がグランドである、請求項 2 に記載のデータ記憶装置。

10

【請求項 5】

前記第 1 の電圧がアレイ(112)電圧であり、前記第 2 の電圧がグランドであり、前記第 3 の電圧が ε に等しく、前記第 4 の電圧が $-\varepsilon$ に等しく、 $\text{グランド} < \varepsilon < V_a$ である、請求項 2 に記載のデータ記憶装置。

【請求項 6】

前記読み出し回路(126)は、前記選択されたメモリセル(114)と交差する前記第 2 の導体(120)に前記第 2 の電圧を印加するためのセンスアンプ(130)を含む、請求項 1 に記載のデータ記憶装置。

【請求項 7】

20

前記抵抗性素子(10,20)が磁気抵抗素子(10,20)である、請求項 1 に記載のデータ記憶装置。

【請求項 8】

前記磁気抵抗素子(10,20)が磁気トンネル接合である、請求項 7 に記載のデータ記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶装置の分野に関し、詳しくは、1メモリセル当たり複数のビットを記憶させることが可能な磁気ランダムアクセスメモリ(「MRAM」)に関する。

30

【背景技術】

【0002】

磁気ランダムアクセスメモリ(「MRAM」)は、短期および長期のデータ記憶装置として検討されている不揮発性メモリである。MRAMは、DRAM、SRAMおよびフラッシュメモリなどの短期メモリよりも消費電力が少ない。MRAMは、ハードディスクなどの従来の長期記憶装置よりもはるかに(数桁)高速に読み出しおよび書き込み動作を実行することができる。さらに、MRAMはハードディスクよりも小型であり、電力の消費が少ない。また、MRAMは、超高速プロセッサおよびネットワーク装置などの組み込み用途についても検討されている。

【0003】

40

MRAM装置は、1つまたは複数のメモリセルアレイと、メモリセルの行に交差するワードラインと、メモリセルの列に交差するビットラインとを含む。各メモリセルは、ワードラインとビットラインの交点に配置される。

【0004】

各メモリセルは磁気トンネル接合などの磁気抵抗素子を含むことができる。各磁気抵抗素子は、抵抗値を2つの状態のうち的一方に設定することにより論理値を記憶する。選択された磁気抵抗素子に記憶された論理値は、選択された磁気抵抗素子の抵抗値状態を判定することにより読み出すことができる。抵抗値状態は、選択された磁気抵抗素子にセンス電流を流し、そのセンス電流を検出することにより判定することができる。

【0005】

50

メモリセルアレイの磁気抵抗素子は、複数の並列な経路を通して互いに接続される。ある交点において見られる抵抗は、他の行及び列の磁気抵抗素子の抵抗と並列になっているその交点における磁気抵抗素子の抵抗に等しい。したがって、磁気抵抗素子の各アレイは交点抵抗網として特徴付けることができる。

【0006】

磁気抵抗素子が交点抵抗網として接続されているので、寄生電流や漏洩電流によって、選択された磁気抵抗素子に対する読み出し動作が妨害される可能性がある。そのため、ダイオードやトランジスタのような遮断素子を磁気抵抗素子に接続することができる。これらの遮断素子は寄生電流を遮断することができる。

【0007】

10

あるいは、寄生電流は、本出願と同じ譲受人の米国特許第6,259,644号に開示されている「等電位」法を用いることにより対処することもできる。米国特許第6,259,644号に開示されている「等電位」法は、選択された線に対してある電位をかけ、選択されていないビットラインおよび選択されていないワードラインの一部に同じ電位を与えることを含む。寄生電流は、センス電流を妨害しないように分流される。

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的の1つは、1セル当たり複数ビットを記憶する磁気記憶装置を提供することである。本発明の他の目的は、そのような磁気記憶装置において漏洩電流の影響を受けることなく読み出しを行なう方法を提供することである。

20

【課題を解決するための手段】

【0009】

本発明は一実施形態において、メモリセルの各々が直列接続された第1及び第2の磁気抵抗素子を含み、該磁気抵抗素子の各々が設定可能な第1の抵抗値状態を有するように構成された、前記メモリセルの抵抗性交点アレイと、

前記第1の磁気抵抗素子の列のデータ層の各々に接続された複数の第1の導体と、

前記第2の磁気抵抗素子の列のデータ層の各々に接続された複数の第2の導体と、

前記第1の磁気抵抗素子の行の基準層と前記第2の磁気抵抗素子の行の基準層との間に配置された複数の第3の導体と、

30

読み出し動作の際に異なる第1および第2の電圧を印加するための読み出し回路であって、選択されたメモリセルと交差する前記第1および前記第2の導体に前記第1の電圧を印加し、前記選択されたメモリセルと交差する前記第3の導体に前記第2の電圧を印加する、読み出し回路と、

からなり、

前記読み出し回路は、前記第3の導体上の全電流を測定し、前記測定された全電流の値から前記第1および第2の磁気抵抗素子の抵抗値状態によって得られる前記選択されたメモリセルの4つの異なる論理レベルのうち1つを推定するデータ記憶装置である。

【発明を実施するための最良の形態】

【0010】

40

ここで図1を参照する。図1はMRAM装置110を示している。MRAM装置110はメモリセル114のアレイ112を含む。各メモリセル114は、直列接続された第1および第2の磁気抵抗素子を含む。メモリセル114は行列に配列され、行がx方向に沿って延在し、列がy方向に沿って延在する。MRAM装置110の図を分かりやすくするため、比較的少数のメモリセル114しか図示していない。実際には、任意のサイズのアレイを用いることができる。

【0011】

ワードライン116はx方向に沿って延在する。各ワードライン116は、第1の磁気抵抗素子の行を第2の磁気抵抗素子の行に接続する。第1のビットライン118および第2のビットライン120は、y方向に沿って延在する。第1のビットライン118の各々

50

は、第1の磁気抵抗素子10の列に接触している。第1の磁気抵抗素子の各々は、ワードライン116と第1のビットライン118との交点に配置される。第2のビットライン120の各々は、第2の磁気抵抗素子の列に接触している。第2の磁気抵抗素子の各々は、ワードライン116と第2のビットライン120との交点に配置される。

【0012】

アレイ112の磁気抵抗素子は、複数の並列な経路を通して互いに接続される。ある交点において見られる抵抗は、他の行及び列の磁気抵抗素子の抵抗と並列になっているその交点における磁気抵抗素子の抵抗に等しい。したがって、磁気抵抗素子の各アレイは2レベル交点抵抗網として特徴付けることができる。

【0013】

MRAM装置110はさらに、第1および第2の行デコーダ122a, 122bと、第1および第2の列デコーダ124a, 124bと、読み出し/書き込み回路126とを含む。デコーダ122a, 122b, 124aおよび124bは、読み出しおよび書き込み動作の際にワードラインおよびビットライン116, 118および120を選択する。

【0014】

読み出し/書き込み回路126は、書き込み動作の際に選択されたワードライン116およびビットライン118, 120に書き込み電流を供給するための電流源128を含む。読み出し/書き込み回路126は、センスアンプ130と、グランド接続132と、読み出し動作の際に電圧を印加するための電圧源134とを含む。

【0015】

書き込み動作の際、読み出し/書き込み回路126は、選択されたメモリセル114の第1および第2の磁気抵抗素子に論理値を書き込む。論理値は、第1および第2のトンネル接合のデータ層の磁化ベクトルの方向を設定することにより、トンネル接合などの磁気抵抗素子に書き込むことができる。

【0016】

読み出し動作の際、読み出し/書き込み回路126は、等電位法を用いて、選択されたメモリセル114の第1および第2の磁気抵抗素子にセンス電流を流す。寄生電流は、センス電流を妨害しないように分流される。読み出し/書き込み回路126は、センス電流を検出することにより第1および第2の磁気抵抗素子の抵抗値状態を判定する。

【0017】

等電位法の一実施形態を図2aに示す。センスアンプ130の第1の入力にアレイ電圧(V_a)を印加し、選択されたワードライン116をセンスアンプ130の第2の入力に接続する。センスアンプ130の第2の入力は、電圧($V_{a'}$)を選択されたワードライン116に接続する。ただし、 $V_{a'} = V_a$ である。選択されたビットライン118および120はグランド132に接続される。第1および第2の磁気抵抗素子10および20を通してセンス電流(I_{S10} , I_{S20})がそれぞれ流れる。センスアンプ130は、ワードライン116上の全電流($I_{S10} + I_{S20}$)に比例する出力電圧を生成することにより、選択されたメモリセル114の抵抗値状態を判定する。2つの磁気抵抗素子が4つの検出可能に異なる抵抗値状態を有する場合、その電流の和($I_{S10} + I_{S20}$)から4つの異なる論理レベルのうちの1つを推定することができる。

【0018】

寄生電流を最小限に抑えるためには、上側にある選択されていないビットライン118全てに電圧 V_1 を印加するとともに、下側にある選択されていないビットライン120全てに電圧 V_2 を印加する。選択されないワードライン116は全て浮いた状態にしてよい。寄生電流(I_{P10} , I_{P20})は、電圧 V_1 および V_2 が印加された磁気抵抗素子10および20を通してそれぞれ流れる。電圧 V_1 および V_2 はアレイ電圧(V_a)に設定することができ、それにより $V_1 = V_2 = V_a$ になる。

【0019】

図2bは、等電位法の別の実施形態を示している。センスアンプ130の第1および第2の入力を、グランド(GND)および選択されたワードライン116にそれぞれ接続す

10

20

30

40

50

る。選択されたビットライン 118 および 120 にアレイ電圧 (V_a) を印加する。上側にある全ての選択されていないビットライン 118 全てに電圧 V_1 を印加し、下側にある選択されていないビットライン 120 全てに電圧 V_2 を印加する。 $V_1 = V_2 = GND$ である。あるいは、 ε をグラウンド (GND) よりもわずかに数ミリボルト (たとえば、数十ミリボルト) だけ高い電圧とし、 $V_1 = \varepsilon$ および $V_2 = -\varepsilon$ とすることもできる。したがって、 $GND < \varepsilon < V_a$ となる。このようにアレイ 112 の上側および下側部分にバイアスをかけることにより、寄生電流 (I_{P10} 、 I_{P20}) がセンス電流 (I_{S10} 、 I_{S20}) を妨害しなくなる。

【0020】

本メモリセルは、何らかの特定の種類または構成に限定されない。2つの磁気抵抗素子を含むメモリセルの例を図3および図4に示す。

10

【0021】

次に図3を参照する。図3は、第1および第2の磁気トンネル接合 10 および 20 を含むデュアルビットメモリセル 114 を示している。第1の磁気トンネル接合 10 は、第1のデータ層 12 と、基準層 14 の上側部分 14a と、データ層 12 と上側部分 14a との間にある第1の絶縁性トンネル障壁 16 とを含む。第1のデータ層 12 は強磁性材料から形成され、通常その容易軸に沿って2つの方向 (一方を実線で、他方を破線で示す) のうちの一方に向けることが可能な磁化 (ベクトル M_1 で示す) を有する。第1の基準層 14a も強磁性材料から形成され、通常その容易軸に沿って2つの方向のうちの一方に向けることが可能な磁化 (ベクトル M_3 で示す) を有する。第1のデータ層 12 の容易軸と第1の基準層 14a の容易軸は、同じ方向になっている。

20

【0022】

第1のデータ層 12 の磁化ベクトルと基準層 14 の上側部分 14a の磁化ベクトル (M_1 と M_3) が同じ方向を向いている場合、第1の磁気トンネル接合 10 の向きは「平行」とであると呼ばれる。第1のデータ層 12 の磁化ベクトルと基準層 14 の上側部分 14a の磁化ベクトル (M_1 と M_3) が反対方向を向いている場合、第1の磁気トンネル接合 10 の向きは「反平行」とであると呼ばれる。これら2つの安定した向き、平行および反平行は、「0」および「1」の論理値に対応させることができる。

【0023】

第1の絶縁性トンネル障壁 16 により、第1のデータ層 12 と第1の基準層 14a との間に量子力学的トンネル現象が生じる。このトンネル現象は電子スピン依存性であり、それにより第1の磁気トンネル接合 10 の抵抗値は、第1のデータ層 12 の磁化ベクトルと第1の基準層 14a の磁化ベクトル (M_1 と M_3) の相対的な向きの関数になる。たとえば、磁気トンネル接合 10 の磁化の向きが平行である場合、第1の磁気トンネル接合 10 の抵抗値は第1の値 (R) になり、磁化の向きが反平行である場合、第2の値 ($R_1 + \Delta R_1$) になる。第1の絶縁性トンネル障壁 16 は、酸化アルミニウム (Al_2O_3)、二酸化シリコン (SiO_2)、酸化タンタル (Ta_2O_5)、窒化シリコン (Si_3N_4)、窒化アルミニウム (AlN)、または酸化マグネシウム (MgO) など形成することができる。第1の絶縁性トンネル障壁 16 には、他の誘電体および何らかの特定の半導体材料を用いることもできる。

30

40

【0024】

第2の磁気トンネル接合 20 は、第2のデータ層 22 と、第2の基準層 14b と、第2のデータ層 22 と第2の基準層 14b との間にある第2の絶縁性トンネル障壁 24 とを含む。第2のデータ層 22 は強磁性材料から形成され、通常その容易軸に沿って2つの方向のうちの一方に向けることが可能な磁化 (ベクトル M_2 で示す) を有する。第2の基準層 14b も強磁性材料から形成され、通常その容易軸に沿って2つの方向のうちの一方に向けることが可能な磁化 (同じベクトル M_3 で示す) を有する。第2の絶縁性トンネル障壁 24 によって、第2のデータ層 22 と第2の基準層 14b との間に、量子力学的トンネル現象が生じる。第2の磁気トンネル接合 20 の抵抗値は、第2のデータ層 22 の磁化ベクトルと第2の基準層 14b の磁化ベクトル (M_2 と M_3) の相対的な向きの関数になる。

50

【 0 0 2 5 】

ワードライン 1 1 6 は強磁性被覆 3 6 で被覆される。第 1 の基準層 1 4 a は、ワードライン 1 1 6 と第 1 の絶縁性トンネル障壁 1 6 との間にある被覆 3 6 の部分で形成される。第 2 の基準層 1 4 b は、ワードライン 1 1 6 と第 2 の絶縁性トンネル障壁 2 4 との間にある被覆 3 6 の部分で形成される。ワードライン 1 1 6 に対する被覆の厚さの描写は、強調して描いてある。被覆 3 6 の厚さは約 1 n m ~ 5 0 n m にすることができる（通常の値は 4 n m である）。

【 0 0 2 6 】

第 1 のビットライン 1 1 8 は第 1 のデータ層 1 2 に接触し、第 2 のビットライン 1 2 0 は第 2 のデータ層 2 2 に接触している。

10

【 0 0 2 7 】

ワードライン 1 1 6 に電流を供給することにより、ワードライン 1 1 6 の周囲に磁界が生成されるようになる。ワードライン 1 1 6 に電流が流れると、その磁界により、基準層の磁化ベクトル (M 3) がワードライン 1 1 6 の周囲で時計回りの方向を向くようになる（図 3 に示すように）。電流が反対方向に流れると、その磁界により、基準層の磁化ベクトル (M 3) がワードライン 1 1 6 の周囲で反時計回りの方向を向くようになる。磁化は、第 1 の基準層 1 4 a においてある方向を向き、第 2 の基準層 1 4 b においてそれと反対の方向を向く。被覆 3 6 は磁界の伝導経路を提供する。

【 0 0 2 8 】

データ層 1 2 および 2 2 の保磁力は、基準層 1 4 a および 1 4 b の保磁力よりもはるかに大きい。データ層の保磁力は、基準層の保磁力よりも少なくとも 2 ~ 5 倍に大きくすることができる。たとえば、データ層の保磁力は約 2 5 0 e にすることができ、基準層の保磁力は約 5 0 e にすることができる。したがって、基準層 1 4 a 及び 1 4 b は、データ層 1 2 及び 2 2 よりも「軟らかい」とみなされる。なぜなら、基準層の磁化ベクトル (M 3) が非常に反転しやすいからである。基準層の保磁力は、できる限り小さくすることが好ましい。

20

【 0 0 2 9 】

次に図 4 を参照する。図 4 は、別のタイプのデュアルビットメモリセル 1 1 4 を示している。メモリセル 1 1 4 の第 1 のビット 1 0 は、スペーサ層 1 6 と、スペーサ層 1 6 の一方の側にあるデータ層 1 2 と、スペーサ層 1 6 の他方の側にある硬い基準層 1 4 とを含む。第 2 のビット 2 0 は、スペーサ層 2 4 と、スペーサ層 2 4 の一方の側にあるデータ層 2 2 と、スペーサ層 2 4 の他方の側にある硬い基準層 2 6 とを含む。ビット 1 0 および 2 0 が磁気トンネル接合である場合、スペーサ層 1 6 および 2 4 は絶縁性トンネル障壁であり、基準層 1 4 および 2 6 はピン止め層である。ピン止め層は対象範囲内の磁界がかけられた場合に回転しないように固定された磁化の向きを有する。従って、データ層の磁化の向きは、2 つの方向のうちのいずれか、すなわちピン止め層の磁化と同じ方向かピン止め層の磁化と反対の方向かのいずれかに向けることができる。

30

【 0 0 3 0 】

ピン止め層の磁化の向きは、反強磁性 (A F) ピンニング層 (図示せず) によって固定することができる。A F ピンニング層は、ピン止め層の磁化を一方向に固定するための大きな交番磁界を与える。

40

【 0 0 3 1 】

ワードライン 1 1 6 は両ビット 1 0 , 2 0 のそれぞれの基準層 1 4 および 2 6 に接続され、第 1 のビットライン 1 1 8 は第 1 のビット 1 0 のデータ層 1 2 に接続され、第 2 のビットライン 1 2 0 は第 2 のビット 2 0 のデータ層 2 2 に接続される。第 1 のビット 1 0 は 2 つの抵抗値状態を有し、第 2 のビット 2 0 は 2 つの抵抗値状態を有する。4 つの抵抗値状態が検出可能に異なるものであれば、1 回の読み出し動作で、メモリセル 1 1 4 の抵抗値状態が判明する。

【 0 0 3 2 】

本メモリセルは 2 ビットに限定されない。1 メモリセル当たりの磁気抵抗素子を追加す

50

ることにより、さらにビットを追加することができる。

【0033】

本発明は磁気トンネル接合に限定されない。本発明は、巨大磁気抵抗（GMR）素子などの他のタイプの磁気抵抗素子も含む。GMR素子は、TMR素子と同じ基本構造を有するが、データ層と基準層が絶縁性トンネル障壁の代わりに導電性かつ非磁性の金属層で分離されている点異なる。データ層と基準層の磁化ベクトルの相対的な向きは、GMR素子の面内抵抗に影響を及ぼす。他のタイプの素子には、トップスピンバルブやボトムスピンバルブが含まれる。

【0034】

本発明は磁気抵抗素子に限定されない。メモリセルのメモリ素子は、相変化材料から構成することもできる。そのような素子の抵抗値は、相変化材料の相を変更することによって、ある状態から別の状態へ（たとえば、結晶状態から非晶質状態に）変化させることができる。

10

【0035】

あるいは、メモリセルはポリマーメモリ素子を含むこともできる。ポリマーメモリ素子は、有極性の導電性ポリマー分子から形成される。ポリマーメモリ素子の場合、データはポリマー分子内に「永久的分極」として記憶される（MRAMメモリセルではデータが「永久的磁気モーメント」として記憶されるのに対して）。ポリマーメモリ素子の抵抗値（Rまたは $R + \gamma R$ ）は、ポリマー分子の分極の方向に応じて異なる。ポリマーメモリセル素子の読み出しは、それらの抵抗値を読み出すことにより行なうことができる。ポリマーメモリセルへの書き込みは、選択されたワードラインおよびビットラインに印加した電圧によって生成される電界をかけることにより行なうことができる。

20

【0036】

本発明のいくつかの特定の実施形態について説明および図示してきたが、本発明は説明および図示した特定の形態や部品配置に限定されない。そうではなく、本発明は特許請求の範囲にしたがって解釈される。

【図面の簡単な説明】

【0037】

【図1】本発明の一実施形態によるMRAM装置を示す図である。

【図2a】本発明の一実施形態によるMRAM装置を読み出すための方法を示す図である。

30

【図2b】本発明の一実施形態によるMRAM装置を読み出すための方法を示す図である。

【図3】本発明の第1の実施形態によるマルチビットメモリセルを示す図である。

【図4】本発明の第2の実施形態によるマルチビットメモリセルを示す図である。

【符号の説明】

【0038】

10, 20 磁気トンネル接合

110 MRAM装置

112 メモリセルアレイ

40

114 メモリセル

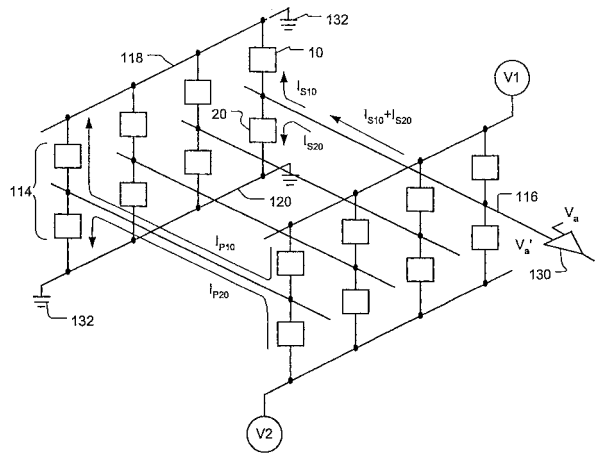
116 ワードライン

118, 120 ビットライン

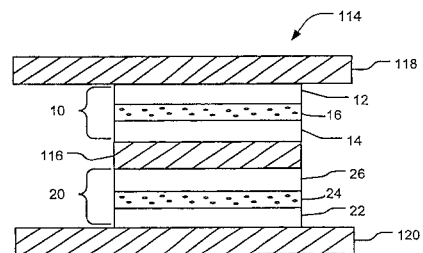
126 読み出し/書き込み回路

130 センスアンプ

【 図 2 a 】



【 圖 4 】



フロントページの続き

- (72)発明者 マニシュ・シャーマ
アメリカ合衆国カリフォルニア州 9 4 3 0 5 , サニーベイル, ロックスナート・ウェイ・1 6 0 ,
アパートメント・1 6
(72)発明者 ルン・ティー・トラン
アメリカ合衆国カリフォルニア州 9 5 0 7 0 , サラトガ, ウッドブリー・コート・5 0 8 5

審査官 須原 宏光

- (56)参考文献 特開 2 0 0 2 - 0 2 5 2 4 5 (J P , A)
特開 2 0 0 2 - 1 6 3 8 8 6 (J P , A)
特開 2 0 0 2 - 2 1 6 4 6 7 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 1 1 / 1 5