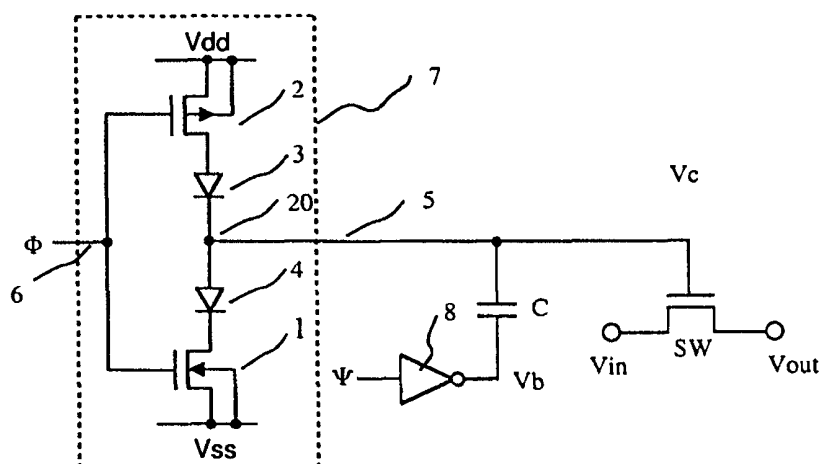




(51) 国際特許分類6 H03K 17/06	A1	(11) 国際公開番号 WO00/08759 (43) 国際公開日 2000年2月17日(17.02.00)
(21) 国際出願番号 PCT/JP98/03440 (22) 国際出願日 1998年8月3日(03.08.98) (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 塚田敏郎(TSUKADA, Toshiro)(JP/JP) 福田恵子(FUKUDA, Keiko)(JP/JP) 大塚正則(OTSUKA, Masanori)(JP/JP) 北川明弘(KITAGAWA, Akihiro)(JP/JP) 市来周蔵(ICHIKI, Shuzo)(JP/JP) 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体事業部内 Tokyo, (JP) (74) 代理人 弁理士 高橋明夫(TAKAHASHI, Akio) 〒103-0025 東京都中央区日本橋茅場町二丁目9番8号 友泉茅場町ビル 日東国際特許事務所 Tokyo, (JP)		(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書

(54)Title: MOS INTEGRATED CIRCUIT**(54)発明の名称** MOS集積回路**(57) Abstract**

A MOS integrated circuit for driving an analog circuit, e.g. an analog switch, with a low power supply voltage by outputting a control voltage of high signal level exceeding the differential voltage (full scale) between the power supply voltage and the ground voltage, wherein a semiconductor element for blocking reverse current flow is provided in any one of a current path comprising a pMOS transistor formed between a first power supply and the output terminal or a current path comprising an nMOS transistor formed between a second power supply and the output terminal, and a circuit means for shifting the voltage through capacitive coupling is provided at the output terminal.

(57)要約

電源電圧と接地電圧の差電圧（フルスケール）を越えた高い信号レベルの制御電圧を出力することによって低電源電圧のもとでアナログスイッチ等のアナログ回路を駆動することができる MOS 集積回路を提供することを目的とする。第 1 の電源と出力端子の間に形成した pMOS トランジスタによる電流経路及び第 2 の電源と出力端子の間に形成した nMOS トランジスタによる電流経路の少なくともいずれか一方の電流経路に電流逆流阻止用の半導体素子を付加し、かつ、容量結合によって電圧をシフトする回路手段を出力端子に設ける。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロヴァキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シェラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SO ソマリア
BF ブルキナ・ファソ	GH ガーナ	MA モロッコ	SZ スワジランド
BG ブルガリア	GM ガンビア	MC モナコ	TD チャード
BJ ベナン	GN ギニア	MD モルドヴァ	TG トーゴ
BR ブラジル	GW ギニア・ビサウ	MG マダガスカル	TJ タジキスタン
BY ベラルーシ	GR ギリシャ	ML マラウイ	TZ タンザニア
CA カナダ	HR クロアチア	MN モンゴル	TM トルクメニスタン
CF 中央アフリカ	HU ハンガリー	MR モリタニア	TR トルコ
CG コンゴ	ID インドネシア	MW マラウイ	TT トリニダード・トバゴ
CH スイス	IE アイルランド	MX メキシコ	UA ウクライナ
CI コートジボアール	IL イスラエル	NE ニジェール	UG ウガンダ
CM カメルーン	IN インド	NL オランダ	US 米国
CN 中国	IS アイスランド	NO ノルウェー	UZ ウズベキスタン
CR コスタ・リカ	IT イタリア	NZ ニュージーランド	VN ヴェトナム
CU キューバ	JP 日本	PL ポーランド	YU ユーゴスラビア
CY キプロス	KE ケニア	PT ポルトガル	ZA 南アフリカ共和国
CZ チェッコ	KG キルギスタン	RO ルーマニア	ZW ジンバブエ
DE ドイツ	KP 北朝鮮		
DK デンマーク	KR 韓国		

明 細 書

MOS 集積回路

5 技術分野

本発明は、MOS (Metal Oxide Semiconductor) 集積回路、特にアナログ回路を駆動する駆動回路を備えた MOS 集積回路に関する。

背景技術

- 10 p チャネル形 MOS トランジスタと n チャネル形 MOS トランジスタの組み合わせを基本素子として用いる相補型 MOS・IC (以下「CMOS・IC」と記す) は、その論理ゲート (インバータ、NAND、NOR 等) が電源電圧 V_{dd} と接地電圧 V_{ss} の差電圧であるフルスケールまで信号振幅を出力することができるほか、出力信号が電源電圧 V_{dd} 又は接地電圧 V_{ss} とな
- 15 っているときに流れる電流が極めて僅かであるため消費電力が少ない利点があり、MOS・IC の中で最も良く用いられる。

- MOS・IC の集積度は年々高まり、それに伴ってトランジスタの寸法が微細化され、CMOS プロセスが微細化されている。トランジスタ寸法の微細化は、必然的にトランジスタの耐圧低下を招くので、CMOS・IC
- 20 の電源電圧 V_{dd} は、低下の一途を辿っており、長らく 5 V であったのが 3 V になり、最近はそれ以下となってきた。従って、論理ゲートの出力振幅も低下している。

- さて、MOS アナログスイッチ等のアナログ回路を駆動する駆動回路として、上記の微細化プロセスによる CMOS・IC の論理ゲートを用いる場合、振幅が不足するために駆動が不十分になるという問題がある。アナ
- 25 ログスイッチの MOS ゲート端子には、そのゲート・ソース間電圧を V_{gs} 、閾値電圧を V_{th} として、 $V_{gs} - V_{th}$ を十分に越える駆動電圧を与える必

要があるが、それを確保することができないからである。

論理ゲートの出力振幅を高める回路として、信号のレベルをシフトする回路（例えば特開平 7-221642 号公報参照）や、電圧変換を行なって振幅を大きくする回路（例えば特開平 8-8708 号公報参照）

5 の提案がある。

前者の回路では、降圧回路と昇圧回路を用い、アナログスイッチの MOS ゲートへ供給する電圧範囲を拡大している。しかし、降圧回路と昇圧回路は、通常の CMOS・IC では実現困難なスイッチを用いて構成される。後者の回路では、バイポーラと CMOS 混載形回路を対象とするほか、
10 別電源を用いた電圧変換回路を採用している。このように、従来の駆動回路は、別回路や別電源が必要であり、更に、そのためにコスト高となり、最近の微細化、低コスト CMOS・IC に適用することが困難である。

発明の開示

15 MOS アナログスイッチを駆動する駆動回路として、CMOS・IC に搭載される CMOS インバータを用いた一般的な例を第 17 図に示す。CMOS インバータは、n チャネル形 MOS トランジスタ（以下単に「nMOS トランジスタ」という）1 と p チャネル形 MOS トランジスタ（以下単に「pMOS トランジスタ」という）2 からなる。双方のトランジスタのゲート端子は、相互に接続されて入力端子 6 となり、電源と出力端子 20
20 の間に pMOS トランジスタ 2 による電流経路が形成され、接地と出力端子 20 の間に nMOS トランジスタ 1 による電流経路が形成される。

このような CMOS インバータは、入力端子 6 の入力信号 Φ を反転して制御電圧 V_c を出力する。電圧 V_c は、駆動電圧としてアナログスイッチ
25 SW の MOS ゲート端子に与えられ、アナログスイッチ SW のオン・オフを制御する。アナログスイッチ SW がオンになるとき、スイッチ SW の

一方の端子に入力された電圧 V_{in} と等しい電圧 V_{out} が他方の端子に出力される。

スイッチ SW が nMOS トランジスタである場合、スイッチ SW が十分なオン・オフ動作を行うためには、実効的なゲート電圧である $V_{gs} - V_{th}$

5 は、

$$V_{gs} - V_{th} \gg 0 \quad (\text{オン動作})$$

$$V_{gs} - V_{th} \ll 0 \quad (\text{オフ動作})$$

となる必要がある。この場合、 V_{gs} は $V_c - V_{in}$ であるから、

$$V_{gs} - V_{th} = V_c - V_{in} - V_{th} \gg 0 \quad (\text{オン動作})$$

10 $V_{gs} - V_{th} = V_c - V_{in} - V_{th} \ll 0 \quad (\text{オフ動作})$

即ち、

$$V_c \gg V_{in} + V_{th} \quad (\text{オン動作})$$

$$V_c \ll V_{in} + V_{th} \quad (\text{オフ動作})$$

が要求され、アナログスイッチ SW は、オンなるために制御電圧 V_c が
15 $V_{in} + V_{th}$ より十分高く、オフとなるために V_c が $V_{in} + V_{th}$ より十分低いことが要求される。

通常の CMOS インバータにおいては、 V_c の高レベルが電源電圧 V_{dd} で制限されるため、最近のように微細化プロセスに伴って V_{dd} が低下すると、 V_c も低下する。その結果、アナログスイッチ SW の実効的なゲート
20 電圧 ($V_{gs} - V_{th}$) の高レベルが低下し、オン動作が不十分になる。

いま、スイッチ SW が中間電圧 $(V_{dd} + V_{ss}) / 2$ の入力電圧 V_{in} を電源電圧 V_{dd} の制御電圧 V_c によってスイッチ (オン) する場合について考えると、旧来の CMOS (例、 $V_{dd} = 5 \text{ V}$, $V_{ss} = 0 \text{ V}$, $V_{th} = 1.0 \text{ V}$) では、

25 $V_{gs} - V_{th} = V_c - (V_{in} + V_{th}) = 1.5 \text{ V}$

であるのに対し、微細化 CMOS (例、 $V_{dd} = 2 \text{ V}$, $V_{ss} = 0 \text{ V}$, $V_{th} = 0.$

6 V) では、

$$V_{gs} - V_{th} = V_c - (V_{in} + V_{th}) = 0.4 \text{ V}$$

となり、実効ゲート電圧 ($V_{gs} - V_{th}$) の高レベルが 1.5 V から 0.4 V に低下して、スイッチ SW のオン動作が著しく不十分になることが分かる。

一方、通常の CMOS インバータにおいて、 V_c の低レベルが接地電圧 V_{ss} で制限される。

いま、スイッチ SW が接地電圧 V_{ss} の入力電圧 V_{in} を接地電圧 V_{ss} の制御電圧 V_c によってスイッチ (オフ) する場合について考えると、旧来の CMOS (例、 $V_{dd} = 5 \text{ V}$, $V_{ss} = 0 \text{ V}$, $V_{th} = 1.0 \text{ V}$) では、

$$V_{gs} - V_{th} = V_c - (V_{in} + V_{th}) = -1.0 \text{ V}$$

であるのに対し、微細化 CMOS (例、 $V_{dd} = 2 \text{ V}$, $V_{ss} = 0 \text{ V}$, $V_{th} = 0.6 \text{ V}$) では、

$$V_{gs} - V_{th} = V_c - (V_{in} + V_{th}) = -0.6 \text{ V}$$

となり、実効ゲート電圧 ($V_{gs} - V_{th}$) の低レベルが -1.0 V から -0.6 V に上がる。但し、この実効ゲート電圧の振幅縮小は、オンの場合よりも小さくなく、従って、その影響はオンの場合よりも少ない。

以上は、アナログスイッチ SW が nMOS トランジスタの場合を述べたが、スイッチ SW が pMOS トランジスタの場合についても同様に説明することができ、微細化による低電圧化に伴って、オン動作が不十分になり、通常の CMOS インバータではアナログスイッチを駆動することが困難になる。

本発明の目的は、従来技術の前記問題点を解決し、電源電圧と接地電圧の差電圧 (フルスケール) を越えた高い信号レベルの制御電圧を出力することによって低電源電圧のもとでアナログスイッチ等のアナログ回路を駆動することができる MOS 集積回路を提供することにある。

本発明の前記目的は、第 1 の電源と出力端子の間に形成した pMOS トランジスタによる電流経路及び第 2 の電源（例えば接地）と出力端子の間に形成した nMOS トランジスタによる電流経路の少なくともいずれか一方の電流経路に電流逆流阻止用の半導体素子を付加し、かつ、容量結合によって電圧をシフトする回路手段を出力端子に設けた駆動回路によって達成することができる。電圧シフト回路手段は、一方の端子を出力端子に接続した容量素子と、当該容量素子の他方の端子に接続した論理ゲートとからなる。当該論理ゲートは、駆動回路の入力端子への入力信号を所定の時間遅延し、かつ、反転した信号を電圧変化として出力する。

この所定の遅延時間は、電流経路からの電流によって容量素子を充電するプリチャージ期間となるものである。論理ゲートは、プリチャージ期間終了と同時に、上記電圧変化を出力する。その電圧変化が容量素子を介して出力端子に伝えられる。

この電圧伝達により、出力端子の電圧は、第 1 の電源電圧を越えるか又は第 2 の電源電圧を下回るかのいずれかとなり、フルスケールを越えた信号レベルの制御電圧となる。なお、付加した半導体素子は、そのような制御電圧によって pMOS トランジスタ又は nMOS トランジスタに電流が逆流するのを阻止する。

以上のアナログスイッチ駆動方式によって、フルスケールを越えた信号レベルの確保が可能となり、アナログスイッチをスイッチするために十分な実効ゲート電圧を得ることができる。更に、上記の容量結合による電圧シフト回路手段及び電流逆流阻止用の半導体素子は、微細化 CMOS プロセスによって形成可能であり、低電源電圧動作の MOS 集積回路に容易に組み込むことができる。

図面の簡単な説明

第 1 図は、本発明に係る MOS 集積回路の第 1 の実施例を説明するための回路図であり、第 2 図は、本発明の第 1 の実施例を説明するための動作タイミングを示す波形図であり、第 3 図は、本発明の第 1 の実施例を説明するための集積回路構造の断面図であり、第 4 図は、本発明の第 2 の実施例を説明するための回路図であり、第 5 図は、本発明の第 2 の実施例を説明するための集積回路構造の断面図であり、第 6 図は、本発明の第 3 の実施例を説明するための回路図であり、第 7 図は、本発明の第 3 の実施例を説明するための動作タイミングを示す波形図であり、第 8 図は、本発明の第 3 の実施例を説明するための集積回路構造の断面図であり、第 9 図は、本発明の第 4 の実施例を説明するための回路図であり、第 10 図は、本発明の第 5 の実施例を説明するための回路図であり、第 11 図は、本発明の第 6 の実施例を説明するための回路図であり、第 12 図は、本発明の第 7 の実施例を説明するための回路図であり、第 13 図は、本発明の第 7 の実施例を説明するための動作タイミングを示す波形図であり、第 14 図は、本発明の第 7 の実施例を説明するための集積回路構造の断面図であり、第 15 図は、本発明の第 8 の実施例を説明するための回路図であり、第 16 図は、本発明の第 9 の実施例を説明するための回路図であり、第 17 図は、従来の MOS 集積回路を説明するための回路図である。

発明を実施するための最良の形態

以下、本発明に係る MOS 集積回路を図面に示した幾つかの実施例を参照して更に詳細に説明する。なお、第 1 図～第 17 図において、同一機能を有するものには同一記号を付け、その繰り返しの説明を省略することとする。

(実施例 1)

第 1 図において、3 は、pMOS トランジスタ 2 のドレイン端子と出力端子 20 の間に接続した pn 接合ダイオード(以下単に「ダイオード」という)、4 は、nMOS トランジスタ 1 のドレイン端子と出力端子 20 の間に接続したダイオード、5 は、出力端子 20 をアナログスイッチ SW のゲート端子に接続する信号線、C は、一方の端子を出力端子 20 即ち信号線 5 に接続した容量素子、8 は、容量素子 C (以下「容量 C」という)の他方の端子に接続したインバータである。トランジスタ 1, 2、ダイオード 3, 4 及び入出力端子 5, 20 によってインバータ 7 が形成される。また、入力信号 Ψ が与えられるインバータ 8 及び容量 C により、前記容量結合による電圧シフト回路手段が形成され、同回路手段とインバータ 7 とによってアナログスイッチ SW を駆動する MOS 駆動回路が形成される。

容量 C はインバータ 8 によって駆動され、入力信号 Ψ に応じてインバータ 8 の出力信号が変化すると、容量 C を介して、このレベル変化が信号線 5 に伝えられる。これによって、制御電圧 V_c の振幅が拡大される。制御電圧 V_c により、アナログスイッチ SW のオンオフが制御され、アナログスイッチ SW がオンになると入力電圧 V_{in} と等しい値の電圧 V_{out} がスイッチ SW の他端子に出力される。スイッチ SW には、nMOS、pMOS のいずれのトランジスタも採用可能である。

なお、電圧 V_{dd} の電源 (第 1 の電源) と出力端子 5 の間にトランジスタ 2 によって第 1 の電流経路が形成され、出力端子 5 と電圧 V_{ss} の接地 (第 2 の電源) の間にトランジスタ 1 によって第 2 の電流経路が形成される。そして、第 1 の電流経路の電流によって信号線 5 の浮遊容量 (図示せず) と容量 C への充電が行なわれ、第 2 の電流経路の電流によって信号線 5 の浮遊容量と容量 C への放電が行なわれて入力信号 Φ を反転し

た出力信号が得られる。

このような MOS 駆動回路の動作を第 2 図に示したタイミング波形を用いて更に詳細に説明する。容量 C を充電するプリチャージ期間 T 1 で入力信号 Φ が低レベルになると、インバータ 7 の pMOS トランジスタ 2 がオンし、nMOS トランジスタ 1 がオフする。これにより、信号線 5 には電源 Vdd から充電電流が供給され、制御電圧 Vc は上昇していく。ダイオード 3 の順方向電圧を Vf とすると、電圧 Vc は、 $Vc = Vdd - Vf$ に至る。期間 T 1 では、インバータ 8 の入力信号 Ψ は高レベルであり、インバータ 8 の出力電圧 Vb は低レベル Vss にある。従って、容量 C の充電電圧はほぼ $Vc - Vss$ となる。

続いて、スイッチ SW をスイッチングする期間 T 2 で入力信号 Ψ を低レベルに変化させると、即ち、入力信号 Ψ が入力信号 Φ より期間 T 1 だけ遅れて低レベルになると、インバータ 8 は反転し、出力電圧 Vb は、高レベル Vdd に変化する。この電圧変化は、ほぼ $(Vdd - Vss)$ に等しく、容量 C を通じて信号線 5 に伝えられ、電圧 Vc は $(Vdd - Vss)$ だけシフトして高電圧レベルに至り、 $Vc = Vdd - Vf + (Vdd - Vss)$ となる。 $(Vd - Vss)$ は一般的に Vf より大きいので、 $Vc > Vdd$ となり、高電圧レベルは電源電圧を越えることが分かる。このとき、信号線 5 は、ダイオード 3 の逆方向バイアス及び nMOS トランジスタ 1 のオフ動作によって分離されるので、シフトした高電圧レベルは、期間 T 2 において保持される。

次に、容量 C を放電するプリチャージ期間 T 3 に入力信号 Φ が高レベルに変化すると、インバータ 7 の pMOS トランジスタ 2 がオフし、nMOS トランジスタ 1 がオンする。これにより、信号線 5 から Vss に向かって放電電流が流れて電圧 Vc は下降する。ダイオード 4 の順方向電圧を Vf とすると、電圧 Vc は、 $Vc = Vss + Vf$ に至る。期間 T 3 では、イ

ンバータ 8 の入力信号 Ψ は低レベルのままであり、インバータ 8 の出力電圧 V_b は高 V_{dd} にある。従って、容量 C の充電電圧はほぼ $V_c - V_{dd}$ となる。

次いで、スイッチ SW をスイッチングする期間 T_4 で入力信号 Ψ を高
 5 レベルにすると、即ち、入力信号 Ψ が入力信号 Φ より期間 T_3 だけ遅れて高レベルになると、インバータ 8 は反転し、出力電圧 V_b は低レベル V_{ss} に変化する。この電圧変化 ($V_{dd} - V_{ss}$) は、容量 C を通じて信号線 5 の電圧 V_c を、($V_{dd} - V_{ss}$) だけシフトして低電圧レベルに至り、 $V_c = V_{ss} + V_f - (V_{dd} - V_{ss})$ となる。 V_f はダイオード 4 の順方向電圧であ
 10 り、($V_{dd} - V_{ss}$) は一般的に V_f より大きいので、 $V_c < V_{ss}$ となり、低電圧レベルは接地電圧 V_{ss} 以下になることが分かる。このとき、信号線 5 は、ダイオード 4 の逆方向バイアス及び pMOS トランジスタ 2 のオフ動作によって分離されるので、シフトした低電圧レベルは期間 T_4 において保持される。

15 アナログスイッチ SW が nMOS トランジスタの場合、期間 T_2 の高電圧レベルによってスイッチ SW が十分にオンになり、期間 T_4 の低電圧レベルによってスイッチ SW が十分にオフになる。具体的には、 $V_{dd} = 2 \text{ V}$ 、 $V_{ss} = 0 \text{ V}$ 、 $V_{th} = 0.6 \text{ V}$ とし、 V_f として一般的な 0.7 V を採用して、

20 オン動作では、

$$V_{gs} - V_{th} = V_c - (V_{in} + V_{th}) = 1.7 \text{ V}$$

オフ動作では、

$$V_{gs} - V_{th} = V_c - (V_{in} + V_{th}) = -1.9 \text{ V}$$

となり、従来のそれぞれ 0.4 V 、 -0.6 V を大幅に上回り、スイッ
 25 チ SW が十分にオンオフされることが分かる。

また、アナログスイッチ SW が pMOS トランジスタの場合は、逆に、

期間 T 4 の低電圧レベルによってスイッチ SW が十分にオンになり、期間 T 2 の高電圧レベルによってスイッチ SW が十分にオフになる。

なお、容量 C の実際は、充放電時定数のため前記した計算値を下回り、また、電圧 Vb が変化したときの電圧 Vc の実際は、信号線 5 に浮遊容量
5 がありそれによって容量 C の充電電圧が変化するため、前記した計算値を下回る。従って、容量 C の充電電圧が前記計算値に近い電圧となるよう充放電時定数が期間 T 1 及び期間 T 3 よりも短かく設定され、容量 C の容量値の上限がそのような充放電時定数によって設定される。また、電圧 Vc が前記計算値に近い電圧となるよう、容量 C の容量値は、信号
10 線 5 の浮遊容量のそれよりも大きく設定され、その下限が設定される。

ここで、本実施例の MOS 駆動回路の集積回路構造について説明する。同回路のインバータ 7 の集積回路構造を第 3 図に示す。同図の CMOS・IC の断面構造において、インバータ 7 を構成する nMOS トランジスタ 1 は、p 形基板 2 1 に形成され、pMOS トランジスタ 2 は、p 形基板 2
15 1 内に形成された n 形ウェル領域 2 2 に形成される。ダイオード 3 は、n 形ウェル領域 2 2 内の p 形ウェル 2 3 と n 形拡散層によって形成され、ダイオード 4 は、独立した n 形ウェル 2 4 と同ウェル領域内の p 形拡散層によって形成される。このように本実施例のインバータ 7 は、CMOS・IC により容易に実現することができる。

20 容量 C は、MOS トランジスタのゲート端子とソース端子によって形成される MOS 容量によって実現される。容量 C としてその他に、ゲート端子とドレイン端子によって形成される MOS 容量を用いることができるほか、通常のメタル配線層やポリシリコン配線層、拡散層等を電極として採用した容量素子を用いることができる。これらは、いずれも通
25 常の CMOS・IC で実現することができるものである。また、インバータ 8 は、云うまでもなく通常の CMOS・IC で実現される。

なお、基板 21 は p 形としたが、n 形基板においても同様に本発明の MOS・IC を実現することができる。さらに、他の集積回路プロセス、例えば SOI (Silicon On Insulator) 等においても同様に本発明の MOS 駆動回路を構成することが可能である。

- 5 以上により、本実施例によれば、電源電圧のフルスケール ($V_{dd}-V_{ss}$) を越えて論理ゲート (インバータ 7) の出力レベルを大幅に拡大することができ、低電圧の電源を採用する場合において、アナログスイッチ SW を十分駆動することができる。これにより、微細化 CMOS においても、アナログスイッチを集積回路化 (オンチップ化) することが可能になり、
10 それによって集積回路の機能を向上させ、更に、部品点数の増大を防ぎ、集積回路を低価格化することができる。

(実施例 2)

- 第 1 の電流経路の電流逆流阻止用ダイオードを pMOS トランジスタのソース側に配置した実施例を第 4 図に示す。同図において、2a は、
15 第 1 の電流経路の pMOS トランジスタ、3a は、pMOS トランジスタ 2a のソース側に配置したダイオード、7a は、トランジスタ 1, 2a、ダイオード 3a, 4 及び入出力端子 5, 20 によって形成されるインバータである。その他の構造は、第 1 図に示したのと同じである。

- 本実施例も実施例 1 と同様、インバータ 8 によって駆動される容量 C
20 を介してインバータ 8 の出力のレベル変化が信号線 5 に伝えられ、それによって振幅が拡大した制御電圧 V_c が得られる。

- 本実施例の MOS 駆動回路の動作は、実施例 1 のタイミングと同様に行なわれる。即ち、期間 T2 及び T4 期間に容量 C を通じて電圧シフト ($V_{dd}-V_{ss}$) が行なわれる。このとき、信号線 5 は、ダイオード 3a
25 及びダイオード 4 の逆方向バイアスによって分離されるので、シフトによって電源電圧のフルスケール以上に拡大した高電圧レベル及び低電圧

レベルがそれぞれ期間 T 2 及び期間 T 4 において保持される。期間 T 2 の高電圧レベル及び期間 T 4 の低電圧レベルは、アナログスイッチ SW が nMOS トランジスタ及び pMOS トランジスタのいずれの場合も、スイッチ SW を十分にオンオフすることができる。

- 5 次に、インバータ 7 a の集積回路構造を第 5 図に示す。同図の CMOS・IC の断面構造において、 nMOS トランジスタ 1 は p 形基板 2 1 に形成され、pMOS トランジスタ 2 a は p 形基板 2 1 内に形成された n 形ウェル領域 2 2 に形成される。ダイオード 3 a は、独立した n 形ウェル 2 5 と同ウェル内の p 形拡散層で実現される。また、ダイオード 4 は、独立した n 形ウェル 2 4 と同ウェル内の p 形拡散層で実現される。このよう
10 に、本実施例のインバータ 7 a は、通常の低価格 CMOS・IC で容易に実現することができる。

(実施例 3)

- 15 実施例 1 の第 2 の電流経路の電流逆流阻止用ダイオードを省略した実施例を第 6 図に示す。同図において、9 は、第 2 の電流経路が nMOS トランジスタ 1 のみによって形成されるインバータ、SWn は、nMOS トランジスタによるアナログスイッチ、Vcn は、スイッチ SWn のゲート端子に与える制御電圧である。その他の構造は、第 1 図に示したのと同ーである。

- 20 本実施例も実施例 1 と同様、インバータ 8 によって駆動される容量 C を介してインバータ 8 の出力のレベル変化が信号線 5 に伝えられるが、制御電圧の低電圧レベルは、後述するように、ほぼ Vss に抑えられる。

- 25 本実施例の MOS 駆動回路の動作タイミングを第 7 図に示す。期間 T 1 ~ 期間 T 3 の動作は、実施例 1 の場合と同様であり、制御電圧 Vcn は、電源電圧を越える高電圧レベルの $V_{cn} = V_{dd} - V_f + (V_{dd} - V_{ss}) > V_{dd}$ に至る。この制御電圧 Vcn は、ダイオード 3 の逆方向バイアス及び nMOS

トランジスタ 1 のオフ動作によって分離され、期間 T 2 において保持される。続く期間 T 3 で電圧 Vcn は下降し、ほぼ Vss に至る。

期間 T 4 の動作は、実施例 1 の場合と異なる。期間 T 4 で入力信号 Ψ を高レベルにすると、インバータ 8 は反転し、出力電圧 Vb は低レベル
5 に変化する。この電圧変化 ($V_{dd}-V_{ss}$) は、容量 C を通じて信号線 5 の電圧 Vcn を ($V_{dd}-V_{ss}$) だけシフトするように作用するが、信号線 5 は、nMOS トランジスタ 1 のオン動作によって Vss に接続されるので、シフトした低電圧レベルは期間 T 4 において Vss に漸近する。

期間 T 2 の制御電圧 Vcn の高電圧レベルは、スイッチ SWn を十分に
10 オンすることができる。一方、期間 T 4 の低電圧レベルは、ほぼ Vss であるが、実施例 1 の場合と同じ電圧条件で、 $V_{gs}-V_{th}=-0.6\text{ V}$ となり、スイッチ SWn のオフが確保される。

次に、本実施例のインバータ 9 の集積回路構造を第 8 図に示す。同図の CMOS・IC の断面構造において、nMOS トランジスタ 1 は p 形基板
15 21 に、また pMOS トランジスタ 2 は p 形基板 21 内の n 形ウェル領域 22 に形成される。ダイオード 3 は、独立した n 形ウェル 25 と同ウェル内の p 形拡散層で実現される。このようにして、本実施例のインバータ 9 は、通常の低価格 CMOS・IC で容易に実現することができる。

なお、本実施例では、第 2 の電流経路を nMOS トランジスタ 1 のみに
20 よって形成したが、これに限らず、nMOS トランジスタ 1 と接地との間に電流逆流阻止用のダイオードを配置することが可能である。期間 T 4 の制御信号 Vc の電圧レベルを、実施例 1 の場合と同様、接地電圧 Vss 以下とすることができる。

(実施例 4)

25 実施例 4 のダイオードを nMOS トランジスタに置き換えた実施例を第 9 図に示す。同図において、10 は、ゲート端子とドレイン端子を結

び、その接続点を pMOS トランジスタ 2 のドレイン端子に接続し、ソース端子を信号線 5 に接続した nMOS トランジスタ、9 a は、そのようなトランジスタ 10 を有するインバータである。その他の構造は、第 6 図に示したのと同じである。

- 5 ゲート端子とドレイン端子を結んだ nMOS トランジスタ 10 は、pn 接合ダイオードと同様に振舞い、ドレイン端子からソース端子に向かって電流を流し、電源電圧 V_{dd} から信号線 5 への充電電流の電流経路を形成する。しかし、逆方向には電流を流さない。

- 10 本実施例の MOS 駆動回路の動作は、第 7 図に示した実施例 3 の動作タイミングと同様に行なわれる。期間 T 2 に nMOS トランジスタ 10 によって信号線 5 が分離され、同期間に制御電圧 V_{cn} が高電圧レベルに保持される。これにより、nMOS トランジスタによるアナログスイッチ SW_n は、十分なオン動作を行なうことができる。期間 T 4 の低電圧レベルは、ほぼ V_{ss} となり、スイッチ SW_n のオフが確保される。

- 15 なお、本実施例では、第 2 の電流経路を nMOS トランジスタ 1 のみによって形成したが、これに限らず、nMOS トランジスタ 1 と電流逆流阻止用ダイオードの直列接続によって形成することが可能である。期間 T 4 の制御信号 V_c の電圧レベルを、実施例 1 の場合と同様、接地電圧 V_{ss} 以下とすることができる。

20 (実施例 5)

- 実施例 4 のダイオード動作 nMOS トランジスタのゲート端子を分離した実施例を第 10 図に示す。同図において、11 は、ゲート端子を分離し、同端子に入力信号 X を印加するようにした nMOS トランジスタ、9 b は、そのようなトランジスタ 11 を有するインバータである。その他の構造は、第 9 図に示したのと同じである。入力信号 X が高レベルの
25 ときは nMOS トランジスタ 11 のチャネルはオンとなり、X が低レベル

のときはチャネルはオフとなる。

本実施例の MOS 駆動回路の動作は、第 7 図に示した実施例 3 の動作
タイミングに準じて行なわれる。但し、入力信号 X は、期間 T 1 に高レ
ベルとなり、nMOS トランジスタ 11 をオンにする。期間 T 2 ~ 期間 T
5 4 では、入力信号 X は、低レベルとなり、nMOS トランジスタ 11 をオ
フにする。

期間 T 1 において入力信号 Φ が低レベルになると、pMOS トランジス
タ 2 がオンになり、nMOS トランジスタ 1 がオフになる。このとき、
nMOS トランジスタ 11 のチャネルがオンになっているので、電源 Vdd
10 から信号線 5 に向かって充電電流が流れ、電圧 Vcn は上昇する。期間 T
1 では、インバータ 8 の入力信号 Ψ は高レベルであり、出力電圧 Vb
は低レベルにある。

次に、期間 T 2 で入力信号 Ψ を低レベルに変化させると、インバータ
8 は反転し、出力電圧 Vb は高レベルに変化する。この電圧変化は、容
15 量 C を通じて信号線 5 に伝えられ、Vcn は高電圧レベル ($V_{cn} > V_{dd}$)
にシフトする。このとき、nMOS トランジスタ 11 のチャネルはオフに
なっており、これによって信号線 5 が分離されるので、シフトした高電
圧レベルは T 2 期間において保持される。これにより、nMOS トランジ
スタによるアナログスイッチ SWn は、十分なオン動作を行なうことが
20 できる。

期間 T 3 及び期間 T 4 の動作は、実施例 4 と同じであり、期間 T 4 に
おいて Vss に漸近する制御電圧 Vcn が得られ、スイッチ SWn のオフが
確保される。

なお、本実施例では、第 2 の電流経路を nMOS トランジスタ 1 のみに
25 よって形成したが、これに限らず、nMOS トランジスタ 1 と電流逆流阻
止用ダイオードの直列接続によって形成することが可能である。期間 T

4の制御信号 V_c の電圧レベルを、実施例1の場合と同様、接地電圧 V_{ss} 以下とすることができる。

(実施例6)

実施例3の pMOS トランジスタ2をインバータに置き換えた実施例5を第11図に示す。同図において、13は、入力信号 Φ を入力し、出力側をダイオード3に接続したインバータ、12は、そのようなインバータ13を有するインバータである。その他の構造は、第6図に示したのと同じである。

入力信号 Φ が低レベルのときは、インバータ13の出力は電源電圧10 V_{dd} になり、信号線5を高レベルに充電する。また、入力信号 Φ が高レベルのときは、インバータ13の出力は接地電圧 V_{ss} になると共にダイオード3がオフとなり、オンとなる nMOS トランジスタ1を通じて信号線5は、低レベル V_{ss} に放電される。

本実施例の MOS 駆動回路の動作は、第7図に示した実施例3の動作15 タイミングと同様に行なわれる。ダイオード3によって信号線5の分離がなされるため、期間 T_2 に高電圧レベルの V_{cn} が保持される。これにより、nMOS のアナログスイッチ SW_n は十分なオン動作を行うことができる。期間 T_4 の低電圧レベルは、ほぼ V_{ss} となり、スイッチ SW_n のオフが確保される。

20 (実施例7)

実施例1の第1の電流経路の電流逆流阻止用ダイオードを省略した実施例を第12図に示す。同図において、14は、第1の電流経路が pMOS トランジスタ2のみによって形成されるインバータ、 SW_p は、pMOS トランジスタによるアナログスイッチ、 V_{cp} は、スイッチ SW_p 25 のゲート端子に与える制御電圧である。インバータ14の入力端子6には、実施例1の入力信号 Φ を反転した入力信号 $\overline{\Phi}$ が印加され、インバー

タ 8 には、実施例 1 の入力信号 Ψ を反転した入力信号 $\overline{\Psi}$ が印加される。その他の構造は、第 1 図に示したのと同じである。

インバータ 14 は、入力信号 $\overline{\Phi}$ の反転信号を信号線 5 に出力する。入力信号 $\overline{\Psi}$ に応じて変化するインバータ 8 の出力信号が容量 C を介して
5 信号線 5 に伝えられる。また、信号線 5 の制御信号 V_{cp} は、アナログスイッチ SW_p のゲート端子に印加され、スイッチ SW_p のオンオフ動作を制御する。

本実施例の MOS 駆動回路の動作タイミングを第 13 図に示す。期間
T 1 で入力信号 $\overline{\Phi}$ が高レベルになると、インバータ 14 は、nMOS トラ
10 ンジスタ 1 がオンになり、pMOS トランジスタ 2 がオフになる。これにより、信号線 5 から接地電圧 V_{ss} に向かって放電電流が流れて、電圧 V_{cp} は下降し、 $V_{cp} = V_{ss} + V_f$ に至る。 V_f はダイオード 4 の順方向電圧である。期間 T 1 では、インバータ 8 の入力信号 $\overline{\Psi}$ は低レベルにあり、出力電圧 $\overline{V_b}$ は高レベル V_{dd} にある。

次に、期間 T 2 で入力信号 $\overline{\Psi}$ を高レベルに変化させると、インバータ
15 8 は反転し、出力電圧 $\overline{V_b}$ は、低レベル V_{ss} に変化する。この電圧変化 ($V_{dd} - V_{ss}$) は、容量 C を通じて信号線 5 に伝えられ、 V_{cp} は ($V_{dd} - V_{ss}$) だけシフトして低電圧レベルの $V_{cp} = V_{ss} + V_f - (V_{dd} - V_{ss})$ に至る。実施例 1 と同じ電圧条件で $V_{cp} < V_{ss}$ となり、 V_{cp} は接地電圧
20 V_{ss} 以下の低電圧レベルになる。このとき、信号線 5 は、ダイオード 4 の逆方向バイアス及び pMOS トランジスタ 2 のオフ動作によって分離されるので、上記低電圧レベルが期間 T 2 において保持される。

T 3 期間に入力信号 $\overline{\Phi}$ が低レベルに変化すると、pMOS トランジスタ
2 がオンになり、nMOS トランジスタ 1 がオフになる。これにより、電
25 源 V_{dd} から信号線 5 に向かって充電電流が流れ、電圧 V_{cp} は上昇し、ほぼ V_{dd} に至る。

次いで、期間 T 4 で入力信号 $\overline{\Psi}$ を低レベルにし、インバータ 8 を反転すると、出力電圧 $\overline{Vb}$ は高レベル Vdd に変化する。この電圧変化 (Vdd - Vss) は、容量 C を通じて信号線 5 の電圧 Vcp を、(Vdd - Vss) だけシフトするように作用するが、信号線 5 は、pMOS トランジスタ 2 のオン動作によって Vdd に接続されるので、シフトした高電圧レベルは、期間 T 4 において Vdd に漸近していく。

期間 T 2 の制御電圧 Vcp の低電圧レベルは、スイッチ SWp を十分にオンすることができる。具体的には、Vdd = 2 V、Vss = 0 V、Vth = -0.6 V とし、Vf として一般的な = 0.7 V を採用して、

10 $V_{gs} - V_{th} = V_c - (V_{in} + V_{th}) = -1.7 V$

となり、従来の -0.4 V を大幅に低下させることができる。

一方、期間 T 4 の高電圧レベルは、ほぼ Vdd であるが、実施例 1 の場合と同じ電圧条件で、 $V_{gs} - V_{th} = 0.6 V$ となり、スイッチ SWp のオフが確保される。

15 次に、本実施例のインバータ 14 の集積回路構造を第 14 図に示す。同図の CMOS・IC の断面構造において、nMOS トランジスタ 1 は p 形基板 21 に、また、pMOS トランジスタ 2 は p 形基板 21 内の n 形ウェル領域 22 に形成される。ダイオード 4 は、独立した n 形ウェル 24 と同ウェル内の p 形拡散層で実現される。このように、本実施例のインバータ 14 は、通常

20 の低価格 CMOS・IC で容易に実現することができる。

なお、本実施例においては、電流逆流阻止用の素子をダイオード 4 としたが、これに限らず、ゲート端子をドレイン端子に接続した pMOS トランジスタとすることが可能であり、それとは別に、ゲート端子に入力信号 $\overline{X}$ を与える pMOS トランジスタとすることが可能である。更に、これら

25 のいずれの場合も、pMOS トランジスタ 2 と電源との間に、電流逆流阻止用のダイオードを配置することが可能である。

(実施例 8)

アナログスイッチを nMOS トランジスタと pMOS トランジスタの並列接続で構成し、nMOS トランジスタを実施例 3 の MOS 駆動回路で、pMOS トランジスタを実施例 7 の MOS 駆動回路で駆動するようにした

5 実施例を第 15 図に示す。同図において、15 は、nMOS トランジスタによるスイッチ SW_n と pMOS トランジスタによるスイッチ SW_p とを並列接続したアナログスイッチである。スイッチ SW_n 用の MOS 駆動回路は、第 6 図に示したのと同じであり、スイッチ SW_p 用の MOS 駆動回路は、第 12 図に示したのと同じである。

10 スイッチ SW_n は信号線 5 a の制御電圧 V_{cn} によって制御され、スイッチ SW_p は信号線 5 b の制御電圧 V_{cp} によって制御される。インバータ 8 及び容量 C とインバータ 9 とによって電圧 V_{cn} は高電圧レベルが得られ、同じく別のインバータ 8 及び容量 C とインバータ 14 とによって V_{cp} は低電圧レベルが得られる。ここで、入力信号 Φ と Ψ 及び入力信号
15 $\overline{\Phi}$ と $\overline{\Psi}$ は、それぞれ第 7 図及び第 13 図の動作タイミングに従い、期間 T₂ においてスイッチ SW_n 及びスイッチ SW_p をそれぞれオンにし、期間 T₄ においてスイッチ SW_n 及びスイッチ SW_p をそれぞれオフにする。

期間 T₂ の電源電圧のフルスケールを越えた制御電圧、即ち電圧 V_{cn} の高電圧レベルと電圧 V_{cp} の低電圧レベルによって、アナログスイッチ
20 15 は十分にオン動作を行うことができる。

本実施例のインバータ 8, 9, 14 及び容量 C は、上述のように、通常の低価格 CMOS・IC で容易に実現することができ、本発明により、アナログスイッチを集積化した低電源電圧動作の MOS 集積回路を実現することができる。

25 (実施例 9)

駆動対象を出力ドライバ回路とした実施例を第 16 図に示す。同図に

において、16は、nMOS トランジスタによる出力ドライバ回路、Lは、出力ドライバ回路16が駆動する外部負荷である。出力ドライバ回路16は、第6図に示した実施例3のMOS 駆動回路によって駆動される。

即ち、信号線5が出力ドライバ16を構成するnMOS トランジスタのゲート端子に接続され、制御電圧 V_{cn} によって出力ドライバ16のオンオフ動作が制御される。実施例3の場合と同様に、インバータ9と、インバータ8及び容量Cとによって、電圧 V_{cn} は、高電圧レベル($V_{cn} > V_{dd}$)を得ることができる。この高電圧レベルにより、出力ドライバ16は、十分なオン動作を行ない、寄生インピーダンス r が存在する場合にも、外部負荷Lに十分な駆動電流を供給することができる。

以上述べたように、本発明によれば、電源電圧のフルスケールを越えた信号レベルの制御電圧を出力する駆動回路を実現することができるので、アナログスイッチ等を十分にオン・オフ動作させることが可能な低電圧電源動作の微細化プロセスによるMOS 集積回路を提供することができる。低電圧動作が困難になるアナログ回路、特にMOS アナログスイッチの微細化CMOS・ICへのオンチップ化が可能となり、これによって集積回路の機能を向上させることができると共に、部品点数の増大を防ぐことができる。その結果、集積回路を用いた各種機器を低価格化することができる。

20 産業上の利用可能性

以上のように、本発明は、微細化プロセスによって低い電源電圧の採用が避けられないMOS 集積回路に有用であり、特にアナログ回路が混在するCMOS 集積回路に適用して好適である。

請 求 の 範 囲

1. pチャネル形 MOS (Metal Oxide Semiconductor) トランジスタの
ゲート端子と nチャネル形 MOS トランジスタのゲート端子とを相互に
5 接続して入力端子とし、当該入力端子に入力した信号を反転して出力す
る MOS 集積回路において、

第 1 の電源と出力端子の間に形成される p チャネル形 MOS トランジ
スタによる電流経路及び第 2 の電源と出力端子の間に形成される n チャ
ネル形 MOS トランジスタによる電流経路の少なくともいずれか一方の
10 電流経路に電流逆流阻止用の半導体素子を付加し、かつ、容量結合によ
って電圧をシフトする回路手段を出力端子に設けたことを特徴とする
MOS 集積回路。

2. 前記電圧シフト回路手段は、一方の端子を前記出力端子に接続した
容量素子と、当該容量素子の他方の端子に接続した論理ゲートとからな
15 り、当該論理ゲートは、前記入力端子への入力信号を反転し、かつ、所
定の時間遅延した信号を出力するものであることを特徴とする請求の範
囲第 1 項に記載の MOS 集積回路。

3. 前記容量素子は、その容量値が、前記電流経路の呈する時定数が前
記所定の遅延時間となる容量値よりも小さく、前記出力端子に付加され
20 る浮遊容量の容量値よりも大きいことを特徴とする請求の範囲第 2 項に
記載の MOS 集積回路。

4. pチャネル形 MOS トランジスタと出力端子の間に pn 接合ダイオー
ドを電流逆流阻止用の半導体素子として接続し、更に、nチャネル形 MOS
トランジスタと出力端子の間に別の pn 接合ダイオードを別の電流逆流
25 阻止用の半導体素子として接続したことを特徴とする請求の範囲第 2 項
に記載の MOS 集積回路。

5. p チャネル形 MOS トランジスタと出力端子の間に pn 接合ダイオードを電流逆流阻止用の半導体素子として接続したことを特徴とする請求の範囲第 2 項に記載の MOS 集積回路。
6. n チャネル形 MOS トランジスタと出力端子の間に pn 接合ダイオードを電流逆流阻止用の半導体素子として接続したことを特徴とする請求の範囲第 2 項に記載の MOS 集積回路。
7. p チャネル形 MOS トランジスタと出力端子の間にゲート端子をドレイン端子に接続した別の n チャネル形 MOS トランジスタを電流逆流阻止用の半導体素子として接続したことを特徴とする請求の範囲第 2 項に記載の MOS 集積回路。
8. n チャネル形 MOS トランジスタと出力端子の間にゲート端子をドレイン端子に接続した別の p チャネル形 MOS トランジスタを電流逆流阻止用の半導体素子として接続したことを特徴とする請求の範囲第 2 項に記載の MOS 集積回路。
9. p チャネル形 MOS トランジスタと出力端子の間に別の n チャネル形 MOS トランジスタを電流逆流阻止用の半導体素子として接続し、かつ、当該別の n チャネル形 MOS トランジスタのゲート端子を別の入力端子として用いることを特徴とする請求の範囲第 2 項に記載の MOS 集積回路。
10. 10. n チャネル形 MOS トランジスタと出力端子の間に別の p チャネル形 MOS トランジスタを電流逆流阻止用の半導体素子として接続し、かつ当該別の p チャネル形 MOS トランジスタのゲート端子を別の入力端子として用いることを特徴とする請求の範囲第 2 項に記載の MOS 集積回路。
11. 11. n チャネル形 MOS トランジスタと第 2 の電源の間に別の pn 接合ダイオードを別の電流逆流阻止用の半導体素子として接続したことを特

徴とする請求の範囲第 5 項に記載の MOS 集積回路。

1 2 . n チャネル形 MOS トランジスタと第 2 の電源の間に pn 接合ダイオードを別の電流逆流阻止用の半導体素子として接続したことを特徴とする請求の範囲第 7 項に記載の MOS 集積回路。

5 1 3 . n チャネル形 MOS トランジスタと第 2 の電源の間に pn 接合ダイオードを別の電流逆流阻止用の半導体素子として接続したことを特徴とする請求の範囲第 9 項に記載の MOS 集積回路。

1 4 . p チャネル形 MOS トランジスタと第 1 の電源の間に別の pn 接合ダイオードを別の電流逆流阻止用の半導体素子として接続したことを特

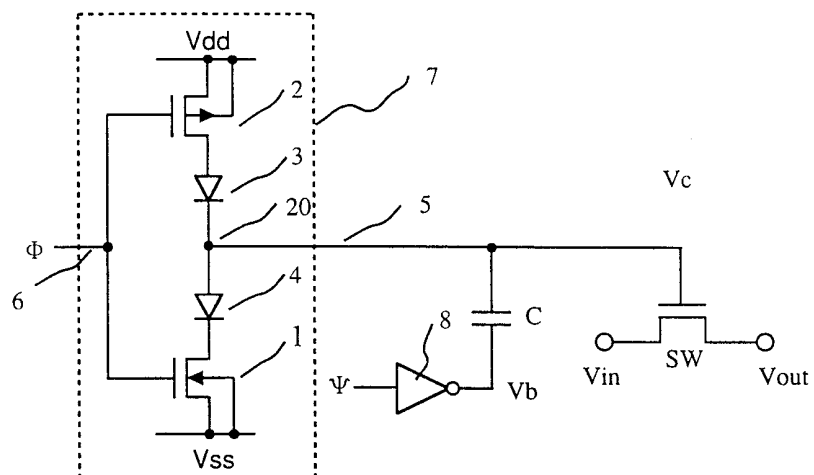
10 徴とする請求の範囲第 6 項に記載の MOS 集積回路。

1 5 . p チャネル形 MOS トランジスタと第 1 の電源の間に pn 接合ダイオードを別の電流逆流阻止用の半導体素子として接続したことを特徴とする請求の範囲第 8 項に記載の MOS 集積回路。

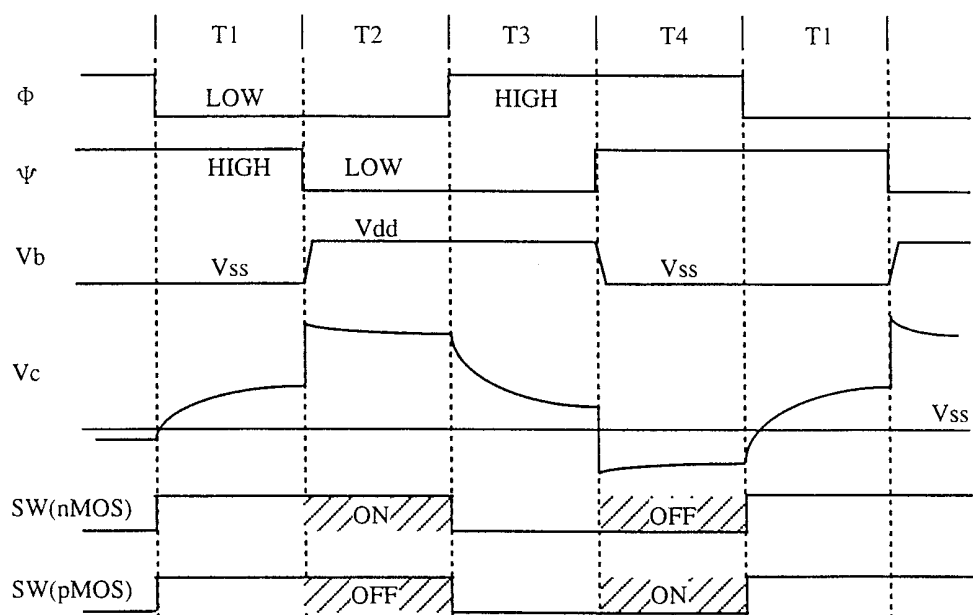
1 6 . p チャネル形 MOS トランジスタと第 1 の電源の間に pn 接合ダイ
15 オードを別の電流逆流阻止用の半導体素子として接続したことを特徴とする請求の範囲第 1 0 項に記載の MOS 集積回路。

1 / 9

第 1 図

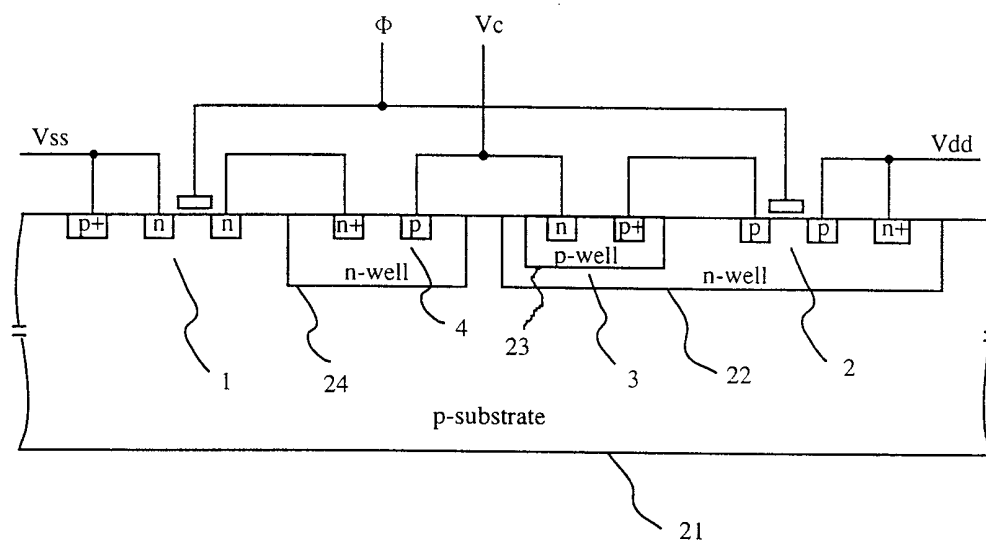


第 2 図

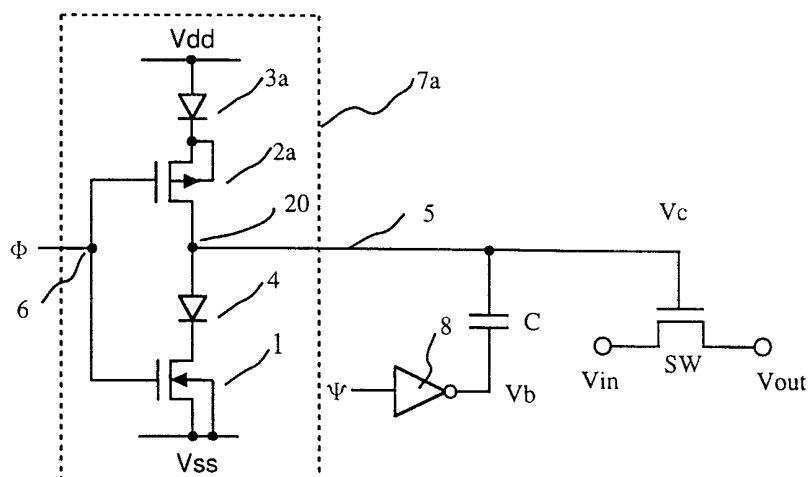


2 / 9

第 3 図

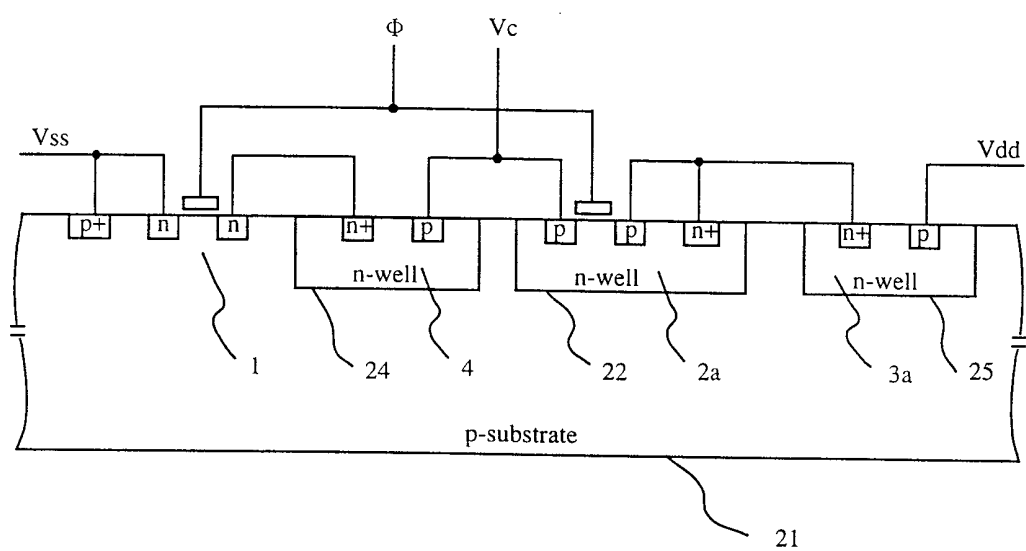


第 4 図

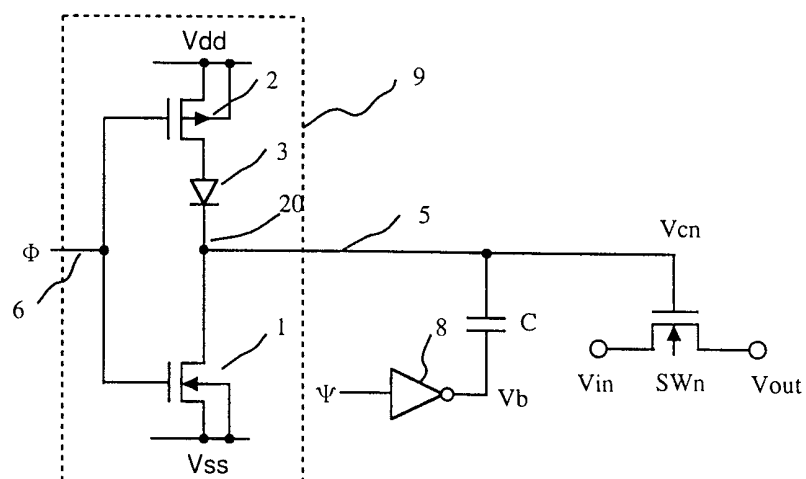


3 / 9

第 5 図

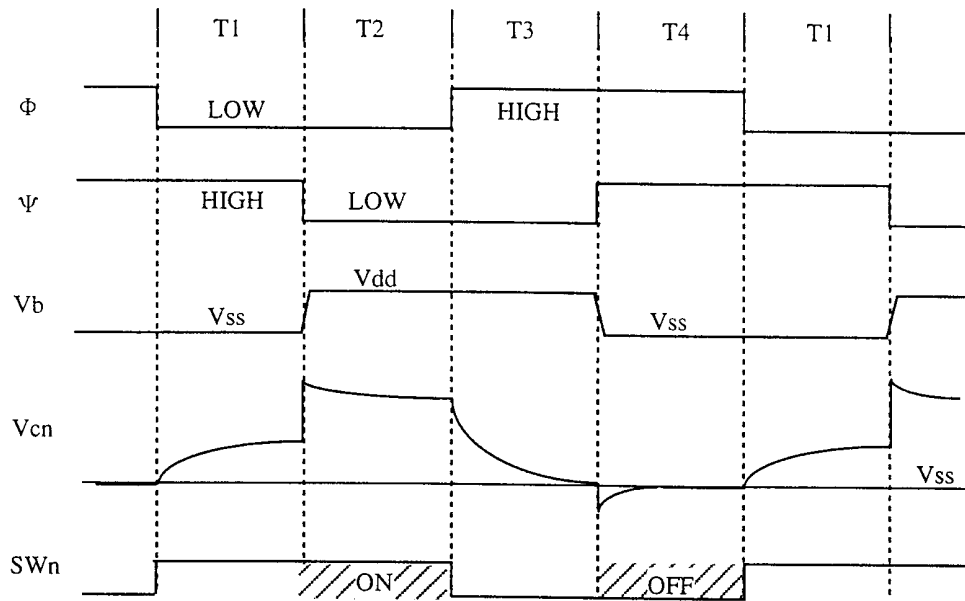


第 6 図

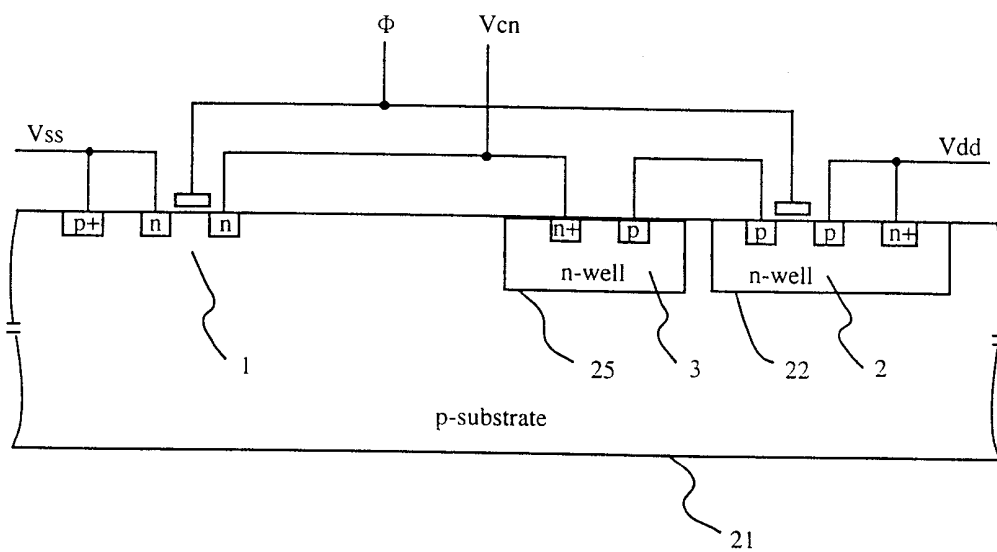


4 / 9

第 7 図

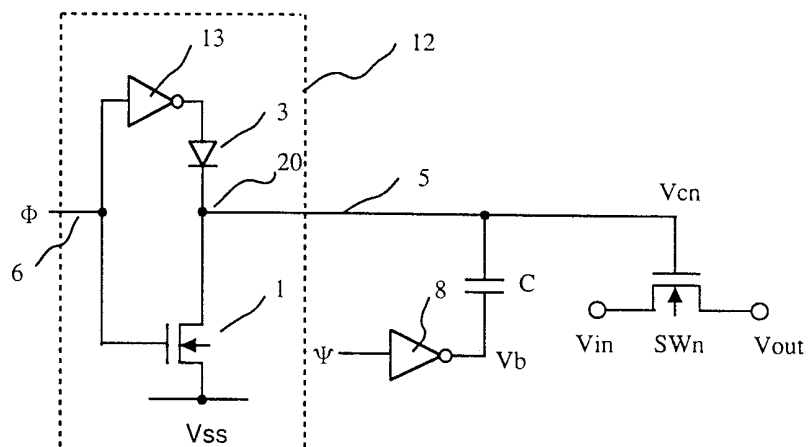


第 8 図

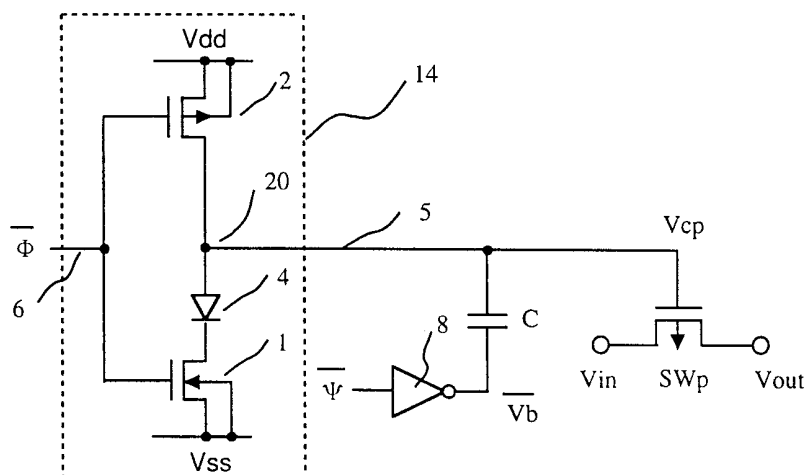


6 / 9

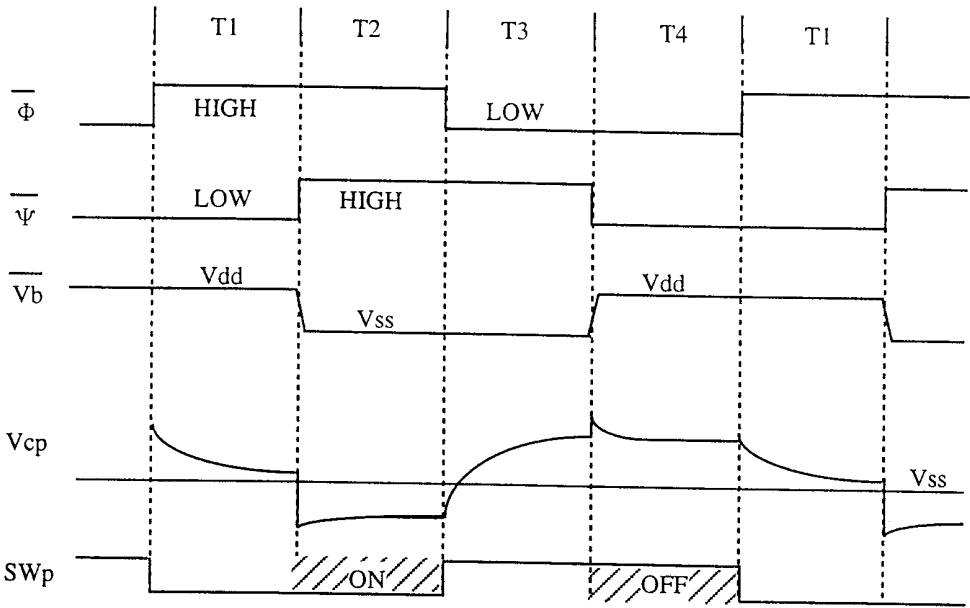
第 1 1 図



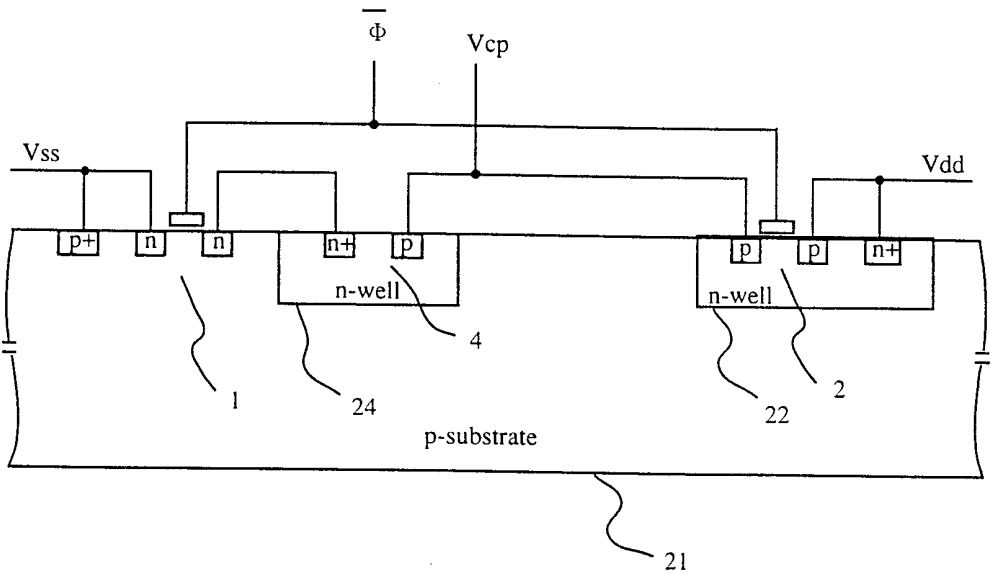
第 1 2 図



第 1 3 図

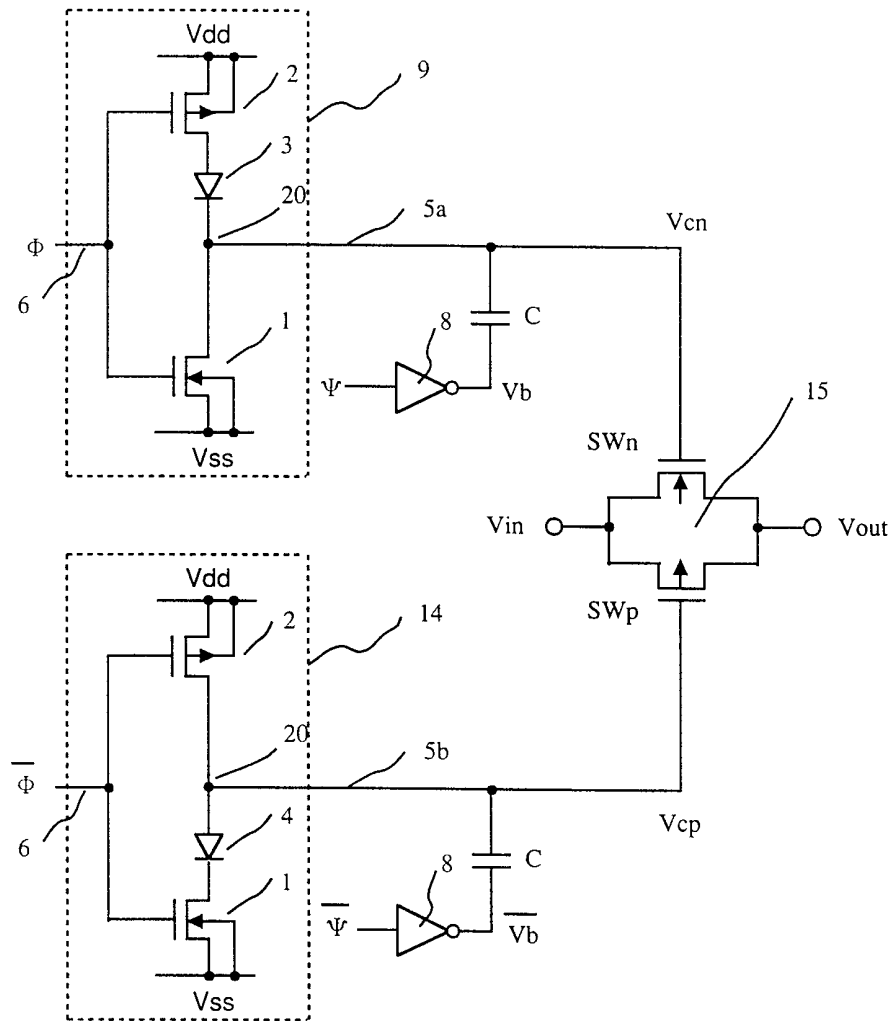


第 1 4 図

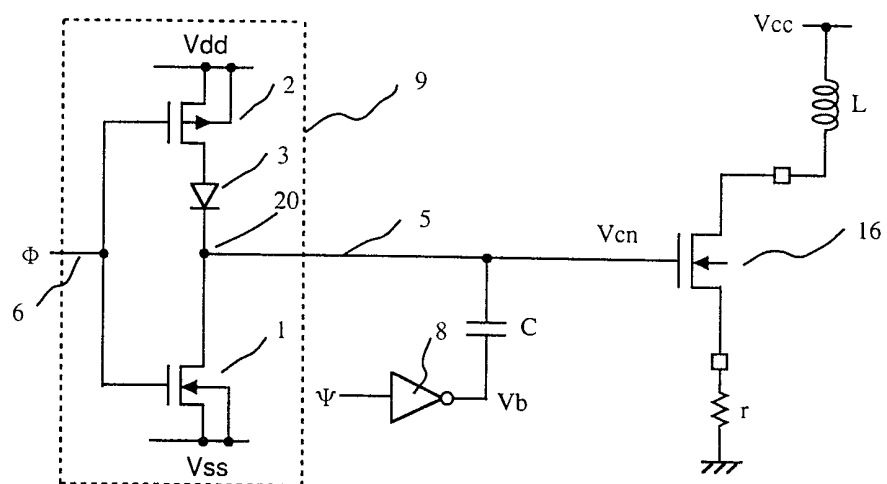


8 / 9

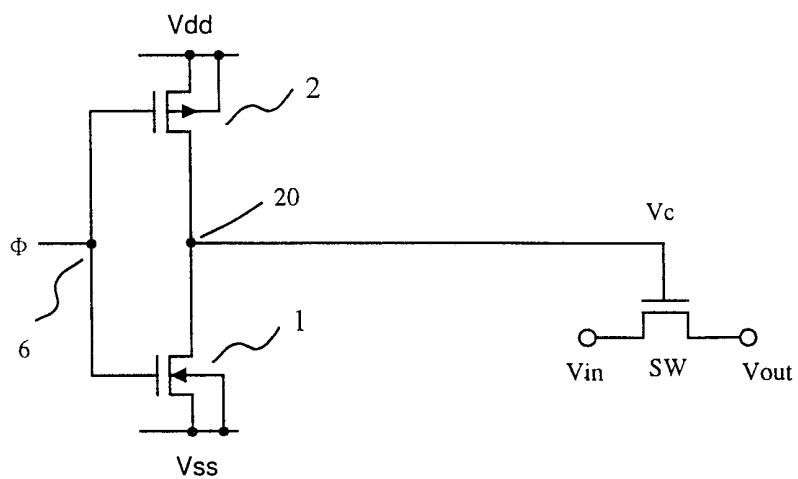
第 1 5 図



第 1 6 図



第 1 7 図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/03440

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁶ H03K17/06				
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁶ H03K17/06				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho (Y1, Y2) 1926-1998 Toroku Jitsuyo Shinan Koho (U) 1994-1998 Kokai Jitsuyo Shinan Koho (U) 1971-1998 Jitsuyo Shinan Toroku Koho (Y2) 1996-1998				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
X	JP, 06-204756, A (Sony Corp.), 22 July, 1994 (22. 07. 94), Par. Nos. [0017] to [0028] (Family: none)	1-3		
Y		1-16		
X	JP, 04-108215, A (NEC Kansai, Ltd.), 9 April, 1992 (09. 04. 92), Page 1, lower left column, line 13 to page 2, upper right column, line 3 (Family: none)	1		
Y		1-16		
Y	JP, 03-92832, U (Fuji Electric Co., Ltd.), 20 September, 1991 (20. 09. 91) (Family: none)	4-8, 11-16		
Y	JP, 04-262615, A (Siemens AG.), 18 September, 1992 (18. 09. 92), Fig. 1 ; page 5, right column, lines 39 to 44 & EP, 472971, A	4-8, 11-16		
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.				
<table border="0"> <tr> <td style="vertical-align: top;"> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search 21 October, 1998 (21. 10. 98)		Date of mailing of the international search report 4 November, 1998 (04. 11. 98)		
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer		
Facsimile No.		Telephone No.		

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/03440

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 61-255588, A (Seiko Epson Corp.), 13 November, 1986 (13. 11. 86), Page 2, upper right column, line 18 to page 3, upper left column, line 3 (Family: none)	9, 10
Y	JP, 63-114316, A (NEC Corp.), 19 May, 1988 (19. 05. 88) (Family: none)	9, 10
A	JP, 62-154663, A (NEC Corp.), 9 July, 1987 (09. 07. 87), Figs. 1 to 2 (Family: none)	7, 8

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁶ H03K17/06		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁶ H03K17/06		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 (Y1, Y2) 1926-1998 日本国公開実用新案公報 (U) 1971-1998 日本国登録実用新案公報 (U) 1994-1998 日本国実用新案登録公報 (Y2) 1996-1998		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 06-204756, A (ソニー株式会社), 22. 7月. 1994 (22. 07. 94), 【0017】-【0028】, (ファミリーなし)	1-3
Y		1-16
X	JP, 04-108215, A (関西日本電気株式会社), 9. 4 月. 1992 (09. 04. 92), 第1頁, 左下欄, 第13行- 第2頁右上欄, 第3行目 (ファミリーなし)	1
Y		1-16
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 21. 10. 98		国際調査報告の発送日 04.11.98
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 野元 久道 印 電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 03-92832, U (富士電機株式会社), 20. 9月. 1991 (20. 09. 91) (ファミリーなし)	4-8, 11-16
Y	J P, 04-262615, A (シーメンス アクチエンゲゼルシ ヤフト), 18. 9月. 1992 (18. 09. 92), 第1図及 び第5頁, 右欄, 第39行-第44行, &EP, 472971, A	4-8, 11-16
Y	J P, 61-255588, A (セイコーエプソン株式会社), 1 3. 11月. 1986 (13. 11. 86), 第2頁, 右上欄, 第 18行-第3頁, 左上欄, 第3行目, (ファミリーなし)	9, 10
Y	J P, 63-114316, A (日本電気株式会社), 19. 5 月. 1988 (19. 05. 88), (ファミリーなし)	9, 10
A	J P, 62-154663, A (日本電気株式会社), 9. 7月. 1987 (09. 07. 87), 第1図及び第2図, (ファミリー なし)	7, 8