



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

223 141

K AUTORSKÉMU OSVĚDČENÍ

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 01 04 82
(21) PV 2311-82

(51) Int. Cl.³ G 05 B 23/02

(40) Zveřejněno 30 11 82

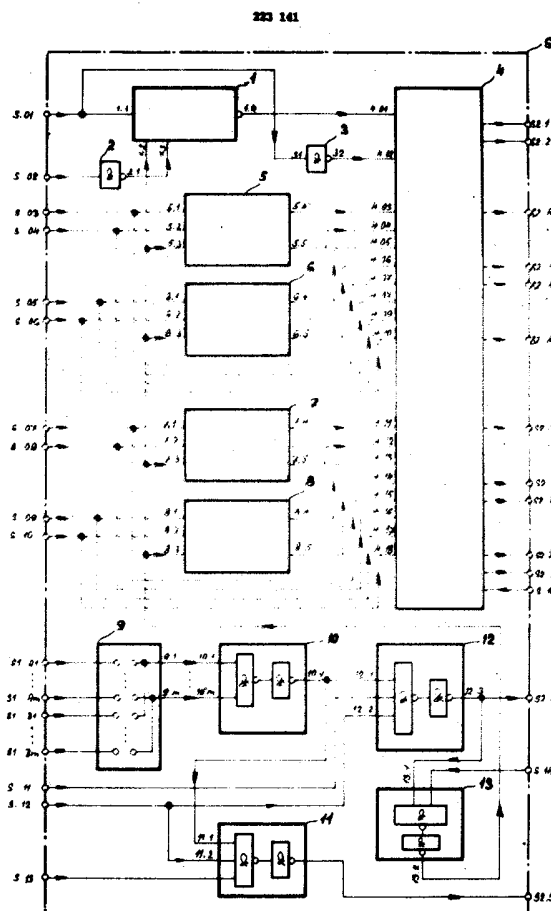
(45) Vydáno 01 04 84

(75)

Autor vynálezu BREJŠKA JIŘÍ ing., PŘÍBRAM
HABADA OLDŘICH, PŘÍBRAM
BUGÁR JÁN ing., PŘÍBRAM
HRŮZA JAN ing., PŘÍBRAM

(54) Řídicí blok pro vyhodnocení prvků logické struktury automatik

Vynález spadá do oboru slaboproudé elektrotechniky. Řeší řídicí blok pro vyhodnocení prvků logické struktury. Řídicí blok podle vynálezu je konstruován tak, že umožňuje jednoduché připojení na návazné zařízení a zajišťuje optimální zpracování vstupních signálů, které mohou být zadávány buď z vyššího řídicího systému nebo prostřednictvím mikroprocesorového, respektive mikropočítačového systému. Řídicí blok obsahuje pět paměťových členů, dva negátory, výstupní člen a čtyři logické členy. Lze jej používat v obecných logických vyhledávacích soustavách a v jednotlivých propojení počítačů nebo programově řízených systémů s větším prostředím. Řídicí blok podle vynálezu je možné také použít k testování logických struktur.



Vynález se týká řídicího bloku pro vyhodnocení prvků logické struktury automatik, sestávající z pěti paměťových členů, dvou negátorů, výstupního členu, programovacího členu a čtyř logických členů.

V současné době existuje celá řada podobných zařízení, která umožňují vyhodnocování a testování dílčích bloků automatik, zejména u větších stavebnicových řídicích systémů. Tyto systémy, respektive jejich vyhodnocovací bloky, jsou řešeny především s ohledem na danou vnitřní strukturu řídicího systému a tudíž neumožňují obecnější využití takových bloků s širším uplatněním.

Uvedený nedostatek do značné míry odstraňuje řídicí blok pro vyhodnocování prvků logické struktury automatik podle vynálezu. Jeho podstata spočívá v tom, že první paměťový člen je svým prvním vstupem propojen s prvním vnějším vstupem a se vstupem druhého negátoru. Druhý vstup prvního paměťového členu je propojen se třetím vstupem druhého paměťového členu, dále se třetím vstupem třetího paměťového členu, dále pak se třetím vstupem čtvrtého paměťového členu a dále se třetím vstupem pátého paměťového členu a s výstupem čtvrtého logického členu. Třetí vstup prvního paměťového členu je propojen s výstupem prvního negátoru a výstup prvního paměťového členu je propojen s prvním vstupem výstupního členu. První negátor je spojen s druhým vnějším vstupem a druhý negátor je svým výstupem propojen s druhým vstupem výstupního členu, jehož třetí vstup je propojen s prvním výstupem druhého paměťového členu. Druhý výstup druhého paměťového členu je propojen se čtvrtým vstupem výstupního členu, jehož pátý vstup je propojen s prvním výstupem třetího paměťového členu. Druhý výstup třetího paměťového členu je propojen se šestým vstupem výstupního členu, jehož sedmý vstup je propojen se třetím vnějším vstupem a prvním vstupem druhého

paměťového členu. Druhý vstup druhého paměťového členu je propojen se čtvrtým vnějším vstupem a s osmým vstupem výstupního členu. Devátý vstup výstupního členu je propojen s pátým vnějším vstupem a s prvním vstupem třetího paměťového členu. Druhý vstup třetího paměťového členu je spojen se šestým vnějším vstupem a s desátým vstupem výstupního členu, jehož jedenáctý vstup je propojen s prvním výstupem čtvrtého paměťového členu. Druhý výstup čtvrtého paměťového členu je propojen s dvanáctým vstupem výstupního členu. Třináctý vstup výstupního členu je propojen s prvním výstupem pátého paměťového členu, jehož druhý výstup je propojen se čtrnáctým vstupem výstupního členu. Patnáctý vstup výstupního členu je propojen se sedmým vnějším vstupem a s prvním vstupem čtvrtého paměťového členu. Druhý vstup čtvrtého paměťového členu je propojen s osmým vnějším vstupem a se šestnáctým vstupem výstupního členu. Sedmnáctý vstup výstupního členu je propojen s devátým vnějším vstupem a s prvním vstupem pátého paměťového členu. Druhý vstup pátého paměťového členu je propojen s desátým vnějším vstupem a s osmnáctým vstupem výstupního členu, který je opatřen patnáctým vnějším vstupem, dále prvním až třetím vnějším výstupem, dále prvním až k-tým vnějším výstupem pro výstupní adresaci prvního stupně, dále pak prvním až k-tým vnějším výstupem pro vstupní adresaci prvního stupně, dále prvním až k-tým vnějším výstupem pro výstupní adresaci druhého stupně a prvním až k-tým vnějším výstupem pro vstupní adresaci druhého stupně. Programovací člen je opatřen prvním až m-tým vnějším adresovacím vstupem a prvním až m-tým vnějším negovacím adresovacím vstupem. První až m-tý výstup programovacího členu je propojen s prvním až m-tým vstupem prvního logického členu. Výstup prvního logického členu je propojen s prvním vstupem třetího logického členu a s prvním vstupem druhého logického členu. Druhý vstup druhého logického členu je propojen s druhým vstupem třetího logického členu a s dvanáctým vnějším vstupem. Druhý logický člen je opatřen třináctým vnějším vstupem a pátým vnějším výstupem. Třetí logický člen je opatřen jedenáctým vnějším vstupem a svým výstupem je propojen se čtvrtým vnějším výstupem a dále se vstupem čtvrtého logického členu, který je opatřen čtrnáctým vnějším vstupem.

Řídicí blok svojí strukturou a funkcí umožňuje jednoduché připojení na návazné zařízení. Organizací výstupů a propojením jednotlivých vnitřních členů zajišťuje optimální zpracování

vstupních signálů, které mohou být zadávány buď z vyššího řídicího systému nebo prostřednictvím mikroprocesorového, resp. mikropočítačového systému, kde může blok tvořit jednotku styku s vnějším prostředím.

Na připojeném výkresu je znázorněno příkladné schéma řídicího bloku podle vynálezu.

Řídicí blok obsahuje první až pátý paměťový člen 1, 2, 6, 7, 8, první a druhý negátor 2, 3, výstupní člen 4, programovací člen 9 a první až čtvrtý logický člen 10, 11, 12, 13. První paměťový člen 1 je svým prvním vstupem 1.1 propojen s prvním vnějším vstupem S.01 a se vstupem 3.1 druhého negátoru 3. Druhý vstup 1.2 prvního paměťového členu 1 je propojen se třetím vstupem 5.3 druhého paměťového členu 5, dále se třetím vstupem 6.3 třetího paměťového členu 6, dále se třetím vstupem 7.3 čtvrtého paměťového členu 7 a dále se třetím vstupem 8.3 pátého paměťového členu 8 a s výstupem 13.2 čtvrtého logického členu 13. Třetí vstup 1.3 prvního paměťového členu 1 je propojen s výstupem 2.1 prvního negátoru 2 a výstup 1.4 prvního paměťového členu 1 je propojen s prvním vstupem 4.01 výstupního členu 4. První negátor 2 je propojen s druhým vnějším vstupem S.02 a druhý negátor 3 je svým výstupem 3.2 propojen s druhým vstupem 4.02 výstupního členu 4. Třetí vstup 4.03 výstupního členu 4 je propojen s prvním výstupem 5.4 druhého paměťového členu 5, jehož druhý výstup 5.5 je spojen se čtvrtým vstupem 4.04 výstupního členu 4. Pátý vstup 4.05 výstupního členu 4 je propojen s prvním výstupem 6.4 třetího paměťového členu 6. Druhý výstup 6.5 třetího paměťového členu 6 je propojen se šestým vstupem 4.06 výstupního členu 4, jehož sedmý vstup 4.07 je propojen se třetím vnějším vstupem S.03 a s prvním vstupem 5.1 druhého paměťového členu 5. Druhý vstup 5.2 druhého paměťového členu 5 je propojen se čtvrtým vnějším vstupem S.04 a s osmým vstupem 4.08 výstupního členu 4. Devátý vstup 4.09 výstupního členu 4 je propojen s pátým vnějším vstupem S.05 a s prvním vstupem 6.1 třetího paměťového členu 6. Druhý vstup 6.2 třetího paměťového členu 6 je spojen se šestým vnějším vstupem S.06 a s desátým vstupem 4.10 výstupního členu 4. Jedenáctý vstup 4.11 je propojen s prvním výstupem 7.4 čtvrtého paměťového členu 7 jehož druhý výstup 7.5 je propojen s dvanáctým vstupem 4.12 výstupního členu 4. Třináctý vstup 4.13 výstupního členu 4 je propojen s prvním výstupem 8.4 pátého paměťového členu 8, jehož druhý výstup 8.5

je propojen se čtrnáctým vstupem 4.14 výstupního členu 4. Patnáctý vstup 4.15 výstupního členu 4 je propojen se sedmým vnějším vstupem S.07 a s prvním vstupem 7.1 čtvrtého paměťového členu 7. Druhý vstup 7.2 čtvrtého paměťového členu 7 je propojen s osmým vnějším vstupem S.08 a se šestnáctým vstupem 4.16 výstupního členu 4. Sedmnáctý vstup 4.17 výstupního členu 4 je propojen s desátým vnějším vstupem S.09 a s prvním vstupem 8.1 pátého paměťového členu 8. Druhý vstup 8.2 pátého paměťového členu 8 je propojen s desátým vnějším vstupem S.10 a s osmnáctým vstupem 4.18 výstupního členu 4, který je opatřen patnáctým vnějším vstupem S.15, dále prvním až třetím vnějším výstupem S2.1 až S2.3, dále pak prvním až k-tým vnějším výstupem S2.A1 až S2.Ak pro výstupní adresaci prvního stupně. Výstupní člen 4 je rovněž opatřen prvním až k-tým vnějším výstupem S2.B1 až S2.Bk pro vstupní adresaci prvního stupně, dále prvním až k-tým vnějším výstupem S2.C1 až S2.Ck pro výstupní adresaci druhého stupně a prvním až k-tým vnějším výstupem S2.D1 až S2.Dk pro vstupní adresaci druhého stupně. Programovací člen 9 je opatřen prvním až m-tým vnějším adresovacím vstupem S1.A1 až S1.Am a prvním až m-tým vnějším negovaným adresovacím vstupem S1.B1 až S1.Bm. První až m-tý výstup 9.1 až 9.m programovacího členu 9 je propojen s prvním až m-tým vstupem 10.1 až 10.m prvního logického členu 10. Výstup 10.V prvního logického členu 10 je propojen s prvním vstupem 12.1 třetího logického členu 12 a s prvním vstupem 11.1 druhého logického členu 11. Druhý vstup 11.2 druhého logického členu 11 je propojen s druhým vstupem 12.2 třetího logického členu 12 a s dvanáctým vnějším vstupem S.12. Druhý logický člen 11 je opatřen třináctým vnějším vstupem S.13 a pátým vnějším výstupem S2.5. Třetí logický člen 12 je opatřen jedenáctým vnějším vstupem S.11 a svým výstupem 12.3 je propojen se čtvrtým vnějším výstupem S2.4 a dále se vstupem 13.1 čtvrtého logického členu 13, který je opatřen čtrnáctým vnějším vstupem S.14.

První paměťový člen 1 řídicího bloku dle vynálezu obsahuje bistabilní klopný obvod typu D. První a druhý negátor 2, 3 mohou být realizovány běžnými jednovstupovými hradly. Výstupní člen 4 obsahuje zesilovací a přizpůsobovací prvky pro jednotlivé vstupní signály. Druhý až pátý paměťový člen 5 až 8 může být realizován dvojčinnými klopnými obvody typu D. Programovací člen 9 může obsahovat mechanické programovací přepínací prvky. První až

čtvrtý logický člen 10 až 13 obsahuje běžná jedno až třívstupová hradla.

Klopný obvod prvního paměťového členu 1 je překlápen pomocí signálu na druhém vstupu 1.2 paměťového členu 1. Prvním vstupem 1.1 prvního paměťového členu 1 je přiváděn z prvního vnějšího vstupu S.01 příslušný paměťový signál. Tento signál se náběžnou hranou hodinového impulsu na druhém vstupu 1.2 prvního paměťového členu 1 zapamatuje a trvá v negovaném tvaru na výstupu 1.4 prvního paměťového členu 1 až do nové aktualizace vstupního signálu z prvního vnějšího vstupu S.01. Pomocí třetího vstupu 1.3 je prováděno počáteční nastavení klopného obvodu prvního paměťového členu 1. První negátor 2 zajišťuje negaci signálu z druhého vnějšího vstupu S.02, kterým je prováděno počáteční nastavení prvního paměťového členu 1. Druhým negátorem 3 je prováděna obdobná funkce se signálem na prvním vnějším vstupu S.01, který je po provedení takovéto úpravy přiváděn na druhý vstup 4.2 výstupního členu 4. Druhý až pátý paměťový člen 2 až 8 je realizován dvojčinnými klopnými obvody typu D. Pomocí vždy třetího vstupu 5.3, 6.3, 7.3, 8.3 těchto obvodů, kterým je přiváděn zápisový impuls z výstupu 13.2 čtvrtého logického členu 13, jsou zapamatovány v těchto klopných obvodech logické stavy z třetího až desátého vnějšího vstupu S.03 až S.10. Tyto paměťované logické stavy jsou dále přivedeny na třetí až šestý vstup 4.03 až 4.06 výstupního členu 4 a na jedenáctý až čtrnáctý vstup 4.11 až 4.14 výstupního členu 4. Signály ze třetího až desátého vnějšího vstupu S.03 až S.10 jsou také přivedeny přímo na sedmý až desátý vstup 4.07 až 4.10 výstupního členu 4 a na patnáctý až osmnáctý vstup 4.15 až 4.18 výstupního členu 4. Výstupní člen 4 dále obsahuje první až k-tý vnější výstup S2.A1 až S2.Ak pro výstupní adresaci prvního stupně, dále první až k-tý vnější výstup S2.B1 až S2.Bk pro vstupní adresaci prvního stupně, dále první až k-tý vnější výstup S2.C1 až S2.Ck pro výstupní adresaci druhého stupně a první až k-tý vnější výstup S2.D1 až S2.Dk pro vstupní adresaci druhého stupně. Výstupní člen 4 dále obsahuje první a druhý vnější výstup S2.1, S2.2, kterými jsou vysílány uvolnovací signály na návazné zařízení. Patnáctým vnějším vstupem S.15 je přiváděn stavový signál do výstupního bloku 4, který je po následném zpracování vysílán třetím vnějším výstupem S2.3 do nadřazeného komunikačního řídicího systému.

Programovací člen 9 a první až čtvrtý logický člen 10 až

13 slouží k logickému zpracování prvního až m-tého vnějšího adresovacího vstupu Sl.A1 až Sl.Am, prvního až m-tého vnějšího negovacího adresovacího vstupu Sl.B1 až Sl.Bm a jedenáctého až čtrnáctého vnějšího vstupu S.11 až S.14. Pátým vnějším výstupem S2.5 je vysílán signál, který představuje logický součin signálu z výstupu 10.V prvního logického členu 10 a dvanáctého a třináctého vnějšího vstupu S.12, S.13.

Programovací člen 9 je nastavován na adresu celého řídicího bloku. V případě, že na vnějších adresovacích vstupech Sl.A1 až Sl.Am a Sl.B1 až Sl.Bm jsou signály v takové kombinaci, že na všech výstupech 9.1 až 9.m programovacího členu 9 je signál na úrovni log 1, je tento stav vyhodnocen jako log 1 na výstupu 10.V prvního logického členu 10. Pokud budou signály současně rovněž na jedenáctém a dvanáctém vnějším vstupu S.11 a S.12, bude aktivován přes třetí logický člen 12 čtvrtý vnější výstup S2.4 a rovněž vstup 13.1 čtvrtého logického členu 13. Když bude přiveden také uvolňovací signál na čtrnáctý vnější vstup S.14, objeví se na výstupu 13.2 čtvrtého logického členu 13 signál o úrovni log 1, kterým je zaveden jako záznamový signál do prvního až pátého paměťového členu 1, 2, 6, 7, 8.

Řídicí blok podle vynálezu je možno využít v obecných logických vyhledávacích soustavách a v jednotkách propojení počítačů nebo programově řízených systémů s vnějším prostředím. Vynález je možné rovněž využít k testování logických struktur a to jednak při testování správnosti jejich funkce, ale také ke zpětnému záznamu stavu propojení jednotlivých prvků systémů po následném odmodelování jeho funkce.

P Ř E D M Ě T V Y N A L E Z U

Rídící blok pro vyhodnocení prvků logické struktury automatik, sestávající z pěti paměťových členů, dvou negátorů, výstupního členu, programovacího členu a čtyř logických členů, vyznačený tím, že první paměťový člen (1) je svým prvním vstupem (1.1) propojen s prvním vnějším vstupem (S.01) a se vstupem (3.1) druhého negátoru (3), přičemž druhý vstup (1.2) prvního paměťového členu (1) je propojen se třetím vstupem (5.3) druhého paměťového členu (5), dále se třetím vstupem (6.3) třetího paměťového členu (6), dále se třetím vstupem (7.3) čtvrtého paměťového členu (7) a dále se třetím vstupem (8.3) pátého paměťového členu (8) a s výstupem (13.2) čtvrtého logického členu (13), přičemž třetí vstup (1.3) prvního paměťového členu (1) je propojen s výstupem (2.1) prvního negátoru (2) a výstup (1.4) prvního paměťového členu (1) je propojen s prvním vstupem (4.01) výstupního členu (4), přičemž dále první negátor (2) je propojen s druhým vnějším vstupem (S.02) a druhý negátor (3) je svým výstupem (3.2) propojen s druhým vstupem (4.02) výstupního členu (4), jehož třetí vstup (4.03) je propojen s prvním výstupem (5.4) druhého paměťového členu (5), jehož druhý výstup (5.5) je spojen se čtvrtým vstupem (4.04) výstupního členu (4), jehož pátý vstup (4.05) je propojen s prvním výstupem (6.4) třetího paměťového členu (6), jehož druhý výstup (6.5) je propojen se šestým vstupem (4.06) výstupního členu (4), jehož sedmý vstup (4.07) je propojen se třetím vnějším vstupem (S.03) a s prvním vstupem (5.1) druhého paměťového členu (5), jehož druhý vstup (5.2) je propojen se čtvrtým vnějším vstupem (S.04) a s osmým vstupem (4.08) výstupního členu (4), jehož devátý vstup (4.09) je propojen s pátým vnějším vstupem (S.05) a s prvním vstupem (6.1) třetího paměťového členu (6), jehož druhý vstup (6.2) je spojen se šestým vnějším vstupem (S.06) a s desátým vstupem (4.10) výstupního členu (4), jehož jedenáctý vstup (4.11) je propojen s prvním výstupem (7.4) čtvrtého paměťového členu (7), jehož druhý výstup (7.5) je propojen s dvanáctým vstupem (4.12) výstupního členu (4), jehož třináctý vstup (4.13) je propojen s prvním výstupem (8.4) pátého paměťového členu (8), jehož druhý výstup (8.5) je propojen se čtrnáctým vstupem (4.14) výstupního členu (4), jehož patnáctý vstup (4.15) je propojen se sedmým vnějším vstupem (S.07) a s prvním vstupem (7.1) čtvrtého paměťového členu (7), jehož druhý vstup (7.2) je propojen

s osmým vnějším vstupem (S.08) a se šestnáctým vstupem (4.16) výstupního členu (4), jehož sedmnáctý vstup (4.17) je propojen s devátým vnějším vstupem (S.09) a s prvním vstupem (8.1) pátého paměťového členu (8), jehož druhý vstup (8.2) je propojen s desátým vnějším vstupem (S.10) a s osmnáctým vstupem (4.18) výstupního členu (4), který je opatřen patnáctým vnějším vstupem (S.15), dále prvním až třetím vnějším výstupem (S2.1) až S2.3), dále prvním až k-tým vnějším výstupem (S2.A1 až S2.Ak) pro výstupní adresaci prvního stupně, dále prvním až k-tým vnějším výstupem (S2.B1 až S2.Bk) pro vstupní adresaci prvního stupně, dále prvním až k-tým vnějším výstupem (S2.C1 až S2.Ck) pro výstupní adresaci druhého stupně a prvním až k-tým vnějším výstupem (S2.D1 až S2.Dk) pro vstupní adresaci druhého stupně, přičemž programovací člen (9) je opatřen prvním až m-tým vnějším adresovacím vstupem (S1.A1 až S1.Am) a prvním až m-tým vnějším negovaným adresovacím vstupem (S1.B1 až S1.Bm) a první až m-tý výstup (9.1 až 9.m) programovacího členu (9) je propojen s prvním až m-tým vstupem (10.1 až 10.m) prvního logického členu (10), jehož výstup (10.V) je propojen s prvním vstupem (12.1) třetího logického členu (12) a s prvním vstupem (11.1) druhého logického členu (11), jehož druhý vstup (11.2) je propojen s druhým vstupem (12.2) třetího logického členu (12) a s dvanáctým vnějším vstupem (S.12), přičemž druhý logický člen (11) je opatřen třináctým vnějším vstupem (S.13) a pátým vnějším výstupem (S2.5), přičemž dále třetí logický člen (12) je opatřen jedenáctým vnějším vstupem (S.11) a svým výstupem (12.3) je propojen se čtvrtým vnějším výstupem (S2.4) a dále se vstupem (13.1) čtvrtého logického členu (13), který je opatřen čtrnáctým vnějším vstupem (S.14).

