



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년08월16일  
(11) 등록번호 10-1879144  
(24) 등록일자 2018년07월10일

- (51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01)
- (52) CPC특허분류  
G09G 3/3677 (2013.01)  
G09G 2300/0426 (2013.01)
- (21) 출원번호 10-2017-7003566
- (22) 출원일자(국제) 2014년08월14일  
심사청구일자 2017년02월08일
- (85) 번역문제출일자 2017년02월08일
- (65) 공개번호 10-2017-0028430
- (43) 공개일자 2017년03월13일
- (86) 국제출원번호 PCT/CN2014/084338
- (87) 국제공개번호 WO 2016/008188  
국제공개일자 2016년01월21일
- (30) 우선권주장  
201410342807.3 2014년07월17일 중국(CN)
- (56) 선행기술조사문헌  
US20080013670A1

- (73) 특허권자  
센젠 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드  
중국 광둥 프로빈스, 쟈젠 시티, 광밍 뉴 디스트릭트, 탕밍 로드, 넘버 9-2
- (72) 발명자  
다이, 차오  
중국, 광둥 518132, 선전 광밍 디스트릭트, 탕밍 로드, 넘버 9-2
- (74) 대리인  
특허법인 티앤아이

전체 청구항 수 : 총 11 항

심사관 : 하정균

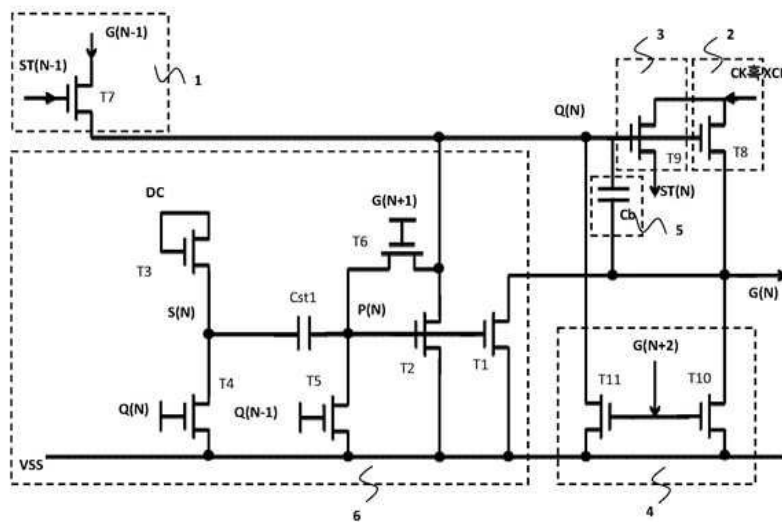
(54) 발명의 명칭 자기보상 기능을 구비하는 게이트 전극 구동회로

(57) 요약

본 발명은 자기보상형 기능을 구비하는 게이트 전극 구동회로를 제공하며, 이는 캐스캐이드(cascaded) 복수의 GOA유닛을 포함하며, 상기 제N 단계 GOA유닛은 풀업 제어모듈(1), 풀업모듈(2), 하향 전송모듈(3), 제1 풀다운모듈(4), 부트 스트랩 커패시터모듈(5) 및 풀다운 유지모듈(6)을 포함하며; 상기 풀업모듈(2), 제1 풀다운모듈(4),

(뒷면에 계속)

대표도 - 도3



부트 스트랩 커패시터모듈(5), 풀다운 유지모듈(6)은 각각 제N 단계 게이트 전극 신호점(Q(N)) 및 제N 단계 수평 스캔라인(G(N))과 전기적으로 연결되며, 상기 풀업 제어모듈(1)과 하향 전송모듈(3)은 각각 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되며, 상기 풀다운 유지모듈(6)은 직류 저전압(VSS)을 입력한다. 상기 구동회로는 자기보상 기능을 구비하는 풀다운 유지모듈(6)을 통해 게이트 전극 구동회로의 장기조작의 신뢰성을 향상시키고, 한 세트의 직류신호원 (DC)로 제어하는 풀다운 유지회로(6)로 설계할 수 있으므로 전기회로판의 설계공간을 절약할 뿐만 아니라 회로의 전체적인 전력소모도 낮출 수 있다.

(52) CPC특허분류

G09G 2310/0286 (2013.01)

G09G 2310/08 (2013.01)

G09G 2320/0214 (2013.01)

G09G 2330/021 (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

제N 단계 GOA유닛이 디스플레이 영역의 제N 단계 수평 스캔라인에 대하여 충전하는 것을 따르는 캐스케이드드 (cascaded) 복수의 GOA유닛을 포함하는 자기보상 기능을 구비하는 게이트 전극 구동회로에 있어서,

상기 제N 단계 GOA유닛은 풀업 제어모듈, 풀업모듈, 하향 전송모듈, 제1 풀다운모듈, 부트 스트랩 커패시터모듈, 및 풀다운 유지모듈을 포함하며; 상기 풀업모듈, 제1 풀다운모듈, 부트 스트랩 커패시터모듈, 풀다운 유지회로는 각각 제N 단계 게이트 전극 신호점 및 제N 단계 수평 스캔라인과 전기적으로 연결되며, 상기 풀업 제어모듈과 하향 전송모듈은 각각 상기 제N 단계 게이트 전극 신호점과 전기적으로 연결되며, 상기 풀다운 유지모듈은 직류 저전압을 입력하며;

상기 풀다운 유지모듈은,

게이트 전극은 제1 회로점과 전기적으로 연결되고, 드레인 전극은 제N 단계 수평 스캔라인과 전기적으로 연결되고, 소스 전극은 직류 저전압을 입력하는 제1 박막 트랜지스터;

게이트 전극은 제1 회로점과 전기적으로 연결되고, 드레인 전극은 제N 단계 게이트 전극 신호점과 전기적으로 연결되고, 소스 전극은 직류 저전압을 입력하는 제2 박막 트랜지스터;

다이오드 결선법을 이용하여 게이트 전극은 직류 신호원과 전기적으로 연결되고, 드레인 전극은 직류 신호원과 전기적으로 연결되고, 소스 전극은 제2 회로점과 전기적으로 연결되는 제3 박막 트랜지스터;

게이트 전극은 제N 단계 게이트 전극 신호점과 전기적으로 연결되고, 드레인 전극은 제2 회로점과 전기적으로 연결되고, 소스 전극은 직류 저전압을 입력하는 제4 박막 트랜지스터;

게이트 전극은 제N-1 단계 게이트 전극신호점과 전기적으로 연결되고, 드레인 전극은 제1 회로점과 전기적으로 연결되고, 소스 전극은 직류 저전압을 입력하는 제5 박막 트랜지스터;

게이트 전극은 제N+1 단계 수평 스캔라인과 전기적으로 연결되고, 드레인 전극은 제1 회로점과 전기적으로 연결되고, 소스 전극은 제N 단계 게이트 전극 신호점과 전기적으로 연결되는 제6 박막 트랜지스터;

상부 전극판은 제2 회로점과 전기적으로 연결되고, 하부 전극판은 제1 회로점과 전기적으로 연결되는 제1 커패시터를 포함하는 것을 특징으로 하는 자기보상 기능을 구비하는 게이트 전극 구동회로.

**청구항 2**

청구항 1에 있어서, 상기 풀업 제어모듈은, 게이트 전극은 제N-1 단계 GOA유닛으로부터의 하향 전송신호를 입력하고, 드레인 전극은 제N-1 단계 수평 스캔라인과 전기적으로 연결되고, 소스 전극은 상기 제N 단계 게이트 전극 신호점과 연결된 제7 박막 트랜지스터를 포함하고;

상기 풀업모듈은, 게이트 전극은 상기 제N 단계 게이트 전극 신호점과 전기적으로 연결되고, 드레인 전극은 제1 고주파 클럭신호 또는 제2 고주파 클럭신호를 입력하고, 소스 전극은 제N 단계수평 스캔라인과 전기적으로 연결되는 제8 박막 트랜지스터 포함하고;

상기 하향 전송모듈은, 게이트 전극은 상기 제N 단계 게이트 전극 신호점과 전기적으로 연결되고, 드레인 전극은 제1 고주파 클럭신호 또는 제2 고주파 클럭신호를 입력하고, 소스 전극은 제N 단계 하향 전송신호를 출력하는 제9 박막 트랜지스터 포함하고;

상기 제1 풀다운모듈은, 게이트 전극은 제N+2 단계 수평 스캔라인과 전기적으로 연결되고, 드레인 전극은 제N 단계수평 스캔라인과 전기적으로 연결, 소스 전극은 직류 저전압을 입력하는 제10 박막 트랜지스터;

게이트 전극은 제N+2 단계 수평 스캔라인과 전기적으로 연결되고, 드레인 전극은 상기 제N 단계 게이트 전극 신호점과 전기적으로 연결되고, 소스 전극은 직류 저전압을 입력하는 제11 박막 트랜지스터를 포함하고;

상기 부트 스트랩 커패시터모듈은, 부트 스트랩 커패시터를 포함하는 것을 특징으로 하는 자기보상 기능을 구비

하는 게이트 전극 구동회로.

**청구항 3**

청구항 1에 있어서,

상기 게이트 전극 구동회로의 제1 단계 연결관계에서, 제5 박막 트랜지스터의 게이트 전극은 회로 작동신호와 전기적으로 연결하며; 제7 박막 트랜지스터의 게이트 전극과 드레인 전극 모두 회로 작동신호와 전기적으로 연결되는 것을 특징으로 하는 자기보상 기능을 구비하는 게이트 전극 구동회로.

**청구항 4**

청구항 1에 있어서,

상기 게이트 전극 구동회로의 마지막 1 단계의 연결관계에서, 제6 박막 트랜지스터의 게이트 전극은 회로 작동신호와 전기적으로 연결되고; 제10 박막 트랜지스터의 게이트 전극은 제2 단계 수평 스캔라인과 전기적으로 연결되고; 제11 박막 트랜지스터의 게이트 전극은 제2 단계 수평 스캔라인과 전기적으로 연결되는 것을 특징으로 하는 자기보상 기능을 구비하는 게이트 전극 구동회로.

**청구항 5**

청구항 1에 있어서,

상기 풀다운 유지모듈은, 상부 전극판은 제1 회로점과 전기적으로 연결되고, 하부 전극판은 직류 저전압을 입력하는 제2 커패시터를 더 포함하는 것을 특징으로 하는 자기보상 기능을 구비하는 게이트 전극 구동회로.

**청구항 6**

청구항 1에 있어서,

상기 풀다운 유지모듈은, 게이트 전극은 제N+1 단계 수평 스캔라인과 전기적으로 연결되고, 드레인 전극은 제2 회로점과 전기적으로 연결되고, 소스 전극은 직류 저전압을 입력하는 제12 박막 트랜지스터를 더 포함하는 것을 특징으로 하는 자기보상 기능을 구비하는 게이트 전극 구동회로.

**청구항 7**

청구항 1에 있어서,

상기 풀다운 유지모듈은, 상부 전극판은 제1 회로점과 전기적으로 연결되고, 하부 전극판은 직류 저전압을 입력하는 제2 커패시터; 게이트 전극은 제N+1 단계 수평 스캔라인과 전기적으로 연결되고, 드레인 전극은 제2 회로점과 전기적으로 연결, 소스 전극은 직류 저전압을 입력하는 제12 박막 트랜지스터를 더 포함하는 것을 특징으로 하는 자기보상 기능을 구비하는 게이트 전극 구동회로.

**청구항 8**

청구항 2에 있어서,

상기 제1 고주파 클럭신호와 제2 고주파 클럭신호는 위상이 완전히 반대인 두개의 고주파 클럭 신호원인 것을 특징으로 하는 자기보상 기능을 구비하는 게이트 전극 구동회로.

**청구항 9**

청구항 2에 있어서,

상기 제1 풀다운모듈에는, 제N 단계 게이트 전극 신호점의 전위가 일정한 고전위로 상승하여 일정한 시간을 유지하는 제1 단계, 제1 단계의 기초에서 다시 일정한 고전위로 상승하여 일정한 시간을 유지하는 제2 단계, 제2 단계의 기초에서 제1 단계와 수평을 유지하는 고전위로 하강하는 제3 단계를 나타내고, 그 다음 3단계 중의 제3 단계를 이용하여 임계치 전압의 자기보상을 실현하도록 하기 위하여 제10 박막 트랜지스터의 게이트 전극과 제11 박막 트랜지스터의 게이트 전극은 각각 제N+2 단계 수평 스캔라인과 전기적으로 연결되는 것을 특징으로 하는 자기보상 기능을 구비하는 게이트 전극 구동회로.

**청구항 10**

청구항 9에 있어서,

상기 제N 단계 게이트 전극 신호점의 전위는 3개의 단계로 나타내는 것을 특징으로 하는 자기보상 기능을 구비하는 게이트 전극 구동회로.

**청구항 11**

제N 단계 GOA유닛이 디스플레이 영역의 제N 단계 수평 스캔라인에 대하여 충전하는 것을 따르는 캐스캐이드(cascaded) 복수의 GOA유닛을 포함하는 자기보상 기능을 구비하는 게이트 전극 구동회로에 있어서,

상기 제N 단계 GOA유닛은 풀업 제어모듈, 풀업모듈, 하향 전송모듈, 제1 풀다운모듈, 부트 스트랩 커패시터모듈, 및 풀다운 유지모듈을 포함하며; 상기 풀업모듈, 제1 풀다운모듈, 부트 스트랩 커패시터모듈, 풀다운 유지회로는 각각 제N 단계 게이트 전극 신호점 및 제N 단계 수평 스캔라인과 전기적으로 연결되며, 상기 풀업 제어모듈과 하향 전송모듈은 각각 상기 제N 단계 게이트 전극 신호점과 전기적으로 연결되며, 상기 풀다운 유지모듈은 직류 저전압을 인가하며;

상기 풀다운 유지모듈은, 게이트 전극은 제1 회로점과 전기적으로 연결되고, 드레인 전극은 제N 단계 수평 스캔라인과 전기적으로 연결되고, 소스 전극은 직류 저전압을 입력하는 제1 박막 트랜지스터;

게이트 전극은 제1 회로점과 전기적으로 연결되고, 드레인 전극은 제N 단계 게이트 전극 신호점과 전기적으로 연결되고, 소스 전극은 직류 저전압을 입력하는 제2 박막 트랜지스터;

다이오드 결선법을 이용하여 게이트 전극은 직류 신호원과 전기적으로 연결되고, 드레인 전극은 직류 신호원과 전기적으로 연결되고, 소스 전극은 제2 회로점과 전기적으로 연결되는 제3 박막 트랜지스터;

게이트 전극은 제N 단계 게이트 전극 신호점과 전기적으로 연결되고, 드레인 전극은 제2 회로점과 전기적으로 연결되고, 소스 전극은 직류 저전압을 입력하는 제4 박막 트랜지스터;

게이트 전극은 제N-1 단계 게이트 전극신호점과 전기적으로 연결되고, 드레인 전극은 제1 회로점과 전기적으로 연결되고, 소스 전극은 직류 저전압을 입력하는 제5 박막 트랜지스터;

게이트 전극은 제N+1 단계 수평 스캔라인과 전기적으로 연결되고, 드레인 전극은 제1 회로점과 전기적으로 연결되고, 소스 전극은 제N 단계 게이트 전극 신호점과 전기적으로 연결되는 제6 박막 트랜지스터;

상부 전극판은 제2 회로점과 전기적으로 연결되고, 하부 전극판은 제1 회로점과 전기적으로 연결되는 제1 커패시터를 포함하며;

여기서, 상기 풀업 제어모듈은, 게이트 전극은 제N-1 단계 GOA유닛으로부터의 하향 전송신호를 입력하고, 드레인 전극은 제N-1 단계 수평 스캔라인과 전기적으로 연결되고, 소스 전극은 상기 제N 단계 게이트 전극 신호점과 연결된 제7 박막 트랜지스터를 포함하고;

상기 풀업모듈은, 게이트 전극은 상기 제N 단계 게이트 전극 신호점과 전기적으로 연결되고, 드레인 전극은 제1 고주파 클럭신호 또는 제2 고주파 클럭신호를 입력하고, 소스 전극은 제N 단계수평 스캔라인과 전기적으로 연결되는 제8 박막 트랜지스터;

상기 하향 전송모듈은, 게이트 전극은 상기 제N 단계 게이트 전극 신호점과 전기적으로 연결되고, 드레인 전극은 제1 고주파 클럭신호 또는 제2 고주파 클럭신호를 입력하고, 소스 전극은 제N 단계 하향 전송신호를 출력하는 제9 박막 트랜지스터;

상기 제1 풀다운모듈은, 게이트 전극은 제N+2 단계 수평 스캔라인과 전기적으로 연결되고, 드레인 전극은 제N 단계수평 스캔라인과 전기적으로 연결, 소스 전극은 직류 저전압을 입력하는 제10 박막 트랜지스터;

게이트 전극은 제N+2 단계 수평 스캔라인과 전기적으로 연결되고, 드레인 전극은 상기 제N 단계 게이트 전극 신호점과 전기적으로 연결되고, 소스 전극은 직류 저전압을 입력하는 제11 박막 트랜지스터를 포함하고;

상기 부트 스트랩 커패시터모듈은, 부트 스트랩 커패시터를 포함하며;

여기서, 상기 게이트 전극 구동회로의 제1 단계 연결관계에서, 제5 박막 트랜지스터의 게이트 전극은 회로 작동 신호와 전기적으로 연결하며; 제7 박막 트랜지스터의 게이트 전극과 드레인 전극 모두 회로 작동신호와 전기적

으로 연결하며;

여기서, 상기 게이트 전극 구동회로의 마지막 1 단계의 연결관계에서, 제6 박막 트랜지스터의 게이트 전극은 회로 작동신호와 전기적으로 연결되고; 제10 박막 트랜지스터의 게이트 전극은 제2 단계 수평 스캔라인과 전기적으로 연결되고; 제11 박막 트랜지스터의 게이트 전극은 제2 단계 수평 스캔라인과 전기적으로 연결하며;

여기서, 상기 제1 고주파 클럭신호와 제2 고주파 클럭신호는 위상이 완전히 반대인 두개의 고주파 클럭 신호원이며;

여기서, 상기 제1 풀다운모듈에는, 제N 단계 게이트 전극 신호점의 전위가 일정한 고전위로 상승하여 일정한 시간을 유지하는 제1 단계, 제1 단계의 기초에서 다시 일정한 고전위로 상승하여 일정한 시간을 유지하는 제2 단계, 제2 단계의 기초에서 제1 단계와 수평을 유지하는 고전위로 하강하는 제3 단계로 3단계를 나타내고, 그 다음 3단계 중의 제3 단계를 이용하여 임계치 전압의 자기보상을 실현하도록 제10 박막 트랜지스터의 게이트 전극과 제11 박막 트랜지스터의 게이트 전극은 각각 제N+2 단계 수평 스캔라인과 전기적으로 연결하며;

여기서, 상기 제N 단계 게이트 전극 신호점의 전위는 3개의 단계를 나타내는 것을 특징으로 하는 자기보상 기능을 구비하는 게이트 전극 구동회로.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 액정기술분야에 관한 것이며, 특히 자기보상 기능을 구비하는 게이트 전극 구동회로에 관한 것이다.

#### 배경 기술

[0002] GOA(Gate Driver on Array, 게이트 드라이버 온 어레이)기술은 게이트 전극 스위치회로인 TFT(Thin Film Transistor, 박막 트랜지스터)를 어레이 기판에 집성하여, 기존 어레이 기판 밖에 설치된 게이트 전극 구동 집적회로 부분을 생략하여 재료원가 및 공정단계 두 측면에서 제품의 원가를 낮춘다. GOA 기술은 현재 TFT-LCD(Thin Film Transistor-Liquid Crystal Display, 박막 트랜지스터 액정 디스플레이 장치)기술분야의 관용적인 게이트 전극 구동회로 기술이며, 그 제작공정은 간단하고, 응용전망이 아주 좋다. GOA회로의 기능은 주로 전라인의 게이트 라인출력의 하이 레벨 신호를 이용하여 시프트 레지스터 유닛 중의 커패시터에 대하여 충전함으로써 본 라인의 게이트 라인이 하이 레벨 신호를 출력하고, 또한 다음 라인의 게이트 라인이 출력한 하이 레벨 신호를 이용하여 리셋이 되도록 한다.

[0003] 도 1을 참조하면, 도 1은 기존에 자주 사용되는 게이트 전극 구동회로의 구조를 나타내는 개략도다. 이는 제N 단계 GOA유닛이 디스플레이 영역의 제N 단계 수평 스캔라인(G(N))에 대하여 충전하는 것을 따르는 캐스케이드(cascaded) 복수의 GOA유닛을 포함하며, 상기 제N 단계 GOA유닛은 풀업 제어모듈(1'), 풀업모듈(2'), 하향 전송모듈(3'), 제1 풀다운모듈(4', key pull-down part), 부트 스트랩 커패시터모듈(5') 및 풀다운 유지모듈(6', pull-down holding part)을 포함한다; 상기 풀업모듈(2'), 제1 풀다운모듈(4'), 부트 스트랩 커패시터모듈(5'), 풀다운 유지회로(6')는 각각 제N 단계 게이트 전극 신호점(Q(N)) 및 제N 단계 수평 스캔라인(G(N))과 전기적으로 연결되며, 상기 풀업 제어모듈(1')과 하향 전송모듈(3')은 각각 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되며, 상기 풀다운 유지모듈(6')은 직류 저전압(VSS)을 입력한다.

[0004] 상기 풀업 제어모듈(1')은, 게이트 전극은 제N-1 단계 GOA 유닛으로부터 받은 하향 전송신호(ST(N-1))를 입력하고, 드레인 전극은 제N-1 단계 수평 스캔라인G(N-1)에 전기적으로 연결되고, 소스 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))에 전기적으로 연결되는 제1 박막 트랜지스터(T1')를 포함하고; 상기 풀업모듈(2')은 게이트 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))에 전기적으로 연결되고, 드레인 전극은 제1 고주파 클럭신호(CK) 또는 제2 고주파 클럭신호(XCK)을 입력하고, 소스 전극은 제N 단계 수평 스캔라인(G(N))에 전기적으로 연결된 제2 박막 트랜지스터(T2')를 포함하고; 상기 하향 전송모듈(3')은, 게이트 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 드레인 전극은 제1 고주파 클럭신호(CK) 또는 제2 고주파 클럭신호(XCK)를 입력하고, 소스 전극은 제N 단계 하향 전송신호(ST(N))를 출력하는 제3 박막 트랜지스터(T3')를 포함하며; 상기 제1 풀다운모듈(4')은 게이트 전극은 제N+1 단계 수평 스캔라인(G(N+1))과 전기적으로 연결되고, 드레인 전극은 제N 단계 수평 스캔라인(G(N))에 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제4 박막 트랜지스터(T4'); 게이트 전극은 제N+1 단계 수평 스캔라인(G(N+1))과 전기적으로 연결되고, 드레인 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))에 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하

는 제5 박막 트랜지스터(T5')를 포함하며; 상기 부트 스트랩 커패시터모듈(5')은 부트 스트랩 커패시터(Cb')를 포함하며; 상기 풀다운 유지모듈(6')은, 게이트 전극은 제1 회로점(P(N)')과 전기적으로 연결되고, 드레인 전극은 제N 단계수평 스캔라인(G(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제6 박막 트랜지스터(T6'); 게이트 전극은 제1 회로점(P(N)')과 전기적으로 연결되고, 드레인 전극은 상기 제N 단계 게이트 전극 신호점(Q(N)), 소스 전극은 직류 저전압(VSS)을 입력하는 제7 박막 트랜지스터(T7'); 게이트 전극은 제2 회로점(K(N)')과 전기적으로 연결되고, 드레인 전극은 제N 단계수평 스캔라인(G(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제8 박막 트랜지스터(T8'); 게이트 전극은 제2 회로점(K(N)')과 전기적으로 연결되고, 드레인 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제9 박막 트랜지스터(T9'); 게이트 전극은 제1 저주파 클럭신호(LC1)를 입력 받고, 드레인 전극은 제1 저주파 클럭신호(LC1)를 입력 받고, 소스 전극은 제1 회로점(P(N)')과 전기적으로 연결되는 제10 박막 트랜지스터(T10'); 게이트 전극은 제2 저주파 클럭신호(LC2)를 입력 받고, 드레인 전극은 제1 저주파 클럭신호(LC1)를 입력 받고, 소스 전극은 제1 회로점(P(N)')과 전기적으로 연결되는 제11 박막 트랜지스터(T11'); 게이트 전극은 제2 저주파 클럭신호(LC2)를 입력 받고, 드레인 전극은 제2 저주파 클럭신호(LC2)를 입력하고, 소스 전극은 제2 회로점(K(N)')과 전기적으로 연결되는 제12 박막 트랜지스터(T12'); 게이트 전극은 제1 저주파 클럭신호(LC1)를 입력하고, 드레인 전극은 제2 저주파 클럭신호(LC2)를 입력하고, 소스 전극은 제2 회로점(K(N)')과 전기적으로 연결되는 제13 박막 트랜지스터(T13'); 게이트 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 드레인 전극은 제1 회로점(P(N)')과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제14 박막 트랜지스터(T14'); 게이트 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결하는, 드레인 전극은 제2 회로점(K(N)')과 전기적으로 연결하는, 소스 전극은 직류 저전압(VSS)을 입력하는 제15 박막 트랜지스터(T15')을 포함하고; 여기서, 제6 박막 트랜지스터(T6')와 제8 박막 트랜지스터(T8')는 작용하지 않은 기간 내에 제N 단계 수평 스캔라인(G(N))의 저전위를 유지하는 것을 책임지고, 제7 박막 트랜지스터(T7')와 제9 박막 트랜지스터(T9')는 작용하지 않은 기간 내에 제N 단계 게이트 전극 신호점(Q(N))의 저전위를 유지하는 것을 주관한다.

[0005] 전체 회로구조를 보면, 풀다운 유지모듈(6')은 비교적 긴 작업상태에 처해 있으며, 즉, 제1 회로점(P(N)')과 제2 회로점(K(N)')은 긴 시간동안 정방향의 높은 전위상태에 처하게 될 것이며, 이런 경우, 회로에서 전압응력작용(Stress)을 심하게 받는 몇몇의 부품은 박막 트랜지스터(T6', T7', T8', T9')이다. 게이트 전극 구동회로의 작동 시간이 증가에 따라, 박막 트랜지스터(T6', T7', T8', T9')의 임계치 전압(Vth)도 점차적으로 증가하며, 온 전류는 점차적으로 감소한다, 이는 제N 단계 수평 스캔라인(G(N))과 제N 단계 게이트 전극 신호점(Q(N))이 하나의 안정된 저전위 상태에 잘 유지되도록 할 수 없다. 이는 게이트 전극 구동회로의 신뢰성을 영향하는 가장 중용한 요소이다.

[0006] 비정질 실리콘 박막 트랜지스터 게이트 전극 구동회로에 있어서, 풀다운 유지모듈은 없어서는 안되며, 일반적으로 한 세트의 풀다운 유지모듈, 또는 두 세트의 교대로 작용하는 풀다운 유지모듈로 설계할 수 있다. 두 세트의 풀다운 유지모듈로 설계하는 주된 목적은 풀다운 유지모듈 중 제1 회로점(P(N)')과 제2 회로점(K(N)')이 제어하는 박막 트랜지스터(T6', T7', T8', T9')가 받는 전압응력작용을 감소시키려는 것이다. 그러나, 실제 측정 에 의하면, 두 세트의 풀다운 유지모듈로 설계하더라도 박막 트랜지스터(T6', T7', T8', T9')이 4개의 박막 트랜지스터는 여전히 전체 게이트 전극 구동회로 중 전압응력을 가장 많이 받는 부분인 것을 발견하였다. 즉, 박막 트랜지스터의 임계치 전압(Vth)이 가장 많이 이동하게 된다.

[0007] 도 2a를 참조하면, 이는 임계치 전압이 이동하기 전후의 박막 트랜지스터의 전체 전류대수와 전압 곡선 사이의 관계 변화를 나타낸 개략도다. 여기서, 실선은 임계치 전압 이동이 발생하지 않은 전류대수 및 전압관계의 곡선이고, 점선은 임계치 전압의 이동이 있을 후의 전류대수 및 전압관계를 나타낸 곡선이다. 도 2a에 의하면, 동일한 게이트 소스 전극 전극전압(Vgs)에서, 임계치 전압의 이동이 발생하지 않을 경우의 전류대수(Log(Ids))는 임계치 전압이동 후의 전류대수보다 더 큰 것을 알 수 있다. 도 2b를 참조하면, 이는 임계치 전압이 이동한 전후 박막 트랜지스터 전체적인 전류 및 전압곡선 관계 변화를 나타낸 개략도다. 도 2b에 의하면, 동일한 드레인 소스 전극 전류(Ids)에서, 임계치 전압 이동이 발생하지 않을 경우의 게이트 전극 전압(Vg1)은 임계치 전압이 이동한 후의 게이트 전극전압(Vg2)보다 더 작은 것을 알 수 있다. 즉, 임계치 전압 이동 후, 동등한 드레인 소스 전극 전류(Ids)에 도달하기 위하여 더 큰 게이트 전극전압이 필요하다.

[0008] 도 2a 및 도 2b에 의하면, 임계치 전압(Vth)이 정방향으로 이동하면 박막 트랜지스터의 온 전류(Ion)는 점차적으로 낮아지고, 임계치 전압(Vth)의 증가에 따라, 박막 트랜지스터의 온 전류(Ion)는 지속적으로 낮아진다. 그러면 회로에 있어서, 제N 단계 게이트 전극 신호점(Q(N))과 제N 단계 수평 스캔라인(G(N))의 전위의 안정을 잘

유지할 수 없으며, 이는 액정 디스플레이 장치의 화면 디스플레이가 비정상적으로 나타나게 한다.

[0009] 이상에서 설명한 바와 같이, 게이트 전극 구동회로 중에서 가장 쉽게 효력을 잃는 부품은 풀다운 유지모듈의 박막 트랜지스터(T6', T7', T8', T9')이다. 따라서, 게이트 전극 구동회로와 액정디스플레이 패널의 신뢰성을 향상하기 위하여 반드시 이 문제를 해결해야 한다. 통상적인 설계상의 접근방법으로는 상기 4 개의 박막 트랜지스터의 크기를 증가하는 것이다. 그러나, 박막 트랜지스터의 크기가 증가하는 동시에 박막 트랜지스터가 작동할 때의 오프상태의 누설전류도 증가하게 되므로 본질적으로 문제를 해결할 수 없다.

**발명의 내용**

**해결하려는 과제**

[0010] 본 발명은 자기보상 기능을 구비하는 풀다운 유지모듈을 통해 게이트 전극 구동회로가 장기간 작동시의 신뢰성을 향상시키며, 임계치 전압 이동에 의한 게이트 전극 구동회로의 작동에 대한 영향을 낮추는 자기보상 기능을 구비하는 게이트 전극 구동회로를 제공하는데 그 목적이 있다.

**과제의 해결 수단**

[0011] 상기 목적을 실현하기 위하여, 본 발명은 자기보상 기능을 구비하는 게이트 전극 구동회로를 제공하며, 이는 제 N 단계 GOA유닛이 디스플레이 영역의 제N 단계 수평 스캔라인(G(N))에 대하여 충전하는 것을 따르는 캐스캐이드드(cascaded) 복수의 GOA유닛을 포함하며, 상기 제N 단계 GOA유닛은 풀업 제어모듈, 풀업모듈, 하향 전송모듈, 제1 풀다운모듈, 부트 스트랩 커패시터모듈 및 풀다운 유지모듈을 포함하며; 상기 풀업모듈, 제1 풀다운모듈, 부트 스트랩 커패시터모듈, 풀다운 유지회로는 각각 제N 단계 게이트 전극 신호점(Q(N)) 및 제N 단계 수평 스캔라인(G(N))과 전기적으로 연결되며, 상기 풀업 제어모듈과 하향 전송모듈은 각각 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되며, 상기 풀다운 유지모듈은 직류 저전압(VSS)을 입력하며;

[0012] 상기 풀다운 유지모듈은 게이트 전극은 제1 회로점(P(N))과 전기적으로 연결되고, 드레인 전극은 제N 단계 수평 스캔라인(G(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제1 박막 트랜지스터(T1); 게이트 전극은 제1 회로점(P(N))과 전기적으로 연결되고, 드레인 전극은 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압 (VSS)을 입력하는 제2 박막 트랜지스터(T2); 다이오드 결선법을 이용하여 게이트 전극은 직류 신호원(DC)과 전기적으로 연결되고, 드레인 전극은 직류 신호원(DC)과 전기적으로 연결되고, 소스 전극은 제2 회로점(S(N))과 전기적으로 연결되는 제3 박막 트랜지스터(T3); 게이트 전극은 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 드레인 전극은 제2 회로점(S(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압 (VSS)을 입력하는 제4 박막 트랜지스터(T4); 게이트 전극은 제N-1 단계 게이트 전극신호점(Q(N-1))과 전기적으로 연결되고, 드레인 전극은 제1 회로점(P(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압 (VSS)을 입력하는 제5 박막 트랜지스터(T5); 게이트 전극은 제N+1 단계 수평 스캔라인(G(N+1))과 전기적으로 연결되고, 드레인 전극은 제1 회로점(P(N))과 전기적으로 연결되고, 소스 전극은 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되는 제6 박막 트랜지스터(T6); 상부 전극판은 제2 회로점(S(N))과 전기적으로 연결되고, 하부 전극판은 제1 회로점(P(N))과 전기적으로 연결되는 제1 커패시터(Cst1)를 포함한다.

[0013] 상기 풀업 제어모듈은 게이트 전극은 제N-1 단계 GOA유닛으로부터의 하향 전송신호(ST(N-1))를 입력하고, 드레인 전극은 제N-1 단계 수평 스캔라인(G(N-1))과 전기적으로 연결되고, 소스 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))과 연결된 제7 박막 트랜지스터(T7)를 포함하며; 상기 풀업모듈은 게이트 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 드레인 전극은 제1 고주파 클럭신호(CK) 또는 제2 고주파 클럭신호(XCK)를 입력하고, 소스 전극은 제N 단계 수평 스캔라인(G(N))과 전기적으로 연결되는 제8 박막 트랜지스터(T8)를 포함하며; 상기 하향 전송모듈은 게이트 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 드레인 전극은 제1 고주파 클럭신호(CK) 또는 제2 고주파 클럭신호(XCK)를 입력하고, 소스 전극은 제 N 단계 하향 전송신호(ST(N))를 출력하는 제9 박막 트랜지스터(T9)를 포함하며; 상기 제1 풀다운모듈은 게이트 전극은 제N+2 단계 수평 스캔라인(G(N+2))과 전기적으로 연결되고, 드레인 전극은 제N 단계수평 스캔라인(G(N))과 전기적으로 연결, 소스 전극은 직류 저전압(VSS)을 입력하는 제10 박막 트랜지스터(T10); 게이트 전극은 제N+2 단계 수평 스캔라인(G(N+2))과 전기적으로 연결되고, 드레인 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제11 박막 트랜지스터(T11)를 포함하고; 상기 부트 스트랩 커패시터모듈은 부트 스트랩 커패시터(Cb)를 포함한다.

[0014] 상기 게이트 전극 구동회로의 제1 단계 연결관계에서, 제5 박막 트랜지스터(T5)의 게이트 전극은 회로 작동신호



(STV)와 전기적으로 연결되며; 제7 박막 트랜지스터(T7)의 게이트 전극과 드레인 전극 모두 회로 작동신호(STV)와 전기적으로 연결된다.

- [0015] 상기 게이트 전극 구동회로의 마지막 1 단계의 연결관계에서, 제6 박막 트랜지스터(T6)의 게이트 전극은 회로 작동신호(STV)와 전기적으로 연결되고; 제10 박막 트랜지스터(T10)의 게이트 전극은 제2 단계 수평 스캔라인(G(2))과 전기적으로 연결되고; 제11 박막 트랜지스터(T11)의 게이트 전극은 제2 단계 수평 스캔라인(G(2))과 전기적으로 연결된다.
- [0016] 상기 풀다운 유지모듈은 상부 전극판은 제1 회로점(P(N))과 전기적으로 연결되고, 하부 전극판은 직류 저전압(VSS)을 입력하는 제2 커패시터(Cst2)를 더 포함한다.
- [0017] 상기 풀다운 유지모듈은 게이트 전극은 제N+1 단계 수평 스캔라인(G(N+1))과 전기적으로 연결되고, 드레인 전극은 제2 회로점(S(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제12 박막 트랜지스터(T12)를 더 포함한다.
- [0018] 상기 풀다운 유지모듈은 상부 전극판은 제1 회로점(P(N))과 전기적으로 연결되고, 하부 전극판은 직류 저전압(VSS)을 입력하는 제2 커패시터(Cst2); 게이트 전극은 제N+1 단계 수평 스캔라인(G(N+1))과 전기적으로 연결되고, 드레인 전극은 제2 회로점(S(N))과 전기적으로 연결, 소스 전극은 직류 저전압을 입력하는 제12 박막 트랜지스터(T12)를 더 포함한다.
- [0019] 상기 제1 고주파 클럭신호(CK)와 제2 고주파 클럭신호(XCK)는 위상이 완전히 반대로 된 두개의 고주파 클럭 신호원이다.
- [0020] 상기 제1 풀다운모듈에는, 제N 단계 게이트 전극 신호점(Q(N))의 전위가 일정한 고전위로 상승하여 일정한 시간을 유지하는 제1 단계, 제1 단계의 기초에서 다시 일정한 고전위로 상승하여 일정한 시간을 유지하는 제2 단계, 제2 단계의 기초에서 제1 단계와 수평을 유지하는 고전위로 하강하는 제3 단계를 나타내고, 그 다음 3단계 중의 제3 단계를 이용하여 임계치 전압의 자기보상을 실현하도록 제10 박막 트랜지스터T(10)의 게이트 전극과 제11 박막 트랜지스터T(11)의 게이트 전극은 각각 제N+2 단계 수평 스캔라인(G(N+2))과 전기적으로 연결된다.
- [0021] 상기 제N 단계 게이트 전극 신호점(Q(N))의 전위는 3단계를 나타내며, 그 중 제3 단계의 변화는 주로 제6 박막 트랜지스터(T6)의 영향을 받는다.
- [0022] 상기 제6 박막 트랜지스터(T6)의 게이트 전극은 제N+1 단계 하향 전송신호(ST(N+1))와 전기적으로 연결된다.

**발명의 효과**

[0023] 본 발명의 유익한 효과는 다음과 같다. 즉, 본 발명은 자기보상 기능을 구비하는 게이트 전극 구동회로를 제공하며, 커패시터의 부트 스트랩 역할을 이용하여 풀다운 유지모듈의 제1 회로점(P(N))을 제어하며, 박막 트랜지스터의 임계치 전압을 측정하는 기능을 설계하여, 그 임계치 전압을 제1 회로점(P(N))에 저장하여, 제1 회로점(P(N))의 제어 전압이 박막 트랜지스터의 임계치 전압의 이동에 따라 변하는 것을 추가로 구현하였다. 본 발명은 자기보상 기능을 구비하는 풀다운 유지모듈을 통해 게이트 전극 구동회로가 장기간 작동시의 신뢰성을 향상시키며, 임계치 전압의 이동이 게이트 전극 구동회로의 작동에 대한 영향을 저하시키며; 또한 한 세트의 직류 신호원(DC)으로 직접 제어하는 풀다운 유지모듈로 설계함으로 회로판의 설계공간을 절약할 뿐만 아니라 회로의 전체적인 능률소모를 낮출 수 있다.

[0024] 본 발명의 기술적 특징과 기술내용을 더 자세하게 이해하기 위하여, 이하 본 발명의 상세 설명과 첨부된 도면을 참조하기를 바란다. 그러나 첨부된 도면은 단지 참고 및 설명용으로 사용되며, 본 발명에 대하여 한정하는 것은 아니다.

**도면의 간단한 설명**

[0025] 이하는 첨부된 도면을 결합하여 본 발명의 구체적인 실시방식에 대한 상세설명을 통해 본 발명의 기술방안 및 기타 유익한 효과를 더 명확하도록 한다.

도 1은 기존의 자주 사용하는 게이트 전극 구동회로의 구조를 나타내는 개략도다.

도 2a은 임계치 전압이 이동한 전후의 박막 트랜지스터의 전체적인 전류대수와 전압곡선 관계변화를 나타내는 개략도다.

도 2b은 임계치 전압이 이동한 전후의 박막 트랜지스터의 전체적인 전류와 전압곡선의 관계 변화를 나타내는 개략도다.

도 3은 본 발명의 자기보상 기능을 구비하는 게이트 전극 구동회로의 단일단계 구조를 나타내는 개략도다.

도 4는 본 발명의 자기보상 기능을 구비하는 게이트 전극 구동회로의 단일단계 구조의 제1 단계 연결관계를 나타내는 개략도다.

도 5는 본 발명의 자기보상 기능을 구비하는 게이트 전극 구동회로의 단일단계 구조의 마지막 1 단계의 연결관계를 나타내는 개략도다.

도 6은 도 3에서 사용된 풀다운 유지모듈의 제1 실시예를 나타내는 회로도이다.

도 7a은 임계치 전압이 이동하기 전 도 3에서 도시된 게이트 전극 구동회로의 순서도이다.

도 7b은 임계치 전압이 이동한 후 도 3에서 도시된 게이트 전극 구동회로의 순서도이다.

도 8은 도 3에서 사용된 풀다운 유지모듈의 제2 실시예를 나타내는 회로도이다.

도 9는 도 3에서 사용된 풀다운 유지모듈의 제3 실시예를 나타내는 회로도이다.

도 10은 도 3에서 사용된 풀다운 유지모듈의 제4 실시예를 나타내는 회로도이다.

**발명을 실시하기 위한 구체적인 내용**

[0026] 본 발명에서 사용되는 기술수단과 그 효과에 대하여 더 진일보로 설명하기 위하여, 이하에서는 본 발명의 바람직한 실시예 및 그 첨부된 도면을 결합하여 상세한 설명을 진행한다.

[0027] 도 3을 참조하면, 본 발명의 자기보상 기능을 구비하는 게이트 전극 구동회로의 단일단계 구조를 나타내는 개략도다. 이는 제N 단계 GOA유닛이 디스플레이 영역의 제N 단계 수평 스캔라인(G(N))에 대하여 충전하는 것을 따르는 캐스케이드(cascaded) 복수의 GOA유닛을 포함하며, 상기 제N 단계 GOA유닛은 풀업 제어모듈(1), 풀업모듈(2), 하향 전송모듈(3), 제1 풀다운모듈(4), 부트 스트랩 커패시터모듈(5) 및 풀다운 유지모듈(6)을 포함하며; 상기 풀업모듈(2), 제1 풀다운모듈(4), 부트 스트랩 커패시터모듈(5), 풀다운 유지회로(6)는 각각 제N 단계 게이트 전극 신호점(Q(N)) 및 제N 단계 수평 스캔라인(G(N))과 전기적으로 연결되며, 상기 풀업 제어모듈(1)과 하향 전송모듈(3)은 각각 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되며, 상기 풀다운 유지모듈(6)은 직류 저전압(VSS)을 입력한다.

[0028] 상기 풀다운 유지모듈은 게이트 전극은 제1 회로점(P(N))과 전기적으로 연결되고, 드레인 전극은 제N 단계 수평 스캔라인(G(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제1 박막 트랜지스터(T1); 게이트 전극은 제1 회로점(P(N))과 전기적으로 연결되고, 드레인 전극은 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제2 박막 트랜지스터(T2); 다이오드 결선법을 이용하여 게이트 전극은 직류 신호원(DC)과 전기적으로 연결되고, 드레인 전극은 직류 신호원(DC)과 전기적으로 연결되고, 소스 전극은 제2 회로점(S(N))과 전기적으로 연결되는 제3 박막 트랜지스터(T3); 게이트 전극은 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 드레인 전극은 제2 회로점(S(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제4 박막 트랜지스터(T4); 게이트 전극은 제N-1 단계 게이트 전극 신호점(Q(N-1))과 전기적으로 연결되고, 드레인 전극은 제1 회로점(P(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제5 박막 트랜지스터(T5); 게이트 전극은 제N+1 단계 수평 스캔라인(G(N+1))과 전기적으로 연결되고, 드레인 전극은 제1 회로점(P(N))과 전기적으로 연결되고, 소스 전극은 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되는 제6 박막 트랜지스터(T6); 상부 전극판은 제2 회로점(S(N))과 전기적으로 연결되고, 하부 전극판은 제1 회로점(P(N))과 전기적으로 연결되는 제1 커패시터(Cst1)를 포함한다.

[0029] 상기 풀업 제어모듈(1)은 게이트 전극은 제N-1 단계 GOA유닛으로부터의 하향 전송신호(ST(N-1))를 입력하고, 드레인 전극은 제N-1 단계 수평 스캔라인(G(N-1))과 전기적으로 연결되고, 소스 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))과 연결된 제7 박막 트랜지스터(T7)를 포함하며; 상기 풀업모듈(2)은 게이트 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 드레인 전극은 제1 고주파 클럭신호(CK) 또는 제2 고주파 클럭신호(XCK)를 입력하고, 소스 전극은 제N 단계 수평 스캔라인(G(N))과 전기적으로 연결되는 제8 박막 트랜지스터(T8)를 포함하며; 상기 하향 전송모듈(3)은 게이트 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 드레인 전극은 제1 고주파 클럭신호(CK) 또는 제2 고주파 클럭신호(XCK)를 입력하고, 소

스 전극은 제N 단계 하향 전송신호(ST(N))를 출력하는 제9 박막 트랜지스터(T9) 포함하며; 상기 제1 풀다운모듈(4)은 게이트 전극은 제N+2 단계 수평 스캔라인(G(N+2))과 전기적으로 연결되고, 드레인 전극은 제N 단계 수평 스캔라인(G(N))과 전기적으로 연결, 소스 전극은 직류 저전압(VSS)을 입력하는 제10 박막 트랜지스터(T10); 게이트 전극은 제N+2 단계 수평 스캔라인(G(N+2))과 전기적으로 연결되고, 드레인 전극은 상기 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제11 박막 트랜지스터(T11)를 포함하며; 상기 제1 풀다운모듈(4)에는, 제N 단계 게이트 전극 신호점(Q(N))의 전위가 일정한 고전위로 상승하여 일정한 시간을 유지하는 제1 단계, 제1 단계의 기초에서 다시 일정한 고전위로 상승하여 일정한 시간을 유지하는 제2 단계, 제2 단계의 기초에서 제1 단계와 수평을 유지하는 고전위로 하강하는 제3 단계를 나타내고, 그 다음 3단계 중의 제3 단계를 이용하여 임계치 전압의 자기보상을 실현하도록 제10 박막 트랜지스터(T10)의 게이트 전극과 제11 박막 트랜지스터(T11)의 게이트 전극은 각각 제N+2 단계 수평 스캔라인(G(N+2))과 전기적으로 연결된다; 상기 부트 스트랩 커패시터모듈(5)은 부트 스트랩 커패시터(Cb)를 포함한다.

[0030] 상기 다 단계 수평 스캔라인 사이의 단계수는 순환되며, 즉, 제N 단계 수평 스캔라인(G(N))중의 N이 마지막 1 단계인 Last인 경우, 제N+2 단계 수평 스캔라인(G(N+2))은 제2 단계 수평 스캔라인(G(2))을 대표하며; 제N 단계 수평 스캔라인(G(N)) 중의 N이 마지막으로 제2 단계인 Last-1인 경우, 제N+2 단계 수평 스캔라인(G(N+2))은 제1 단계 수평 스캔라인(G(1))을 대표하며, 이러한 방식으로 유추한다.

[0031] 도 4와 도 3을 결합하여 참조하면, 도 4는 본 발명의 자기보상 기능을 구비하는 게이트 전극 구동회로의 단일단계 구조의 제1 단계 연결관계를 나타내는 개략도다. 즉, N이 1인 경우의 게이트 전극 구동회로의 연결관계를 나타낸 개략도다. 여기서, 제5 박막 트랜지스터(T5)의 게이트 전극은 회로 작동신호(STV)에 전기적으로 연결되고; 제7 박막 트랜지스터(T7)의 게이트 전극과 드레인 전극 각각 회로 작동신호(STV)에 전기적으로 연결된다.

[0032] 도 5와 도 3을 참조하면, 도 5는 본 발명의 자기보상 기능을 구비하는 게이트 전극 구동회로의 단일단계 구조의 마지막 단계의 연결관계를 나타내는 개략도다. 즉, N이 마지막 1 단계인 Last인 경우의 게이트 전극 구동회로의 연결관계를 나타낸 개략도다. 여기서, 제6 박막 트랜지스터(T6)의 게이트 전극은 회로 작동신호(STV)에 전기적으로 연결되며; 제10 박막 트랜지스터(T10)의 게이트 전극은 제2 단계 수평 스캔라인(G(2))에 전기적으로 연결되며; 제11 박막 트랜지스터(T11)의 게이트 전극 제2 단계 수평 스캔라인(G(2))에 전기적으로 연결된다.

[0033] 도 6을 참조하면, 이는 도 3에서 사용하는 풀다운 유지모듈의 제1 실시예를 나타내는 회로도이다. 여기서, 제어 신호원은 직류 신호원(DC)만을 사용한다. 이는 상부 전극판은 제2 회로점(S(N))과 전기적으로 연결되고, 하부 전극판은 제1 회로점(P(N))과 전기적으로 연결되는 제1 커패시터(Cst1); 게이트 전극은 제1 회로점(P(N))과 전기적으로 연결되고, 드레인 전극은 제N 단계 수평 스캔라인(G(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제1 박막 트랜지스터(T1); 게이트 전극은 제1 회로점(P(N))과 전기적으로 연결되고, 드레인 전극은 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제2 박막 트랜지스터(T2); 다이오드 결선법을 이용하여 게이트 전극은 직류 신호원(DC)과 전기적으로 연결되고, 드레인 전극은 직류 신호원(DC)과 전기적으로 연결되고, 소스 전극은 제2 회로점(S(N))과 전기적으로 연결되는 제3 박막 트랜지스터(T3); 게이트 전극은 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되고, 드레인 전극은 제2 회로점(S(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제4 박막 트랜지스터(T4); 게이트 전극은 제N-1 단계 게이트 전극신호점(Q(N-1))과 전기적으로 연결되고, 드레인 전극은 제1 회로점(P(N))과 전기적으로 연결되고, 소스 전극은 직류 저전압(VSS)을 입력하는 제5 박막 트랜지스터(T5); 게이트 전극은 제N+1 단계 수평 스캔라인(G(N+1))과 전기적으로 연결되고, 드레인 전극은 제1 회로점(P(N))과 전기적으로 연결되고, 소스 전극은 제N 단계 게이트 전극 신호점(Q(N))과 전기적으로 연결되는 제6 박막 트랜지스터(T6) 포함한다. 상기 제4 박막 트랜지스터(T4)의 주요 목적은 작용기간 내에 제2 회로점(S(N))을 풀다운 시키므로 제2 회로점(S(N))을 통한 제1 회로점(P(N))의 전위에 대해 제어를 실현하는 것이다. 상기 제5 박막 트랜지스터(T5)의 역할은 제N 단계 수평 스캔라인(G(N))과 제N 단계 게이트 전극신호점(Q(N))이 출력하는 작용기간에 제N 단계 수평 스캔라인(G(N))과 제N 단계 게이트 전극신호점(Q(N))이 정상으로 출력할 수 있도록 제1 회로점(P(N))을 저전위의 오프상태에서 유지하는 것을 확보하는 것이다. 이렇게 설계한 목적은 제N 단계 게이트 전극 신호점(Q(N))의 3단계 중의 제3 단계의 전위를 이용하여 임계치 전압의 측정을 진행하여 그 전위를 제1 회로점(P(N))에 저장하는 것이다.

[0034] 제1 회로점(P(N))에서 임계치 전압(Vth)을 저장 후, 제6 박막 트랜지스터(T6)와 제5 박막 트랜지스터(T5)은 턴 오프 된 다음 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)가 비 작용기간에 턴 온 상태를 잘 유지하여 제N 단계 수평 스캔라인(G(N))과 제N 단계 게이트 전극신호점(Q(N))의 저전위를 유지하기 위하여 제1 회로점

(P(N))의 전위를 상대적으로 높은 정 전위에 이루도록 제1 커패시터(Cst1)를 통해 재차 상승시킨다.

[0035] 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)의 임계치 전압(Vth)이 정방향이동이 발생되고, 점차적으로 증가하게 되면, 제6 박막 트랜지스터(T6)는 임계치 높은 한 전압 값을 제1 회로점(P(N))에 저장하게 되며, 그러면, 부트 스트랩 이 증가한 후 제1 회로점(P(N))의 전위는 더 높아지게 되며 이를 통해 임계치 전압(Vth)의 증가에 인한 부면 효과를 보상할 수 있어, 풀다운 유지모듈의 자기 보상역할을 실현할 수 있어, 풀다운 유지모듈의 신뢰성을 효율적으로 향상시킬 수 있다; 또한 이러한 자기보상 방식의 풀다운 유지모듈 설계를 사용하므로, 두 개의 교대작업의 모듈을 설계할 필요가 없이, 직류 신호원으로 제어되는 풀다운 유지모듈의 설계만으로도 가능하게 된다. 이는 에너지 소모를 감소할 뿐만 아니라 회로도 설계 공간도 절약할 수 있다.

[0036] 도 7a, 도 7b 및 도 3을 결합하여 참조하면, 도 7a은 임계치 전압 이동 전후 도 3에서 도시된 게이트 전극 구동 회로의 순서도이다. 도 7b은 임계치 전압 이동 후 도 3에서 도시된 게이트 전극 구동회로의 순서도이다. 도 7a과 도 7b에서 (STV)신호는 회로 작동 신호이고, 제1 고주파 클럭신호(CK)와 제2 고주파 클럭신호(XCK)은 위상이 완전 반대인 한 세트의 고주파 클럭 신호원이며, (DC)는 고전위에 있는 한 직류 신호원이며, (G(N-1))는 제N-1 단계 수평 스캔라인, 즉, 전 단계의 스캔 출력 신호이며, (ST(N-1))는 제N-1 단계 하향 전송신호, 즉, 전 단계의 하향 전송 신호이며, Q(N-1)는 제N-1 단계 게이트 전극 신호점, 즉, 전 단계의 게이트 전극 신호점이며, (Q(N))는 제N 단계 게이트 전극 신호점, 즉, 현재 단계의 게이트 전극 신호점이다.

[0037] 도 7a과 7b에서 도시된 바와 같이, 제N 단계 게이트 전극 신호점(Q(N))전위는 3개의 단계를 나타내며, 여기서 3개의 단계중의 제3 단계의 변화는 주로 제6 박막 트랜지스터(T6)의 영향을 받게 된다. 도 7a에 의하면, 액정패널 라이트를 켜진 초기시간(T0)에서 임계치 전압(Vth)은 작으며, 즉, 게이트 전극 구동회로가 장기간 조작을 하지않았을 경우, 임계치 전압(Vth)은 이동이 발생하지 않았으며, 제N 단계 게이트 전극 신호점(Q(N))의 제3 단계의 전위는 낮으며, 이와 대응하는 제1 회로점(P(N))의 전위도 낮은 것을 알 수 있다. 도 7b에 의하면, 제N 단계 게이트 전극 신호점(Q(N))의 제3 단계의 전위는 전압응력의 작용에 의해 임계치 전압(Vth) 이동 후 따라 상승하며, 이렇게 하면 이 부분을 이용하여 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)의 임계치 전압을 측정하는 목적을 이루게 될 수 있는 것을 알게 된다.

[0038] 도 7a과 도 7b에 의하면, 도 3에서 도시된 게이트 전극 구동회로의 작동과정은 제N+1 단계 수평 스캔라인(G(N+1))이 도통 되었을 때 제6 박막 트랜지스터(T6)는 턴 온 되어, 이때 제N 단계 게이트 전극 신호점(Q(N))와 제1 회로점(P(N))의 전위 같으며, 제2 박막 트랜지스터(T2)는 다이오드 결선법에 같은 효율을 갖게 된다. 제1 회로점(P(N))은 제N 단계 게이트 전극 신호점(Q(N))의 제3 단계에서 제6 박막 트랜지스터(T6)을 통해 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)의 임계치 전압의 값을 저장할 수 있으며, 이는 임계치 전압(Vth)의 이동에 따라, 제N 단계 게이트 전극 신호점(Q(N))의 제3 단계의 전위를 상승시키며, 제1 회로점(P(N))이 저장한 임계치 전압의 전위 값도 상승하게 되며, 다음, 제2 회로점(S(N))은 다시 제1 커패시터(Cst1)를 통해 제1 회로점(P(N))을 상승시키며, 이렇게 하므로 임계치 전압의 변화를 보상할 수 있다.

[0039] 도 7a과 7b에서 도시된 바와 같이, 임계치 전압이동 전후, 제N 단계 게이트 전극 신호점(Q(N))과 제1 회로점(P(N))의 전위도 현저한 변화가 발생되었다, 특히, 제1 회로점(P(N))의 전위의 증가는 임계치 전압 이동인한 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)의 온 전류에 대한 영향을 효율적으로 낮출 수 있다. 따라서, 제N 단계 수평 스캔라인(G(N))과 제N 단계 게이트 전극 신호점(Q(N))은 긴 시간 작업 후에도 여전히 저전위 상태를 양호하게 유지하는 것을 확보할 수 있다.

[0040] 도 8과도 6을 결합하여 참조하면, 도 8은 도 3에서 사용하는 풀다운 유지모듈의 제2 실시예를 나타내는 회로도이다. 도 8은 도 6의 기초상에서 상부 전극판은 제1 회로점(P(N))과 전기적으로 연결되고, 하부 전극판은 직류 저전압(VSS)를 입력하며, 임계치 전압을 저장하는 주된 역할을 갖는 하나의 제2 커패시터(Cst2)를 추가한 것이다. 제1 박막 트랜지스터(T1)과 제2 박막 트랜지스터(T2) 자체적으로 일정한 기생 커패시터를 갖고 있기 때문에, 제2 커패시터(Cst2)의 역할을 수행할 수 있으며, 따라서 실제 회로설계에서 제2 커패시터(Cst2)는 제거할 수 있다.

[0041] 도 9와 도 6을 결합하여 참조하면, 도 9는 도 3에서 사용된 풀다운 유지모듈의 제3 실시예를 나타내는 회로도이다. 도 9는 도 6의 기초에서 게이트 전극은 제N+1 단계수평 스캔라인(G(N+1))과 전기적으로 연결되고, 드레인 전극은 제2 회로점(S(N))과 전기적으로 연결하며, 소스 전극은 직류 저전압(VSS)를 입력하는 제12 박막 트랜지스터(T12)를 추가하는 것이다; 상기 제12 박막 트랜지스터(T12)의 주된 목적은 제N 단계 게이트 전극 신호점(Q(N))의 제1 단계의 전위가 높지 않으므로 제2 회로점(S(N))의 작용기간에 전위를 충분히 낮게 풀다운 할 수 없는 것을 보상하는 것이다.

[0042] 도 10과 도 6을 결합하여 참조하면, 도 10은 도 3에서 사용되는 풀다운 유지모듈의 제4 실시예를 나타내는 회로도이다. 도 10은 도 6의 기초에서 상부 전극관은 제1 회로점(P(N))과 전기적으로 연결되고, 하부 전극관은 직류 저전압(VSS)를 입력하는 제2 커패시터(Cst2)과; 게이트 전극은 제N+1 단계 수평 스캔라인(G(N+1))과 전기적으로 연결되고, 드레인 전극은 제2 회로점(S(N))과 전기적으로 연결하며, 소스 전극은 직류 저전압(VSS)를 입력하는 제12 박막 트랜지스터(T12)를 추가하는 것이다.

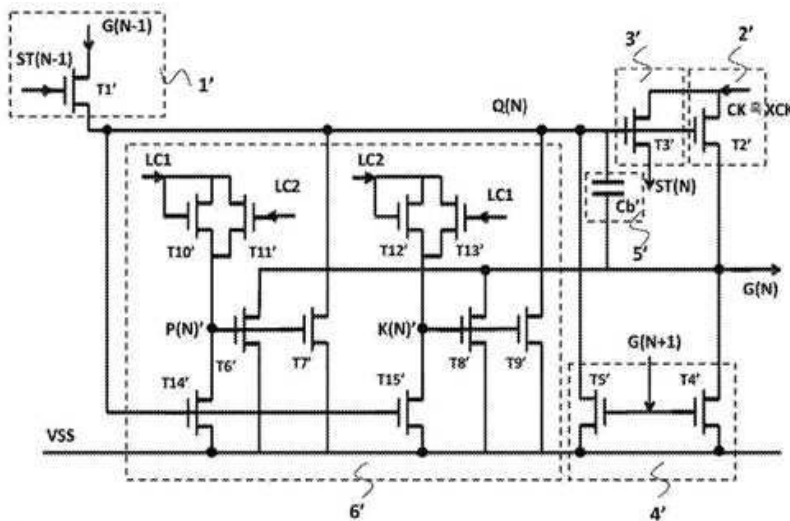
[0043] 도 3에서 도시된 게이트 전극 구동회로의 단일단계 구조 중에 풀다운 유지모듈(6)은 도 6, 도 8, 도 9, 도 10 중의 임의의 풀다운 유지모듈 설계방안으로 치환될 수 있으며, 치환 후의 게이트 전극 구동회로의 순서도는 도 7a, 도 7b과 동일하며, 그 작동과정은 도 3에서 도시된 게이트 전극 구동회로와 동일함으로 따라서 중복설명을 하지 않는다.

[0044] 상기 내용에 의하면, 본 발명은 종래의 게이트 전극 구동회로 구조 중 풀다운 유지모듈이 전압응력으로 영향이 심하여 효율을 가장 쉽게 잃는 문제에 대하여, 커패시터의 부트 스트랩 역할을 이용하여 풀다운 유지모듈의 제1 회로점(P(N))를 제어하여, 박막 트랜지스터의 임계치 전압을 측정할 수 있는 기능을 설계하여, 임계치 전압을 제1 회로점(P(N))에 저장하여, 제1 회로점(P(N))의 제어전압이 박막 트랜지스터의 임계치 전압의 이동에 따라 변화할 수 있는 자기보상 기능을 구비하는 게이트 전극 구동회로를 제공한다. 본 발명은 자기보상 기능을 구비하는 풀다운 유지모듈을 통해 게이트 전극 구동회로가 장기간 작동시의 신뢰성을 향상시키며, 임계치 전압의 이동이 게이트 전극 구동회로의 작동에 대한 영향을 낮추었으며; 또한 한 세트의 직류 신호원(DC)으로 직접 제어하는 풀다운 유지모듈로 설계함으로 회로판의 설계공간을 절약할 뿐만 아니라 회로의 전체적인 능률소모를 낮출 수 있다.

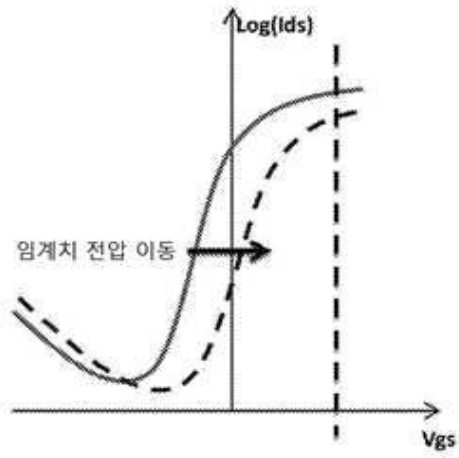
[0045] 본 기술분야의 기술자는 상기내용을 본 발명의 기술방안과 기술사상에 의하여, 기타 대응된 다양한 개변화 변형을 할 수 있으나, 이러한 개변과 변형은 전부다 본 발명의 청구범위가 보호하는 범위에 속하게 된다.

도면

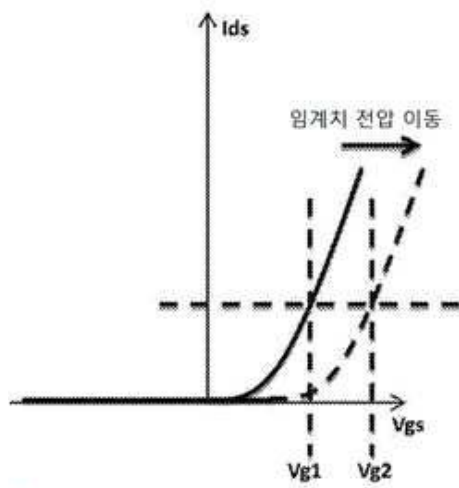
도면1



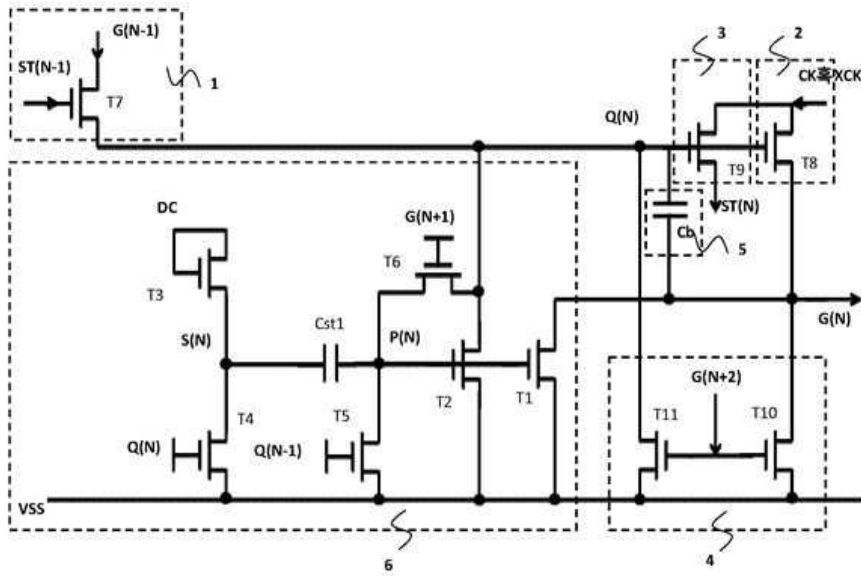
도면2a



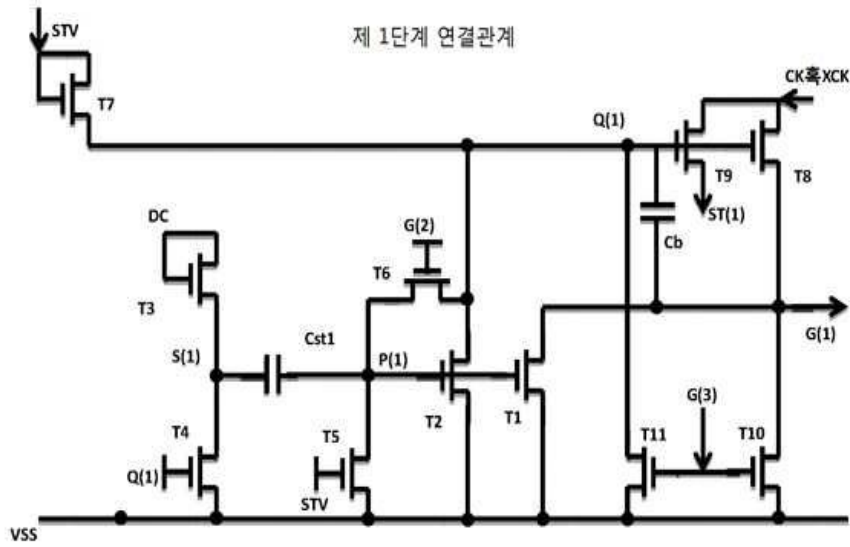
도면2b



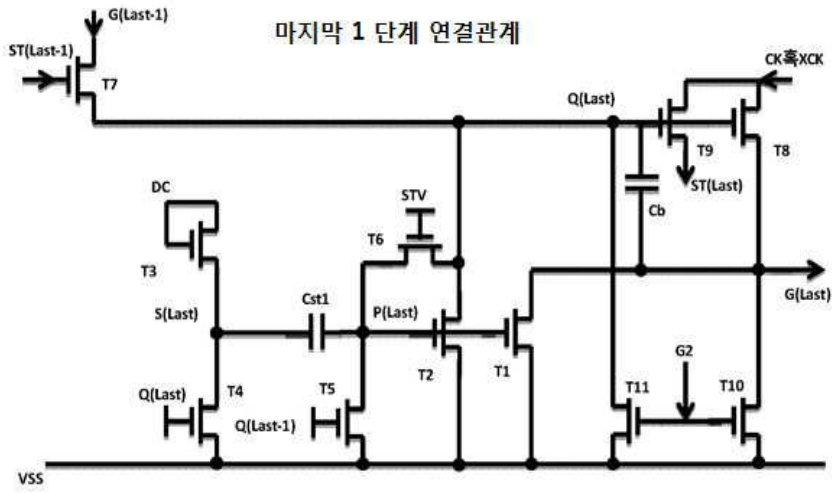
도면3



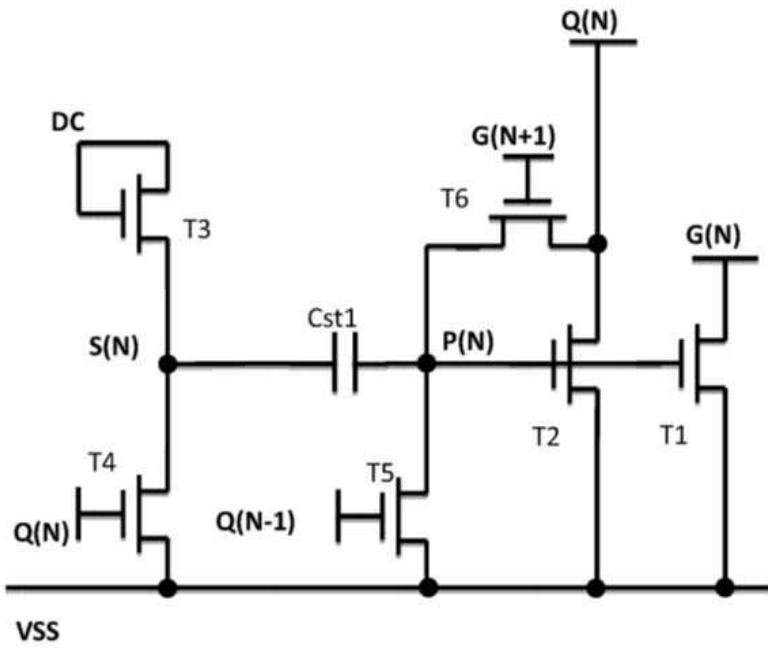
도면4



도면5

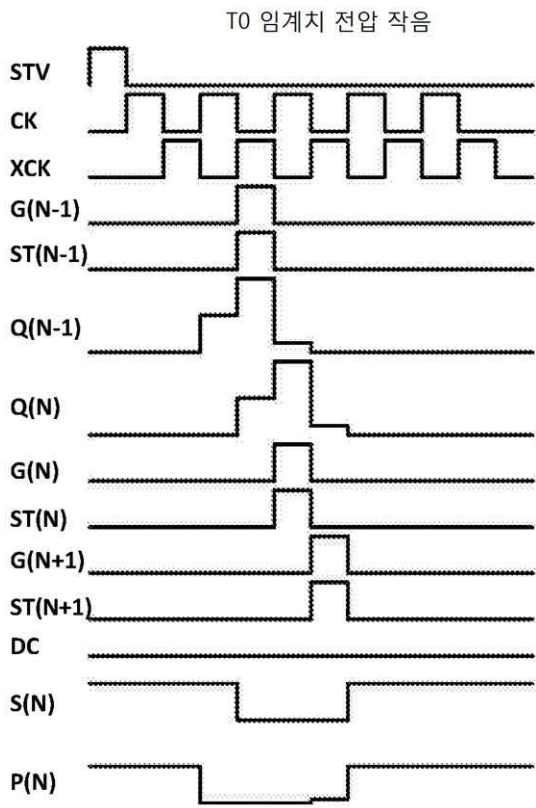


도면6



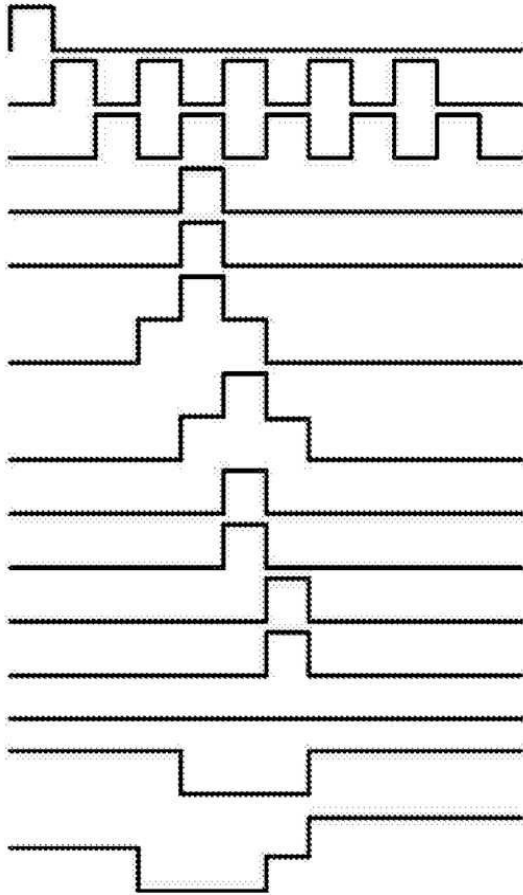


도면7a

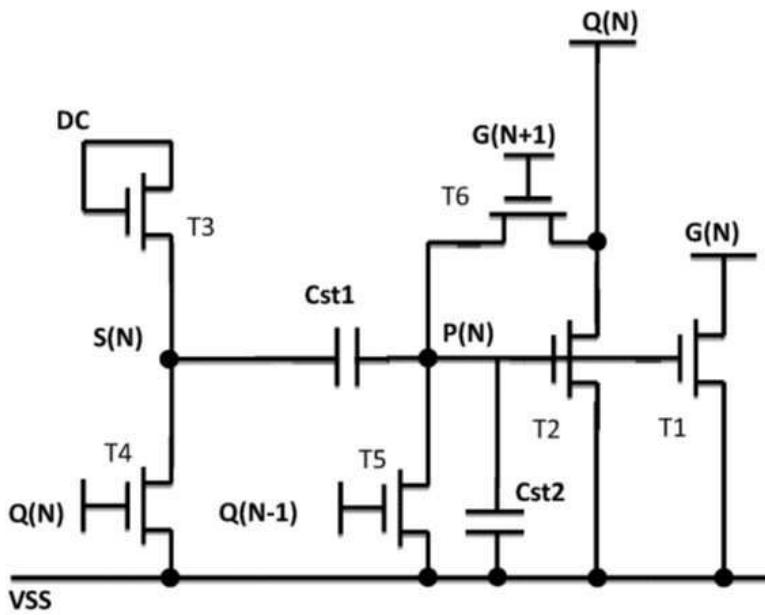


도면7b

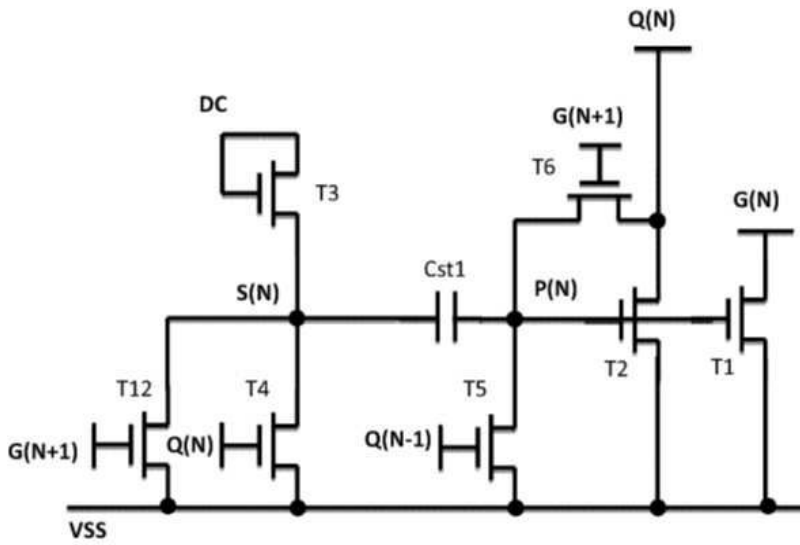
전압응력 작용 임계치 전압 증가후



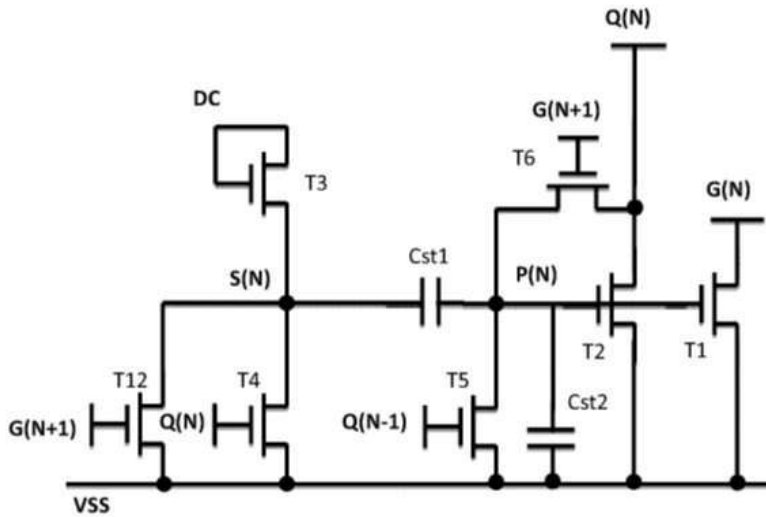
도면8



도면9



도면10



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

자기보상형 기능을

【변경후】

자기보상 기능을

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 2

【변경전】

자기보상형 기능을

**【변경후】**

자기보상 기능을

**【직권보정 3】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항 3

**【변경전】**

자기보상형 기능을

**【변경후】**

자기보상 기능을

**【직권보정 4】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항 4

**【변경전】**

자기보상형 기능을

**【변경후】**

자기보상 기능을

**【직권보정 5】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항 5

**【변경전】**

자기보상형 기능을

**【변경후】**

자기보상 기능을

**【직권보정 6】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항 11

**【변경전】**

자기보상형 기능을

**【변경후】**

자기보상 기능을

**【직권보정 7】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항 7

**【변경전】**

자기보상형 기능을

**【변경후】**

자기보상 기능을

**【직권보정 8】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항 8

**【변경전】**

자기보상형 기능을

**【변경후】**

자기보상 기능을

**【직권보정 9】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항 9

**【변경전】**

자기보상형 기능을

**【변경후】**

자기보상 기능을

**【직권보정 10】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항 10

**【변경전】**

자기보상형 기능을

**【변경후】**

자기보상 기능을

**【직권보정 11】**

**【보정항목】** 청구범위

**【보정세부항목】** 청구항 6

**【변경전】**

자기보상형 기능을

**【변경후】**

자기보상 기능을