(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 195 45 743 B4** 2007.11.29

(12) **Patentschrift**

(21) Aktenzeichen: **195 45 743.9**
(22) Anmeldetag: **07.12.1995**
(43) Offenlegungstag: **13.06.1996**
(45) Veröffentlichungstag der Patenterteilung: **29.11.2007**

(51) Int Cl.[8]: ***G11C 29/18*** (2006.01)
G11C 29/24 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten(§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:
6-304040 07.12.1994 JP

(73) Patentinhaber:
Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

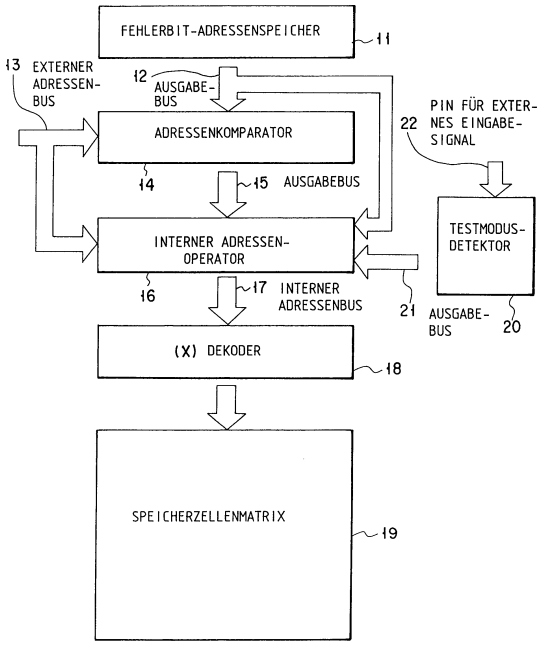
(74) Vertreter:
HOFFMANN & EITLE, 81925 München

(72) Erfinder:
Oowaki, Yukihito, Yokohama, JP; Fukuda, Ryo, Yokohama, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
DE 41 32 116 C2

(54) Bezeichnung: **Halbleiterspeichervorrichtung mit Speicherzellenmatrix**

(57) Hauptanspruch: Halbleiterspeichervorrichtung, enthaltend:
eine Speicherzellenmatrix (19) mit Speicherzellen, die in Form von XY-Richtungen in einer Matrix angeordnet sind;
eine Vorrichtung (11) zum Speichern mindestens der X-Adresse von Fehlerbit-Speicherzellen der Speicherzellen, die durch die X-Adresse und Y-Adresse in der Speicherzellenmatrix definiert sind; und
eine Vorrichtung (16) zum Erzeugen einer Adresse Xe + m (m = positive oder negative ganze Zahl), die als interne Adresse dient, wenn die X-Adresse Xe entsprechend der Fehlerbitadresse von einem externen Abschnitt eingegeben wird.



Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Halbleiterspeichervorrichtung mit einer Speicherzellenmatrix mit mehreren Speicherzellen, die in Matrixform angeordnet sind, und insbesondere eine Halbleiterspeichervorrichtung mit einer Fehlerbit-Sicherungsfunktion.

[0002] Bei der Speicherzellenmatrix, bei der Speicherzellen in Matrixform angeordnet sind, ist es außerordentlich schwierig, alle Bits (Speicherzellen) ohne jedweden Fehler zu bilden. Aufgrund dieser Tatsache ist es erforderlich, eine sogenannte Fehlerbit-Sicherung vorzusehen, bei der eine fehlerhafte Speicherzelle durch eine Speicherzelle ersetzt wird, die separat vorgesehen ist.

[0003] Üblicherweise ist die in Fig. 1 gezeigte Struktur als typisches Fehlersicherungs-Speichersystem bekannt. Gemäß Fig. 1 ist eine Hauptspeicher-Zellenmatrix **1** vorgesehen, sowie ein redundanter Zellenspeicher **2**, ein Dekoder **3** für die Seite der Hauptspeicher-Zellenmatrix, ein Dekoder **4** für die Auswahl der Seite der redundanten Speicherzellenmatrix, eine Redundanzsicherung **5** und eine Steuerschaltung **6**.

[0004] Gemäß dem obigen System sind die Speicherzellen auf die Speichermatrix aufgeteilt. Anschließend werden in der Speichermatrix das Speicherzellenfeld **1** und die redundanten Speicherzellen gebildet. Wird eine Adresse von einer externen Einheit eingegeben, so wird überprüft, ob die eingegebene Adresse eine Fehlerbitadresse ist oder nicht. Wird im Ergebnis festgestellt, daß es die Fehlerbitadresse ist, so wird ein Ausgangssignal des Dekoders **3** der Hauptspeicher-Zellenmatrix **1** inaktiv gehalten, und der Dekoder **4** für die redundanten Speicherzellen **2** wird aktiviert, damit der Zugriff auf die redundante Speicherzellenmatrix **2** durchgeführt wird.

[0005] Jedoch bestehen – wie im folgenden erläutert – zwei Probleme bei dem oben erläuterten gebräuchlichen System.

[0006] Im einzelnen ist es zunächst unmöglich, einen Fehler der redundanten Speicherzellenmatrix **2** vorab zu prüfen. Aufgrund dieser Tatsache tritt selbst dann, wenn das Fehlerbit der Hauptspeicher-Zellenmatrix **1** durch den redundanten Speicher ersetzt wird, ein Fall auf, in dem das Fehlerbit der Hauptspeicher-Zellenmatrix **1** durch eine fehlerhafte redundante Speicherzelle ersetzt wird, und das Fehlerbit nicht gesichert werden kann.

[0007] Zweitens ist aufgrund der Tatsache, daß die Speicherzelle, die durch den redundanten Speicher gesichert werden kann, lediglich die zu dem redundanten Speicher benachbart angeordnete Matrix ist, der Wirkungsgrad der Sicherung niedrig.

[0008] Wie oben erläutert, tritt bei der gebräuchlichen Halbleiterspeichervorrichtung selbst dann, wenn das fehlerhafte Bit durch den redundanten Speicher ersetzt wird, das Problem auf, daß das fehlerhafte Bit durch die fehlerhafte redundante Speicherzelle ersetzt wird. Oder es besteht das Problem, daß die Speicherzelle, die durch den redundanten Speicher gesichert werden kann, lediglich auf der benachbart zu dem redundanten Speicher angeordneten Matrix besteht, so daß der Wirkungsgrad der Sicherung niedrig ist.

[0009] Aus der DE 41 32 116 C2 ist ein Reparaturschaltkreis für Fehlerbit-Speicherzellen bekannt. Die Speicherzellen dieser bekannten Vorrichtung sind in einer Speicherzellenmatrix durch X- und Y-Adressen definiert. Die internen Adressen der bekannten Vorrichtung werden durch Verschieben in X- oder Y-Richtung festgelegt. Wenn hier eine Fehlerbit-Speicherzelle gefunden wird, wird ein Datenwert, der an eine Adresse der Fehlerbit-Speicherzelle geschrieben werden soll, in eine andere Speicherzelle eingeschrieben, die von einer Adresse der Fehlerbit-Speicherzelle verschoben ist. An sich weist der Reparaturschaltkreis keine redundanten Speicherzellen auf.

[0010] Eine Aufgabe der vorliegenden Erfindung besteht in der Schaffung einer Halbleiterspeichervorrichtung, die fehlerhafte Bits zuverlässig sichern kann, ohne daß ein Austausch mit fehlerhaften redundanten Speicherzellen erfolgt, und die eine Verbesserung des Wirkungsgrads bei der Sicherung fehlerhafter Bits ermöglicht.

[0011] Diese Aufgabe wird durch eine Halbleiterspeichervorrichtung gemäß Anspruch 1, Anspruch 6, Anspruch 7 gelöst.

[0012] Der Kernpunkt der vorliegenden Erfindung besteht im Zusammenhang mit Punkten, die ein Testen der redundanten Speicherzellen ermöglichen, und der redundante Speicher kann benützt werden, um ein fehlerhaftes Bit in einer Fehlermatrix zu sichern, die nicht immer benachbart angeordnet ist.

[0013] Bei der vorliegenden Erfindung wird eine externe Adresse durch ein α-Bit (z.B. 10-Bit) definiert und eine interne Adresse wird durch ein β-Bit (z.B. 11-Bit) definiert. Die vorliegende Erfindung umfaßt eine Einrichtung zum Erzeugen einer internen Adresse Xe + m (m = eine positive oder eine negative ganze Zahl), wenn eine Adresse Xe entsprechend der Fehlerbit-Adresse von einem externen Abschnitt eingegeben wird. Da die innere Adresse gemäß der äußeren Adresse und der Fehlerbit-Adresse erzeugt wird, wird dadurch das physikalische Segement des Hauptspeicher-Zellenfelds und des redundanten

Speicherzellenfelds nicht notwendigerweise benötigt und der Zugriffstest auf den redundanten Speicherabschnitt kann in einer ähnlichen Weise ausgeführt werden, wie für den Hauptspeicherzellenabschnitt. Deswegen kann das Fehlerbit sicher gespeichert werden und die Speicherungseffizienz kann verbessert werden.

[0014] Gemäß dem ersten Aspekt der vorliegenden Erfindung wird eine Halbleiterspeichervorrichtung geschaffen, enthaltend eine Speicherzellenmatrix mit Speicherzellen, die in Form von XY-Richtungen in einer Matrix angeordnet sind; eine Vorrichtung zum Speichern mindestens der X-Adresse von Fehlerbit-Speicherzellen der Speicherzellen, die durch die X-Adresse und Y-Adresse in der Speicherzellenmatrix definiert sind; und eine Vorrichtung zum Erzeugen einer Adresse Xe + m (m = positive oder negative ganze Zahl), die als interne Adresse dient, wenn die X-Adresse Xe entsprechend der Fehlerbitadresse von einem externen Abschnitt eingegeben wird.

[0015] Im folgenden werden die wünschenswerten spezifischen Formen der vorliegenden Erfindung erläutert.

(1) Die Vorrichtung zum Erzeugen einer Adresse, welche nachfolgend auch als Adressengeneratorvorrichtung bezeichnet wird, enthält eine Vorrichtung zum Erzeugen einer Adresse Xi + m (m = positive oder negative ganze Zahl), die als interne Adresse dient, wenn eine X-Adresse Xe entsprechend der Fehlerbitadresse und eine Adresse Xi größer als Xe von dem externen Abschnitt eingegeben werden.

(2) Die Adressengeneratorvorrichtung enthält eine Vorrichtung zum Erzeugen einer Adresse Xi, die mit einer externen Adresse übereinstimmt und als die interne Adresse dient, wenn die Adresse Xi in dem Bereich von X0 bis Xel – 1 als externe Adresse eingegeben wird, in einem Fall, in dem mehrere Fehlerbits in der Speicherzellenmatrix vorliegen und die X-Adresse ausgehend von den unteren Bits Xej ist, und zum Erzeugen einer Adresse Xi + j, die durch Addieren von j zu einer externen Adresse gebildet wird und als interne Adresse dient, wenn als interne Adresse eine Adresse in den Bereich von Xej – (j – l) bis Xe (j + l) – (j + l) eingegeben wird.

(3) Die X-Adresse ist eine Spaltenadresse für die Auswahl einer Bitleitung (oder eine Zeilenadresse für die Auswahl einer Wortleitung), und die Y-Adresse ist eine Zeilenadresse (oder eine Spaltenadresse).

[0016] Gemäß dem zweiten Aspekt der vorliegenden Erfindung wird eine Halbleiterspeichervorrichtung geschaffen, enthaltend: eine Speicherzellenmatrix mit Speicherzellen, die in Form von XY-Richtungen in einer Matrix angeordnet sind; eine Speichervorrichtung zum Speichern der X- und Y-Adressen der Fehlerbit-Speicherzellen; eine Vorrichtung zum Auswählen entweder der X-Adresse oder der Y-Adresse zum Durchführen einer Adressenverschiebung in Abhängigkeit von der Orientierung der Fehlerbits; und eine Vorrichtung zum Erzeugen einer Adresse Xe + m oder Ye + m (m = positive oder negative ganze Zahl), die als eine interne Adresse dient, wenn die ausgewählte X-Adresse Xe oder Y-Adresse Ye der von einem externen Abschnitt eingegebenen Fehlerbitadresse entspricht.

[0017] In diesem Fall ist eine Adressenverschiebung vorzugsweise negativ.

[0018] Gemäß dem dritten Aspekt der vorliegenden Erfindung wird eine Halbleiterspeichervorrichtung geschaffen, enthaltend: eine Speicherzellenmatrix mit Speicherzellen, die in einer Matrixform zumindest in X-Richtung angeordnet sind; und eine Vorrichtung zum wahlweisen Erzeugen einer internen X-Adresse, auf die nicht zugegriffen wird (im folgenden auch als „Adressenumsetzschaltung" bezeichnet), wenn die von einem externen Abschnitt eingegebene X-Adresse in eine interne X-Adresse umgesetzt wird.

[0019] Die folgenden Ausführungen erläutern die wünschenswerten spezifischen Formen der vorliegenden Erfindung.

(1) Die Halbleiterspeichervorrichtung enthält ferner eine Vorrichtung zum Speichern mehrerer Fehleradressen; eine Vorrichtung zum Vergleichen der mehreren Fehleradressen und der von dem externen Abschnitt eingegebenen X-Adresse anhand der Zahl der Adressen; und eine Vorrichtung zum Erzeugen von Fehleradressen (nachfolgend auch als „Vorrichtung zum Ausgeben von Fehleradressen" bezeichnet), deren Zahl gleich der oder kleiner als die X-Adresse ist, die anhand der externen Fehleradresse ausgegeben wird. Die Adressenumsetzschaltung enthält eine Vorrichtung zum Addieren der Zahl der Fehleradressen, die gleich der oder kleiner als die Adresse ist, die von dem externen Abschnitt als externe Adresse eingegeben wird, damit die interne Adresse erzeugt wird. Zudem enthält die Vorrichtung zum Ausgeben der Fehleradressen, deren Zahl gleich der oder kleiner als die X-Adresse ist, die anhand der externen Fehleradresse ausgegeben wird, eine Vorrichtung zum Speichern einer Bitfehleradresse.

(2) Die Adressenumsetzvorrichtung enthält eine Vorrichtung zum Erzeugen der internen X-Adresse, die vorab gespeichert wird, wenn die externe Adresse entsprechend der beliebig definierten Adresse eingegeben wird, beim Umsetzen der von dem externen Abschnitt eingegebenen X-Adresse in die interne X-Adresse. Dieser Fall ist dadurch gekennzeichnet, daß die Halbleitervorrichtung ferner enthält: eine Vorrichtung zum Speichern einer Fehleradresse; eine Vorrichtung

zum Vergleichen einer externen Adresse mit der Fehleradresse; eine Vorrichtung zum Ausgeben einer vorgegebenen internen Adresse an einen internen Adressenbus, wenn die externe Adresse konsistent mit der Fehleradresse ist. Weiterhin enthält die Vorrichtung zum Speichern der Fehleradresse Sicherungen, die elektrisch oder mit einem Laserstrahl durchgetrennt werden.

(3) Die Halbleiterspeichervorrichtung enthält ferner einen internen Adressenbus zum Verändern entweder der externen Adresse oder dessen erfaßter und verstärkter Adresse und einer intern erzeugten und zu übertragenden Adresse. In diesem Fall ist eine logische Busbreite des internen Adressenbusses breiter als diejenige der externen Adressen.

[0020] Gemäß der vorliegenden Erfindung ist eine Vorrichtung vorgesehen zum Speichern der X-Adresse der fehlerhaften Bitspeicherzelle und eine Vorrichtung zum Erzeugen der internen Adresse Xe + m anhand der Fehlerbitadresse Xe. Im Ergebnis ist die physikalische Segmentierung der Hauptspeicherzellenmatrix und der redundanten Speicherzellenmatrix nicht unbedingt erforderlich und der Zugriffstest auf dem redundanten Speicherabschnitt kann entsprechend wie bei dem Hauptspeicher-Zellenabschnitt durchgeführt werden. Aufgrund dieser Tatsache kann das fehlerhafte Bit sicher ersetzt werden, und die Sicherungseffizienz läßt sich erhöhen.

[0021] Zudem kann bei der Struktur, wie sie oben unter Punkt (1) bei dem ersten Aspekt beschrieben ist, bei demjenigen Abschnitt, dessen Adresse größer als die Fehlerbitadresse ist, eine m-Bitadressenverschiebung durchgeführt werden, und das fehlerhafte Bit kann gesichert werden, indem einfach eine Berechnung erfolgt, bei der das m-Bit unter der Bedingung X > Xe addiert wird.

[0022] Weiterhin wird, wie es oben unter Punkt (2) bei dem ersten Aspekt beschrieben ist, dann, wenn die X-Adresse mit mehreren Fehlerbits zu Xej (j = 1, 2, ...) ausgehend von den unteren Bits gesetzt wird und die Adresse Xi einschließlich des Bereichs von X0 bis Xel – 1 als externe Adresse eingegeben wird, die interne Adresse Xi + j bei der j zu der externen Adresse addiert wird, als interne Adresse erzeugt. Hierdurch können im Fall mehrerer Fehlerbits die Fehlerbits einfach gesichert werden.

[0023] Weitere Aufgaben und Merkmale der vorliegenden Erfindung werden in der nachfolgenden Beschreibung erläutert, und ergeben sich teilweise aus der Beschreibung oder können aus der praktischen Umsetzung der vorliegenden Erfindung abgeleitet werden. Die Aufgaben und Vorteile der vorliegenden Erfindung können anhand von Vorrichtungen der Geräte und der Kombinationen realisiert und erhalten werden, die insbesondere in den angefügten Patentansprüchen betont sind.

[0024] Die beiliegenden Figuren, die mit einbezogen sind und einen Teil der Beschreibung darstellen, stellen momentan bevorzugte Ausführungsformen der vorliegenden Erfindung dar und dienen zusammen mit der obigen allgemeinen Beschreibung und der nachfolgenden detaillierten Beschreibung bevorzugter Ausführungsformen für die Erklärung der Prinzipien der vorliegenden Erfindung. Es zeigen:

[0025] Fig. 1 ein Blockschaltbild zum Darstellen einer Grundstruktur einer gebräuchlichen Halbleiterspeichervorrichtung;

[0026] Fig. 2 ein Blockschaltbild zum Darstellen einer Grundstruktur einer Ausführungsform der vorliegenden Erfindung;

[0027] Fig. 3 eine Ansicht zum Darstellen einer Adressenstruktur einer Speicherzellenmatrix, die in der Ausführungsform benützt wird;

[0028] Fig. 4 eine Ansicht zum Darstellen eines Zustands einer Adressenverschiebung für die Handhabung eines fehlerhaften Bits;

[0029] Fig. 5 ein Blockschaltbild zum Darstellen einer speziellen Struktur der Halbleiterspeichervorrichtung der Ausführungsform;

[0030] Fig. 6 ein Schaltbild zum Darstellen eines Adressenkomparators;

[0031] Fig. 7A und Fig. 7B Schaltbilder zum jeweiligen Darstellen eines Adressenumsetzers;

[0032] Fig. 8 ein Blockschaltbild zum Darstellen eines Adressenumsetzers;

[0033] Fig. 9 ein Blockschaltbild zum Darstellen einer Addierzeit-Berechnungsschaltung;

[0034] Fig. 10 ein Blockschaltbild zum Darstellen einer Grundstruktur einer Halbleiterspeichervorrichtung einer anderen Ausführungsform;

[0035] Fig. 11 ein Schaltbild zum Darstellen einer Fehleradressen-Speichervorrichtung und einer Fehleradressen-Erfassungsschaltung;

[0036] Fig. 12 ein Schaltbild zum Darstellen einer alternativen Adressenspeichervorrichtung und einer alternativen Adressenausgabevorrichtung; und

[0037] Fig. 13 ein Schaltbild zum Darstellen einer Externadressen-Nichtverfügbarschaltung.

[0038] Eine Ausführungsform der vorliegenden Erfindung wird nun unter Bezug auf die Zeichnung be-

schrieben. Zunächst erfolgt eine allgemeine Darstellung der Ausführungsform der vorliegenden Erfindung.

[0039] Die Fig. 2 zeigt ein Blockschaltbild zum Darstellen einer Grundstruktur einer Ausführungsform der vorliegenden Erfindung. In Fig. 2 ist ein Fehlerbit-Adressenspeicher **11** gezeigt, und ein Ausgangsbus **12** für eine Fehlerbitadresse, ein externen Adressenbus **13**, ein Adressenkomparator **14** zum Vergleichen jeder an den Bussen **12** und **13** anliegenden Adresse miteinander, ein Ausgabebus **15** für das Vergleichsergebnis der Adressen, ein interner Adressenoperator **16** zum Vorbereiten einer internen Adresse, ein interner Adressenbus **17** für die Ausgabe der vorbereiteten internen Adresse, ein X-Dekoder **18**, eine Speicherzellenmatrix **19**, ein Testmodusdetektor **20**, ein Ausgabebus **21** für einen Textmodusmerker und ein externes Pin-Eingabesignal **22**.

[0040] Bei der Speicherzellenmatrix **19** dieser Ausführungsform wird eine X-Adresse mit α (Bits) extern benützt. Eine interne Adresse wird durch β Bits (α + 1) definiert. Insbesondere wird, wie es in Fig. 3 gezeigt ist, bei der Speicherzellenmatrix **19** ein Bereich für das Sichern eines fehlerhaften Bits zusätzlich zu dem Abschnitt vorgesehen, der der X-Adresse mit α Bits entspricht, der eigentlich erforderlich ist. Bei dieser Ausführungsform wird ein DRAM-Speicher als Speicherzelle zum Strukturieren der Matrix **19** benützt.

[0041] Bei der oben erwähnten Struktur wird dann, wenn die X-Adresse mit α Bits über dem externen Adressenbus **13** von einem externen Abschnitt eines Chips oder einem externen Speichereinheitsabschnitt desselben Chips eingegeben wird, die Adresse mit einer Adressenausgabe des Fehlerbit-Adressenspeichers **11** mit β Bits (β > α) verglichen. Insbesondere wird die X-Adresse mit dem niedrigen/weniger signifikanten α Bit mit der β-Bit-Adresse verglichen. Bei der folgenden Erläuterung der Ausführungsform wird β = α + 1 gesetzt.

[0042] Im folgenden wird ein Fall erläutert, bei dem die Zahl der Fehlerbits eins beträgt.

[0043] Ist die Eingabeadresse (externe Adresse) mit einer Fehlerbitadresse bei dem niederwertigen n-Bit-Anteil inkonsistent, so wird an den Adressenkomparator-Ausgabebus **15** ein Inkonsistenzsignal ausgegeben, und dieselben Adressendaten wie die auf dem externen Adressenbus vorliegende Eingabeadresse wird an den internen Adressenbus ausgegeben. Anschließend wird die Adresse bei dem X-Dekoder **18** eingegeben, und eine X-Auswahlleitung entsprechend der Adresse wird ausgewählt, beispielsweise eine Wortleitung.

[0044] Andererseits wird dann, wenn die Eingabeadresse konsistent mit einer Fehlerbitadresse bei den niederwertigen n-Bits ist oder mit der Fehlerbitadresse übereinstimmt, oder größer als die Fehlerbitadresse ist, eine Adresse, bei der m zu den Daten des externen Adressenbus **13** addiert ist, von dem Adressenumsetzer **16** erzeugt. In diesem Fall wird beispielsweise m = 1. Wie oben erwähnt, wird das fehlerhafte Bit durch eine Adresse mit einem höheren Bit ersetzt.

[0045] Bei Betrachtung eines Falls mit mehreren fehlerhaften Bits folgt unter Bezugnahme auf die Fig. 4 für eine kurze Erläuterung eine Erklärung eines Falls, bei dem zwei Fehlerbits die Adresse XA und die Adresse XB aufweisen, wobei XA < XB gilt.

[0046] Ist die Eingabe Xi über den externen Adresenbus **13** kleiner als die Eingabe XA, so werden dieselben Daten Xi wie bei dem externen Adressenbus **13** von dem internen Adressenbus **7** ausgegeben. Ist die Eingabe Xi des externen Adressenbus **13** gleich XA oder größer als XA und kleiner als XB – 1, so wird ein Wert Xi + 1 bei dem "1" zu den Daten des externen Adressenbus **13** addiert wurden, über den internen Adressenbus **17** ausgegeben. Auch dann, wenn die Eingabe über den externen Adressenbus **13** gleich XB – 1 oder größer als XB – 1 ist, wird ein Wert Xi + 2, bei dem "2" zu den Daten Xi des externen Adressenbus **13** addiert ist, an den internen Adressenbus **17** ausgegeben. Wie oben erwähnt, werden die fehlerhaften Bits ersetzt. Der Zustand der Adressenverschiebung ist anhand eines Pfeils in Fig. 3 gezeigt.

[0047] Entsprechend den obigen Ausführungsformen wird in dem Fall von drei oder mehr fehlerhaften Bits dann, wenn die X-Adresse mit Fehlerbits Xej (j = 1, 2, ...) ausgehend von dem unteren Bit beträgt und die Adresse Xi einschließlich dem Bereich von X0 bis Xel – 1 über den externen Adressenbus **13** eingegeben wird, die interne Adresse Xi, die mit der externen Adresse übereinstimmt, an dem internen Adressenbus **17** erzeugt. Wird die Adresse in dem Bereich von Xej – (j – 1) bis Xe (j + 1) – (j + 1) eingegeben, so wird eine interne Adresse Xi + j, bei der j zu der externen Adresse addiert ist, an dem internen Adressenbus **17** erzeugt. Hierdurch können eine Anzahl von j Fehlerbits gesichert werden.

[0048] Im folgenden erfolgt eine Erläuterung des Testmodus der vorliegenden Ausführungsform. Bei dieser Ausführungsform wird der Testmodus durch ein Signal bei dem externen Pin gesetzt oder die Kombination der Eingangssignale bei dem externen Pin, und ein Testmerker wird aktiviert.

[0049] Der Testmodus ist in zwei Moden A und B aufgeteilt. Der Textmodusdetektor **20** erfaßt zwei Moden auf der Grundlage der Eingabe bei dem externen Pin oder der Kombination der Eingabe. Das Erfassungsergebnis wird an den Ausgangsbus **21** des

Testmodusmerkers ausgegeben.

[0050] Im Modus A werden Daten von dem Adressenbus **13** direkt an den internen Adressenbus **17** ausgegeben. Hierdurch wird auf die Speicherzelle gemäß den α Bits zugegriffen, wie es in Fig. 3 gezeigt ist. Im Modus B wird das höchstwertige Bit (MSB) auf eins gesetzt, und Daten von dem Adressenbus **13** werden als untere Adresse an den internen Adressenbus **17** ausgegeben. Hierdurch wird auf die in Fig. 3 gezeigte Vorratsspeicherzelle zugegriffen.

[0051] Wie oben erläutert, kann in dem Testmodus A und B jeweils ein Zugriff auf alle Zellen der Speicherzellenmatrix **19** durchgeführt werden. In anderen Worten kann ein Test unabhängig davon durchgeführt werden, ob es sich um den Hauptspeicher-Zellenabschnitt oder den redundanten Speicherzellenabschnitt handelt.

[0052] Im folgenden wird speziell die Ausführung der Halbleiterspeichervorrichtung der vorliegenden Erfindung nach Fig. 2 erläutert.

[0053] Wie oben erläutert, werden bei der Halbleiterspeichervorrichtung der vorliegenden Erfindung eine Anzahl von Zellen vorbereitet, die größer als die Anzahl der Adressen ist, auf die von einem externen Abschnitt zugegriffen wird, sowie entsprechende Adressen, unabhängig von den normalen Hauptspeicherzellen und der redundanten Speicherzelle.

[0054] Insbesondere wird von mehreren Speicherzellen auf einen Teil des Speichervorrats von dem zu benützenden externen Abschnitt zugegriffen. Wie in Fig. 5 gezeigt ist, wird eine Adresse Am ($0 \leq Am \leq Amax$) in eine interne Adresse Dm ($0 \leq Dm \leq Dmax$) umgesetzt. In diesem Zeitpunkt wird die Beziehung $Amax < Dmax$ festgelegt.

[0055] Die von dem externen Abschnitt eingegebene Adresse wird in einem Adressenpuffer **23** gespeichert. Die Adressenspeichervorrichtung **11**, die mit dem Adressenspeicher für das fehlerhafte Bit nach Fig. 3 übereinstimmt, speichert eine Nicht-Zugriffs-Adresse bei den internen Adressen (Fehlerbitadresse). Als Adressenspeichervorrichtung **11** kann eine Sicherung oder ein ROM-Speicher benützt werden. Die Zahl der Adressenspeichervorrichtung **11** ist eins, und die Fehlerspeicheradresse, die in dem i-ten ($0 \leq i \leq 1$) Adressenspeicher **11** gespeichert wird, beträgt Bi.

[0056] Die in dem Adressenpuffer **23** gespeicherte Adresse Am wird an den Adressenkomparator **14** gesendet. Der Adressenkomparator **14** vergleicht die in der Adressenspeichervorrichtung **11** gespeicherte Adresse Bi mit der in dem Adressenpuffer **23** gespeicherten externen Adresse Am. Das Vergleichsergebnis wird an den Adressenumsetzer **16** mit derselben Funktion wie der interne Adressenoperator gemäß Fig. 2 gesendet. Der Adressenumsetzer **16** setzt die externe Adresse Am in die interne Adresse Dm anhand des Vergleichsergebnisses um. In diesem Zeitpunkt der Umsetzung wird die externe Adresse Am so gesetzt, daß vermieden wird, daß sie in die Fehlerbitadresse Bi umgesetzt wird, die in der Adressenspeichervorrichtung **11** gespeichert ist. Gemäß der wie oben erläuterten umgesetzten internen Adresse wird auf die durch den Dekoder **18** dekodierten Speicherelemente der Speicherzellenmatrix **1** zugegriffen.

[0057] Als eine Umsetzung der externen Adresse Am in die interne Adresse Dm kann dann, wenn die von dem externen Abschnitt eingegebene Adresse Am größer als die i-te ist, die sich aus der in der Adressenspeichervorrichtung **11** gespeicherten kleinen Fehlerbitadresse ergibt, und kleiner als die i + l-te, in Betracht gezogen werden, daß i zu der externen Adresse zum Erhalten der internen Adresse addiert wird. die Ausführungsform, in der eine derartige Umsetzung erfolgt, wird nun erläutert.

[0058] Bei der i-ten Fehleradressen-Speichervorrichtung **11** wird die i-te Fehlerbitadresse Bi des niederwertigen Bits gespeichert. Die Fig. 6 zeigt die Schaltungsstruktur des Adressenkomparators. Es wird angenommen, daß es sich bei dem Adressenkomparator **14** der Fig. 6 um den i-ten ($0 \leq i \leq l$) handelt, und daß die von dem externen Abschnitt eingegebene Adresse n Bits aufweist. Zudem umfaßt die k-te Zahl der Fehlerbitadresse Bm und diejenige der von dem externen Abschnitt eingegebenen Adresse Am jeweils bk und ak. Zudem sind die l-ten bis k-ten Zahlen der Fehlerbitadresse Bm und diejenigen der von dem externen Abschnitt eingegebenen Adresse Am jeweils Bk und Ak. Der Adressenkomparator **14** ist die Vorrichtung zum Vergleichen der externen Adresse Am mit der Fehlerbitadresse Bi anhand der Zahl der Adresse.

[0059] Die Fig. 7A und Fig. 7B zeigt die Schaltungsstruktur des Adressenumsetzers **16**. Die Daten di ($1 \leq i \leq l$) dienen als ein EXOR (EXNOR-Ausgang) in Abhängigkeit von ci und ci + 1. In diesem Fall wird der Ausgangswert cl direkt an d0 eingegeben. Gilt $Am < B1$, so liegt lediglich d0 auf dem H-Pegel, und gilt $Bi \leq Am \leq Bi + 1$, so liegt lediglich di auf einem H-Pegel.

[0060] Wie in Fig. 7B gezeigt ist, werden Daten di ($0 \leq i \leq l$) an ein Transfergatter Qi ($0 \leq i \leq l$) zum Verbinden des Adressenpuffers **23** mit der Adressenschaltung eingegeben und an ein Transfergatter Qi' ($0 \leq i \leq l$), das an der Ausgangsseite einer i-Addierschaltung vorgesehen ist. Die i-Addierschaltung ist eine Schaltung zum Addieren von i als einer Eingangsgröße und in der Form aller allgemeinen Addierer reali-

siert. Demnach ist es dann, wenn die von dem externen Abschnitt eingegebene Adresse Am größer als die i-te ist, die von der kleinen Fehlerbitadresse Bm stammt, und niedriger als die i + l-te (Bi ≤ Am ≤ Bi + 1), möglich, eine Umsetzung durchzuführen, bei der i zu der externen Adresse Am addiert wird, damit eine interne Adresse Dm erhalten wird.

[0061] Im folgenden wird eine weitere Ausführungsform erläutert, bei der eine Umsetzung durchgeführt werden kann, bei der i zu der externen Adresse addiert wird, damit die interne Adresse erhalten wird, wenn die von dem externen Abschnitt eingegebene Adresse Am größer als die i-te ist, die von der in der Fehleradressen-Speichervorrichtung **11** gespeicherten niedrigen Fehlerbitadresse stammt, und niedriger als die i + l-te.

[0062] Bei dieser Ausführungsform kann die Fehlerbitadresse Bi an die Adressenspeichervorrichtung **11** eingegeben werden. Anders als bei der vorhergehenden Ausführungsform, kann die Reihenfolge der Fehlerbitadresse Bi unregelmäßig sein. Zudem kann als die Adressenspeichervorrichtung **11** die Sicherung oder der ROM-Speicher benützt werden. Bei dieser Ausführungsform wird derselbe Adressenkomparator **14** wie bei der vorhergehenden Ausführungsform benützt. Die Fig. 8 zeigt ein Blockschaltbild zum Darstellen des Adressenumsetzers **16**. Ein Ausgangssignal ci (0 ≤ i ≤ l) des Adressenkomparators **14** wird bei einer Addierzeit-Berechnungsschaltung **16-2** eingegeben. Die Fig. 9 zeigt ein Blockschaltbild zum Darstellen der Addierzeit-Berechnungsschaltung **16-2**.

[0063] Die Schaltung wird benützt, um die Anzahl von Bi derart zu erhalten, daß die Fehlerbitadresse Bi und die von dem externen Abschnitt eingegebene Adresse Am die Beziehung Bi ≤ Am erfüllen. Da die Beziehung Bi ≤ Am erfüllt ist, wenn das Ausgangssignal ci des Adressenkomparators **4** auf einem L-Pegel liegt, kann die Zahl von B, die die Bedingung Bi ≤ Am erfüllt, erhalten werden, indem ein invertiertes Ausgangssignal von ci hinzugefügt wird. Die Addition erfolgt durch wiederholtes Ausführen der Operation, bei der Daten ci zwei-bitweise hintereinander addiert werden (als ein Paar), und auch die Ausgangssignale werden 2-bitweise gemäß zwei Bits (als ein Paar) addiert. Bei der Aktion der ersten Stufe kann eine ein-Bitaddition benützt werden, da die Addition der ersten Stufe anhand eines Bits durchgeführt wird.

[0064] Anschließend ist aufgrund der Tatsache, daß die Ausgangssignale zwei-bitweise ausgehend von zwei Bits addiert werden, der zwei-Bitaddierer in der nächsten Stufe erforderlich.

[0065] Anschließend kann die Zahl von Bi, die die Beziehung Bi ≤ Am erfüllt, berechnet werden, wenn die Addition bis zu einer Stufe j durchgeführt ist, wobei l ≤ 2j gilt. Eine Adressenaddierschaltung **16-3** wird benützt, um das Ausgangssignal g zu der von dem externen Abschnitt an den Adressenpuffer **23** eingegebenen Adresse Am zu addieren. Ein Ausgangssignal der Adressenaddierschlatung **16-3** dient als eine interne Adresse Dm. Hierdurch kann die Umsetzung durchgeführt werden, bei der i zu der externen Adresse Am addiert wird, damit die interne Adresse Dm erhalten wird, wenn die von dem externen Abschnitt eingegebene Adresse Am größer als die i-te ist, die von der kleinen Fehlerbitadresse Bm stammt, und niedriger als die i + l-te (Bi ≤ Am < Bi + l).

[0066] Im Vergleich zu der vorhergehenden Ausführungsform weist diese Ausführungsform einen Vorteil dahingehend auf, daß die Reihenfolge der bei der Adressenspeichervorrichtung **11** eingegebenen Fehlerbitadresse Bi irregulär ist. Durch diesen Vorteil wird die Flexibilität der Speichervorrichtung erhöht, und beispielsweise läßt sich die Testzeit erheblich reduzieren. Zudem kann selbst dann, wenn die Kombinationen der Adressenspeichervorrichtung **11** und des Adressenkomparators **14** gestört sind, die gestörte Kombination der Adressenspeichervorrichtung **11** und des Adressenkomparators **14** benützt werden. Demnach läßt sich aufgrund der Tatsache, daß im Vergleich zu der vorhergehenden Ausführungsform, bei der alle Kombinationen der Adressenspeichervorrichtung **11** und des Adressenkomparators **14** zu benützen sind, die Ausbeute der Chips verbessern.

[0067] Zusätzlich kann bei der Speichervorrichtung, bei der auf den Teil der Speicherelemente der Gesamtteil der Speicherelemente von dem externen Abschnitt zugegriffen wird, die folgende Umsetzung der externen Adresse Am in die interne Adresse Dm betrachtet werden, bei der ein Umsetzen der externen Adresse Am in die Fehlerbitadresse vermieden wird.

[0068] Insbesondere werden die Fehlerbitadresse Bi und der Adressenort Ei der Fehlerbitadresse Bi gespeichert. Im Zeitpunkt des Zugriffs auf Bi (Am ≠ Bi (0 ≤ i ≤ l)) wird auf die Adresse über Ei (Dm = Ei) zugegriffen, und die externe Adresse Am wird als die interne Adresse (Dm = Am) in dem anderen Zeitraum benützt (Am ÷ Bi (0 ≤ i ≤ l)). Nun folgt eine Erläuterung einer Ausführungsform, bei der die obige Umsetzung durchgeführt wird.

[0069] Die Fig. 10 zeigt ein Blockschaltbild zum Darstellen einer Grundstruktur einer Halbleiterspeichervorrichtung einer anderen Ausführungsform. Die von dem externen Abschnitt eingegebene Adresse Am (0 ≤ Am ≤ Amax) wird in die interne Adresse Dm (0 ≤ Dm ≤ Dmax) umgesetzt. In diesem Zeitpunkt stimmt die Ausführung mit der oben erläuterten Ausführungsform im Hinblick auf Amax ≤ Dmax überein.

[0070] Die von dem externen Abschnitt eingegebene Adresse wird in dem Adressenpuffer **23** gespei-

chert. Das Bezugszeichen **11** steht für die Adressenspeichervorrichtung zum Speichern der nichtzugreifbaren internen Adresse, d.h. der Fehlerbitadresse. Als Adressenspeichervorrichtung **11** kann die Sicherung oder der ROM-Speicher benützt werden. Die Anzahl der Adressenspeichervorrichtung **11** beträgt eins, und die in dem i-ten ($0 \leq i \leq l$) Adressenspeicher **11** gespeicherte Fehlerbitadresse ist Bi.

[0071] Die in dem Adressenpuffer **23** gespeicherte Adresse Am wird an eine Fehleradressen-Detektorschaltung **23** gesandt. Die Anzahl der Ausgänge der i-ten Fehleradressen-Detektorschaltung **25** beträgt zwei. Einer ist RON und ist mit einer Externadressen-Nichtverfügbarschaltung **26** verbunden, und der andere ist RONi und mit der i-ten Alternativadressen-Ausgabevorrichtung **28** verbunden. Die i-te Fehleradressen-Testschaltung **25** überprüft, ob die in der i-ten Adressenspeichervorrichtung **11** gespeicherte Adresse Bi konsistent zu der in dem Adressenpuffer **23** gespeicherten externen Adresse ist oder nicht. Ist die Adresse Bi mit der externen Adresse konsistent, so wird die Externadressen-Nichtverfügbarschaltung **26** betätigt, damit die externe Adresse nicht über eine Ausgangsleitung verfügbar wird. Im selben Zeitpunkt wird eine alternative Adresse an die i-te Alternativadressen-Ausgabevorrichtung **28** ausgegeben. Die i-te Alternativadressen-Ausgabevorrichtung **28** gibt die in einer i-ten Alternativadressen-Speichervorrichtung **27** gespeicherte interne Adresse Dm durch ein Signal der i-ten Adressendetektorschaltung **25** aus. Gemäß der wie oben umgesetzten internen Adresse wird auf das durch den Dekoder **18** dekodierte Speicherelement **19** zugegriffen.

[0072] Die Fig. 11 zeigt ein Schaltbild einer Ausführungsform zum Darstellen der i-ten Fehleradressen-Speichervorrichtung **11** und der Fehleradressen-Detektorschaltung **25**. Die Fig. 12 zeigt ein Schaltbild einer Ausführungsform zum Darstellen der Alternativadressen-Speichervorrichtung **27** und der Alternativadressen-Ausgabevorrichtung **28**. Die Fig. 13 zeigt ein Schaltbild einer Ausführungsform zum Darstellen der Externadressen-Nichtverfügbarschaltung **26**. In dieser Ausführungsform wird davon ausgegangen, daß eine von einer externen Vorrichtung eingegebene Adresse **14** Bits umfaßt und eine Adresse mit jedem Bit benützt werden kann.

[0073] In der Fig. 11 stellen F0, F0' bis F13, F13' Sicherungen dar, die als Fehleradressen-Speichervorrichtungen **11** benützt werden. Diese Sicherungen werden mit einem Laser durchgebrannt, so daß die Adresse gespeichert wird. Ist beispielsweise das (i + 1)-te Adreßbit ($0 \leq i \leq 13$) "1", so wird Fi unterbrochen, und ist das (i + 1)-te Adreßbit ($0 \leq i \leq 13$) "0", so wird Fi' unterbrochen.

[0074] Q0, Q0' bis Q13, Q13' sind n Transistoren, und externe Adressen (a0 bis a13) und deren Komplementärsignale (/a0 bis /a13) werden an die Gate-Elektroden in dieser Reihenfolgen eingegeben. Die Sicherungen F0 bis F13' werden mit den Source-Elektroden verbunden, und deren äußeren Abschnitte sind geerdet. Die Drain-Elektroden der Transistoren Q0 bis Q13' sind mit einem gemeinsamen Anschluß /RONi verbunden. Der gemeinsame Anschluß /RONi wird auf Vcc über einen pMOS-Transistor Q14 durch PR1 aufgeladen, der gemeinsame Anschluß /RONi wird mit einer Gate-Elektrode eines nMOS-Transistors Q16 durch einen nMOS-Transistor Q15 über ein Signal PR2 in einem bestimmten Zeitabschnitt nach dem Aufladen verbunden. Die Drain-Seite des Transistors Q16 wird mit einem Anschluß RON verbunden, und die Source-Elektrode ist geerdet. Der Anschluß RON wird auf Vcc vorgeladen, und zwar über einen pMOS-Transistor Q17 durch ein Signal PR1. Zudem wird der gemeinsame Anschluß /RONi selbst mit Hilfe von zwei Invertern gehalten.

[0075] Zudem ist der gemeinsame Anschluß /RONi mit RONi durch einen nMOS-Transistor Q18 durch das Signal PR2 verbunden. RONi wird über den nMOS-Transistor Q17 durch das Signal PR1 auf Vss aufgeladen. Zudem wird RONi durch zwei Inverter gehalten.

[0076] Der Betrieb wird wie folgt durchgeführt.

[0077] Zunächst wird, bevor die Adresse eingegeben wird, der gemeinsame Anschluß /RONi auf den H-Pegel vorgeladen, /RON wird auf den L-Pegel vorgeladen und RONi wird auf den L-Pegel vorgeladen. Wird die Adresse eingegeben und ist diese mit der in der Fehleradressen-Speichervorrichtung gespeicherten Adresse konsistent, so wird /RONi auf den L-Pegel gesetzt. Ist die Adresse inkonsistent mit der in der Fehleradressen-Speichervorrichtung **11** gespeicherten Adresse, so wird /RONi auf dem H-Pegel gehalten. Anschließend werden die Transistoren Q15 und Q18 durch das Signal PR2 angeschaltet. Ist /RONi auf dem L-Pegel, so wird RON auf dem H-Pegel gehalten, und RONi wird auf dem L-Pegel gehalten. Ist /RONi auf dem H-Pegel, so wird RON auf den L-Pegel gesetzt, und RONi wird auf den H-Pegel gesetzt.

[0078] F50 bis F63 sind Sicherungen, die als Alternativadressen-Speichervorrichtungen **27** benützt werden. Diese Sicherungen werden durch einen Laser derart durchgebrannt, daß die Adresse gespeichert wird. Ist beispielsweise das (i + 1)-te Adressenbit ($0 \leq i \leq 13$) "0", so wird F(50 + i) abgeschaltet, und ist das (i + 1)-te Adressenbit ($0 \leq i \leq 13$) "1", so wird F nicht unterbrochen.

[0079] Ein Anschluß jeder der Sicherungen F50 bis F63 wird geerdet, und der andere Anschluß wird jeweils mit den Anschlüssen e0 bis e13 verbunden. Die Anschlüsse e0 bis e13 sind über die pMOS-Transis-

toren Q30 bis Q43 durch das Signal PR1 auf Vcc aufgeladen. Demnach wird nur in dem Fall, in dem die Sicherung F(50 + i) unterbrochen wird, der Ausgang ei auf den H-Pegel gesetzt und die gespeicherte Alternativadresse ausgegeben.

[0080] Die Anschlüsse e0 bis e13 sind mit den internen Adressen d0 bis d13 durch die nMOS-Transistoren Q50 bis Q63 verbunden, die jeweils einen Anschluß RONi als Gate-Eingang aufweisen. Zudem sind die Anschlüsse a0 bis a13 mit den internen Adressen d0 bis d13 über die nMOS-Transistoren Q70 bis Q83 verbunden, die jeweils einen RON-Anschluß als einen Gate-Eingang aufweisen.

[0081] Ist die mit diesen Schaltungen eingegebene Adresse zu der in der Fehleradressen-Speichervorrichtung **11** gespeicherten Adresse konsistent, so wird RON zu "L" gesetzt, und RONi wird zu "H" gesetzt. In diesem Zeitpunkt wird die externe Adresse Am nicht ausgegeben, und die alternative Adresse Dm wird ausgegeben. Ist die Adresse inkonsistent mit der in der Fehleradressen-Speichervorrichtung **11** gespeicherten Adresse, so wird RON zu "H", gesetzt, und RONi wird zu "L" gesetzt. In diesem Zeitpunkt wird die externe Adresse Am ausgegeben und die alternative Adresse Dm wird nicht ausgegeben.

[0082] Wie oben beschrieben, wird dann, wenn die Fehlerbitadresse Bi und der Adressenort Ei der Fehlerbitadresse Bi gespeichert sind und ein Zugriff auf Bi erfolgt (Am = Bi (0 ≤ i ≤ l)), auf die Adresse über Ei zugegriffen (Dm = Ei), und die externe Adresse Am kann als die interne Adresse (Dm = Am) im anderen Zeitpunkt (Am ≠ Bi (0 ≤ i ≤ l)) benützt werden. Da die Zahl der Adressenbits um ein Bit erhöht ist, wird der Dekoder im Vergleich zum gebräuchlichen Dekoder komplizierter.

[0083] Die vorliegende Erfindung ist nicht auf die obigen Ausführungsformen begrenzt.

[0084] Bei den obigen Ausführungsformen erfolgte das Speichern der Fehlerbitadresse der X-Adresse und die Durchführung der Adreßverschiebung. Das Speichern der Fehlerbitadresse der Y-Adresse und die Adressenverschiebung können durchgeführt werden. Die X-Adresse oder Y-Adresse kann in Abhängigkeit davon ausgewählt werden, ob das Fehlerbit auf der Seite der X-Adresse oder der Seite der Y-Adresse liegt. In einem Fall, in dem die Orientierung des Fehlerbits nicht vorab klar ist, werden die Funktionen für das Fehlerbit-Adressenspeichern und das Adressenverschieben im Zusammenhang mit sowohl der X- als auch der Y-Adresse vorgesehen, und die X- oder Y-Adresse können in Übereinstimmung mit dem Ergebnis des tatsächlichen Tests ausgewählt werden.

[0085] Die Speicherzelle ist nicht auf einen DRAM-Speicher begrenzt. In anderen Worten, können andere Arten von Speicher eingesetzt werden, wie beispielsweise SRAM-Speicher, EPROM-Speicher, EEPROM-Speicher.

Patentansprüche

1. Halbleiterspeichervorrichtung, enthaltend:
eine Speicherzellenmatrix (**19**) mit Speicherzellen, die in Form von XY-Richtungen in einer Matrix angeordnet sind;
eine Vorrichtung (**11**) zum Speichern mindestens der X-Adresse von Fehlerbit-Speicherzellen der Speicherzellen, die durch die X-Adresse und Y-Adresse in der Speicherzellenmatrix definiert sind; und
eine Vorrichtung (**16**) zum Erzeugen einer Adresse Xe + m (m = positive oder negative ganze Zahl), die als interne Adresse dient, wenn die X-Adresse Xe entsprechend der Fehlerbitadresse von einem externen Abschnitt eingegeben wird.

2. Halbleiterspeichervorrichtung nach Anspruch 1, wobei die Vorrichtung (**16**) zum Erzeugen der Adresse eine Vorrichtung zum Erzeugen einer Adresse Xi + m (m = positive oder negative ganze Zahl) aufweist, die als interne Adresse dient, wenn eine X-Adresse Xe entsprechend der Fehlerbitadresse und eine Adresse Xi größer als Xe von dem externen Abschnitt eingegeben werden.

3. Halbleiterspeichervorrichtung nach Anspruch 1, wobei die Vorrichtung (**16**) zum Erzeugen der Adresse eine Vorrichtung zum Erzeugen einer Adresse Xi aufweist, die mit einer externen Adresse übereinstimmt und als die interne Adresse dient, wenn die Adresse Xi in dem Bereich von X0 bis Xel – 1 als externe Adresse ein gegeben wird, in einem Fall, in dem mehrere Fehlerbits in der Speicherzellenmatrix vorliegen und die X-Adresse ausgehend von den unteren Bits Xej (j = 1, 2, ...) ist, und zum Erzeugen einer Adresse Xi + j, die durch Addieren von j zu einer externen Adresse gebildet wird und als interne Adresse dient, wenn als interne Adresse eine Adresse in den Bereich von Xej – (j – l) bis Xe (j + l) – (j + l) eingegeben wird.

4. Halbleiterspeichervorrichtung nach Anspruch 1, wobei die X-Adresse eine Spaltenadresse und die Y-Adresse eine Zeilenadresse ist.

5. Halbleiterspeichervorrichtung nach Anspruch 1, wobei die X-Adresse eine Zeilenadresse und die Y-Adresse eine Spaltenadresse ist.

6. Halbleiterspeichervorrichtung, enthaltend:
eine Speicherzellenmatrix (**19**) mit Speicherzellen, die in Form von XY-Richtungen in einer Matrix angeordnet sind;
eine Speichervorrichtung (**11**) zum Speichern der X- und Y-Adressen der Fehlerbit-Speicherzellen;

eine Vorrichtung (**14**) zum Auswählen entweder der X-Adresse oder der Y-Adresse zum Durchführen einer Adressenverschiebung in Abhängigkeit von der Orientierung der Fehlerbits; und
eine Vorrichtung (**16**) zum Erzeugen einer Adresse Xe + m oder Ye + m (m = positive oder negative ganze Zahl), die als eine interne Adresse dient, wenn die ausgewählte X-Adresse Xe oder Y-Adresse Ye der von einem externen Abschnitt eingegebenen Fehlerbitadresse entspricht.

7. Halbleiterspeichervorrichtung, enthaltend:
eine Speicherzellenmatrix (**19**) mit Speicherzellen, die in einer Matrixform zumindest in X-Richtung angeordnet sind; und
eine Vorrichtung (**16**) zum wahlweisen Erzeugen einer internen X-Adresse, auf die nicht zugegriffen wird, wenn die von einem externen Abschnitt eingegebene X-Adresse in eine interne X-Adresse umgesetzt wird.

8. Halbleiterspeichervorrichtung nach Anspruch 7, welche ferner enthält:
eine Vorrichtung (**11**) zum Speichern mehrerer Fehleradressen;
eine Vorrichtung (**14**) zum Vergleichen der mehreren Fehleradressen und der von dem externen Abschnitt eingegebenen X-Adresse anhand der Zahl der Adressen; und
eine Vorrichtung (**16**) zum Erzeugen von Fehleradressen, deren Zahl gleich der oder kleiner als die X-Adresse ist, die anhand der externen Fehleradresse ausgegeben wird.

9. Halbleiterspeichervorrichtung nach Anspruch 8, wobei die Vorrichtung (**16**) zum Erzeugen einer internen X-Adresse, auf die nicht zugegriffen wird, eine Vorrichtung zum Addieren der Zahl der Fehleradressen enthält, die gleich der oder kleiner als die Adresse ist, die von dem externen Abschnitt als externe Adresse eingegeben wird, damit die interne Adresse erzeugt wird.

10. Halbleiterspeichervorrichtung nach Anspruch 8, wobei die Vorrichtung (**16**) zum Erzeugen der Fehleradressen, deren Zahl gleich der oder kleiner als die X-Adresse ist, die anhand der externen Fehleradresse ausgegeben wird, eine Vorrichtung zum Speichern einer Bitfehleradresse enthält.

11. Halbleiterspeichervorrichtung nach Anspruch 7, wobei die Vorrichtung (**16**) zum Erzeugen einer internen X-Adresse, auf die nicht zugegriffen wird, eine Vorrichtung zum Erzeugen der internen X-Adresse aufweist, die vorab gespeichert wird, wenn die externe Adresse entsprechend der beliebig definierten Adresse eingegeben wird, beim Umsetzen der von dem externen Abschnitt eingegebenen X-Adresse in die interne X-Adresse.

12. Halbleiterspeichervorrichtung nach Anspruch 11, welche ferner enthält:
eine Vorrichtung (**11**) zum Speichern einer Fehleradresse;
eine Vorrichtung (**14**) zum Vergleichen einer externen Adresse mit der Fehleradresse;
eine Vorrichtung (**16**) zum Erzeugen einer vorgegebenen internen Adresse an einem internen Adressenbus, wenn die externe Adresse konsistent mit der Fehleradresse ist.

13. Halbleiterspeichervorrichtung nach Anspruch 12, wobei die Vorrichtung (**11**) zum Speichern der Fehleradresse Sicherungen enthält, die elektrisch oder anhand eines Laserstrahls durchgetrennt werden.

14. Halbleiterspeichervorrichtung nach Anspruch 7, welche ferner enthält:
einen internen Adressenbus (**17**) zum Verändern entweder der externen Adresse oder dessen erfaßter und verstärkter Adresse und einer intern erzeugten und zu übertragenden Adresse.

15. Halbleiterspeichervorrichtung nach Anspruch 14, wobei eine Logikbusbreite des internen Adressenbusses (**17**) breiter als diejenige der externen Adresse ist.

Es folgen 7 Blatt Zeichnungen

Anhängende Zeichnungen

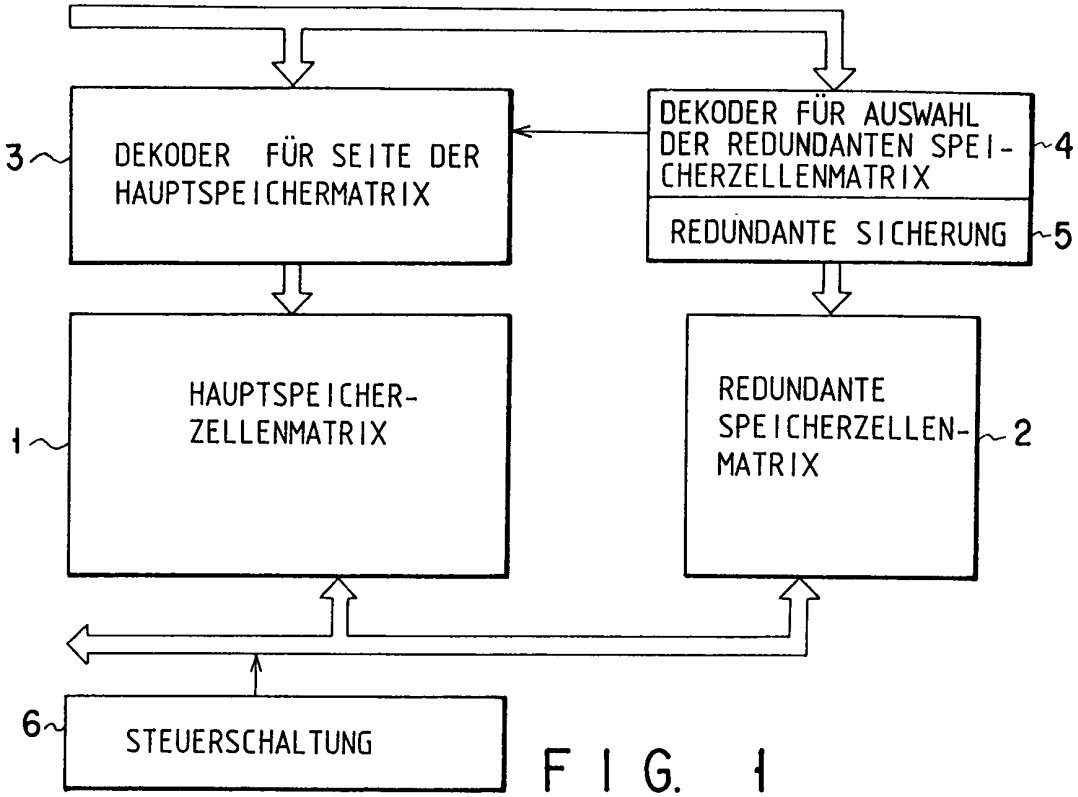


FIG. 1

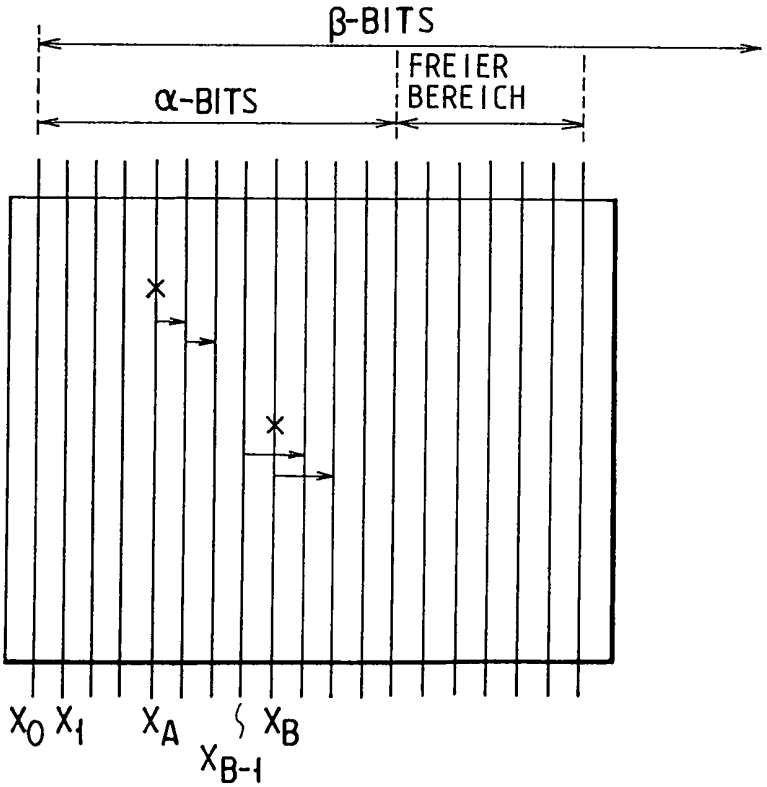


FIG. 3

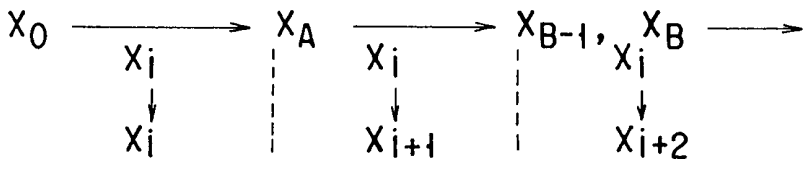


FIG. 4

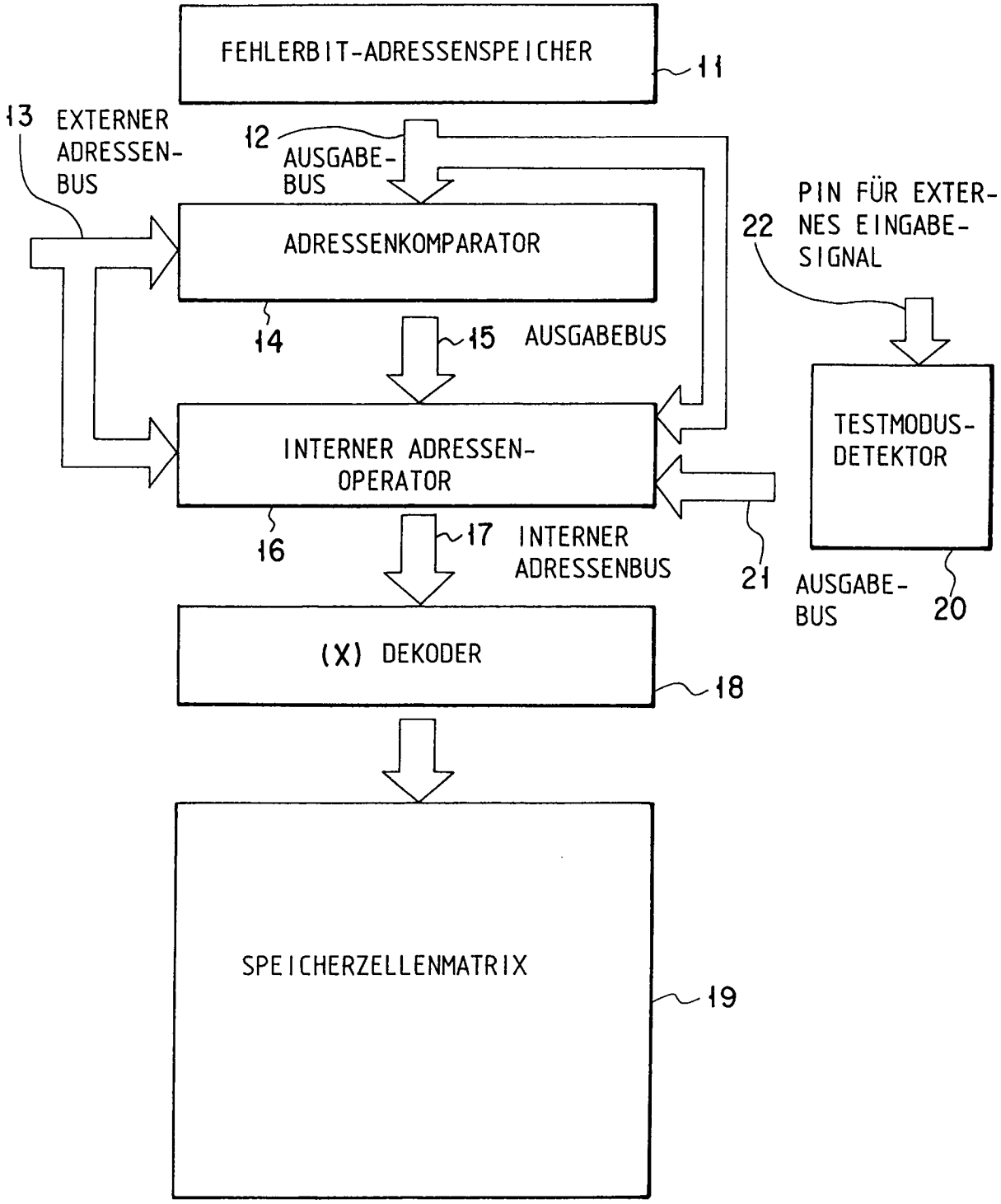

FEHLERBIT-ADRESSENSPEICHER
11
13 EXTERNER ADRESSEN-BUS
12 AUSGABE-BUS
ADRESSENKOMPARATOR
PIN FÜR EXTERNES EINGABE-SIGNAL
22
14
15 AUSGABEBUS
TESTMODUS-DETEKTOR
INTERNER ADRESSEN-OPERATOR
16
17 INTERNER ADRESSENBUS
21
AUSGABE-BUS
20
(X) DEKODER
18
SPEICHERZELLENMATRIX
19

FIG. 2

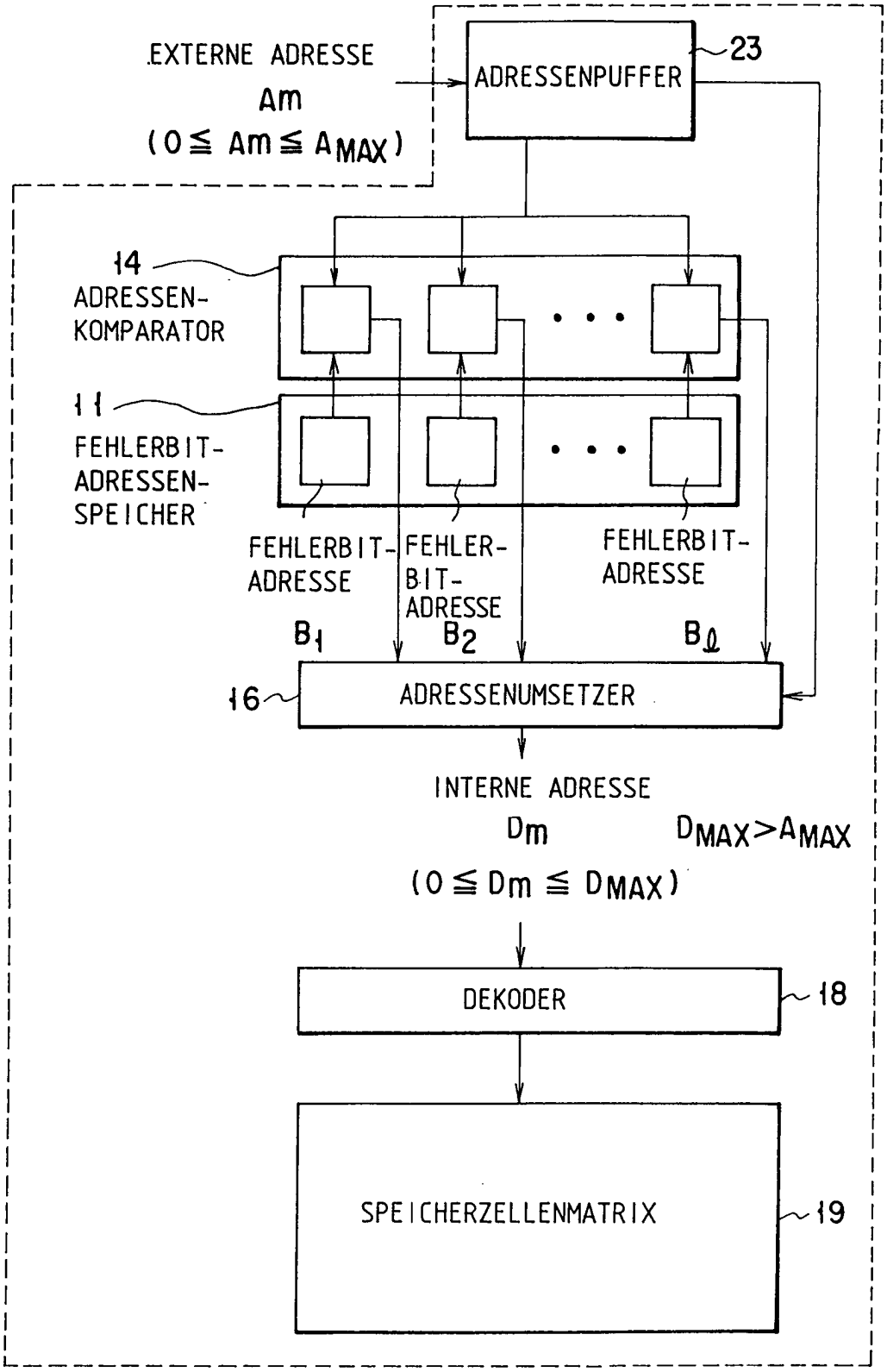

EXTERNE ADRESSE
Am
(0 ≦ Am ≦ AMAX)
ADRESSENPUFFER
23
14
ADRESSEN-
KOMPARATOR
11
FEHLERBIT-
ADRESSEN-
SPEICHER
FEHLERBIT-
ADRESSE
FEHLER-
BIT-
ADRESSE
FEHLERBIT-
ADRESSE
B1
B2
B0
16
ADRESSENUMSETZER
INTERNE ADRESSE
Dm
DMAX>AMAX
(0 ≦ Dm ≦ DMAX)
DEKODER
18
SPEICHERZELLENMATRIX
19

FIG. 5

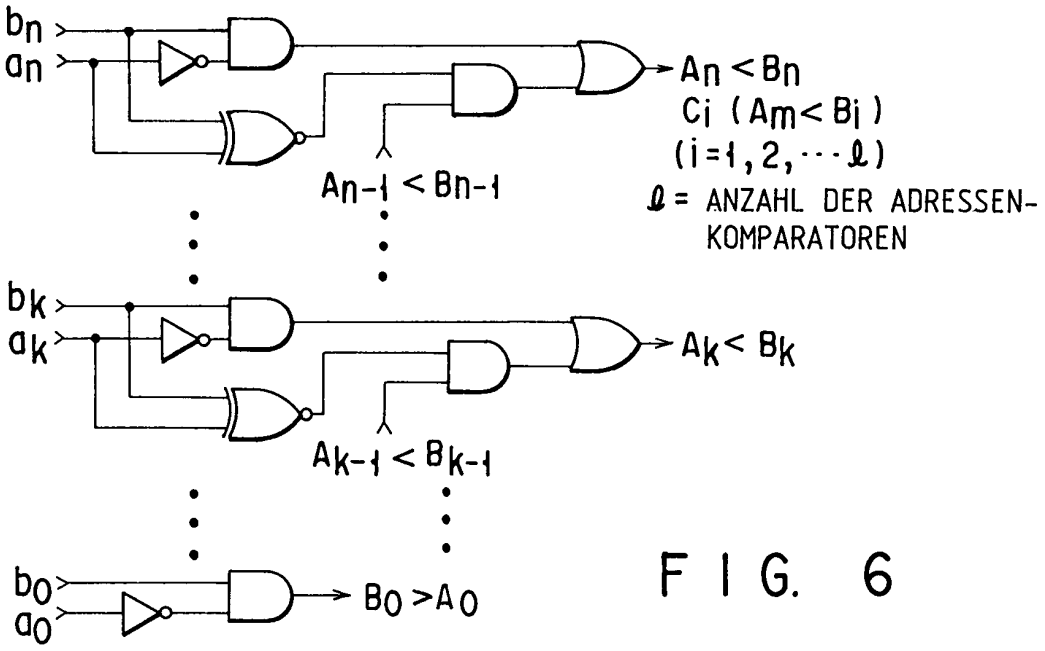


FIG. 6

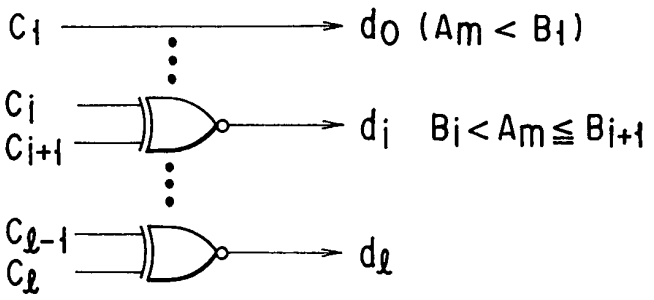


FIG. 7A

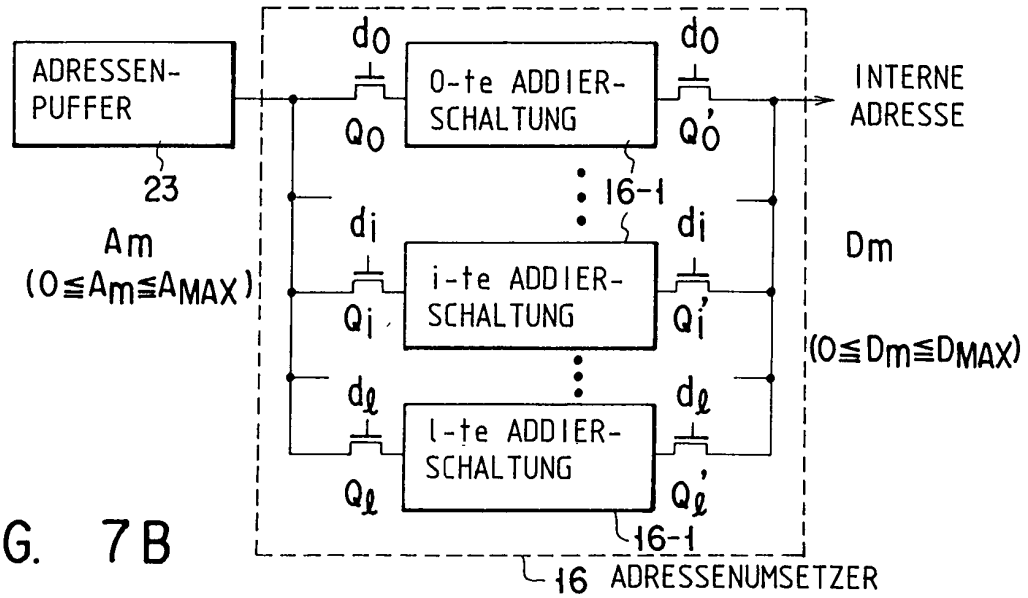


FIG. 7B

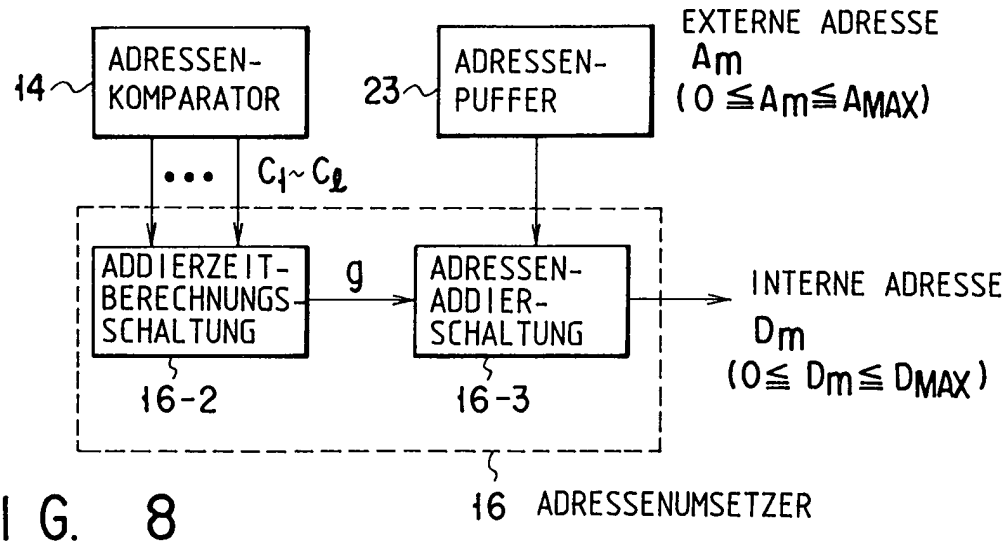

14
ADRESSEN-KOMPARATOR
23
ADRESSEN-PUFFER
EXTERNE ADRESSE
Am
(0 ≦ Am ≦ AMAX)
C1 ~ Cℓ
ADDIERZEIT-BERECHNUNGS-SCHALTUNG
g
ADRESSEN-ADDIER-SCHALTUNG
INTERNE ADRESSE
Dm
(0 ≦ Dm ≦ DMAX)
16-2
16-3
16 ADRESSENUMSETZER

FIG. 8

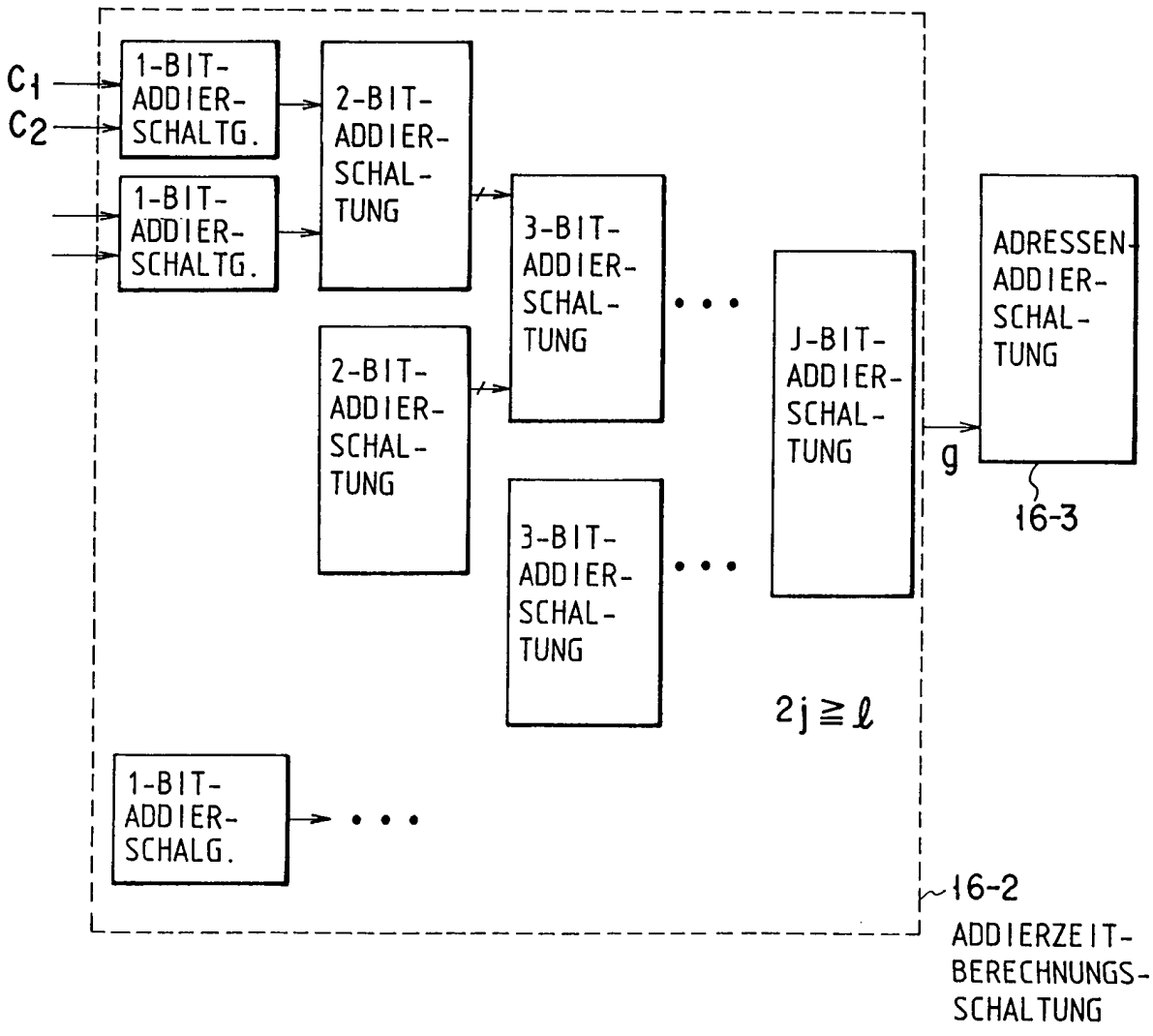

C1
C2
1-BIT-ADDIER-SCHALTG.
1-BIT-ADDIER-SCHALTG.
2-BIT-ADDIER-SCHAL-TUNG
2-BIT-ADDIER-SCHAL-TUNG
3-BIT-ADDIER-SCHAL-TUNG
3-BIT-ADDIER-SCHAL-TUNG
J-BIT-ADDIER-SCHAL-TUNG
ADRESSEN-ADDIER-SCHAL-TUNG
g
16-3
2j ≧ ℓ
1-BIT-ADDIER-SCHALG.
16-2
ADDIERZEIT-BERECHNUNGS-SCHALTUNG

FIG. 9

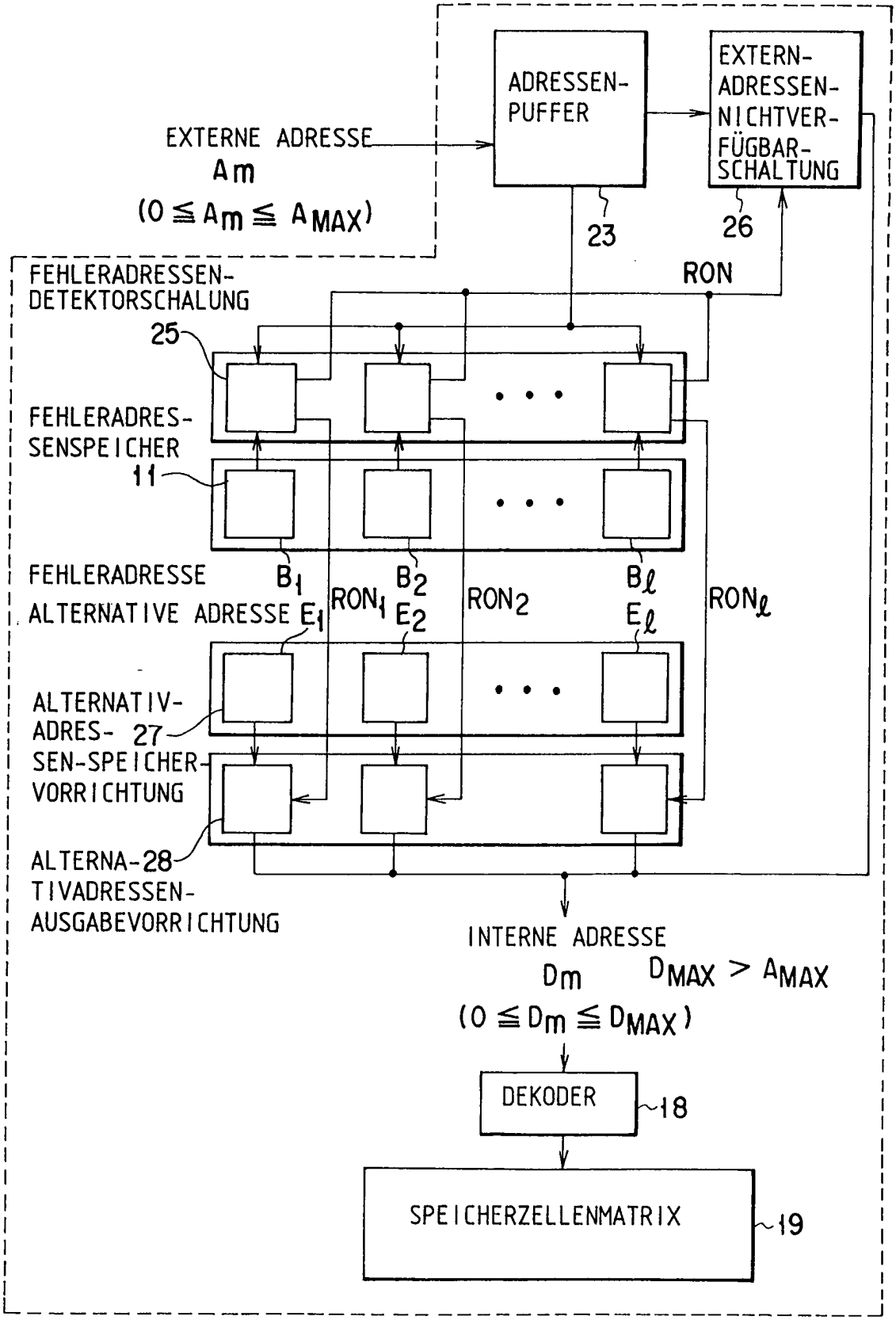

ADRESSEN-PUFFER
EXTERN-ADRESSEN-NICHTVER-FÜGBAR-SCHALTUNG
EXTERNE ADRESSE
Am
(0 ≦ Am ≦ AMAX)
23
26
RON
FEHLERADRESSEN-DETEKTORSCHALUNG
25
FEHLERADRES-SENSPEICHER
11
FEHLERADRESSE
ALTERNATIVE ADRESSE
B1
B2
Bℓ
E1
E2
Eℓ
RON1
RON2
RONℓ
ALTERNATIV-ADRES-SEN-SPEICHER-VORRICHTUNG
27
ALTERNA-TIVADRESSEN-AUSGABEVORRICHTUNG
28
INTERNE ADRESSE
Dm
DMAX > AMAX
(0 ≦ Dm ≦ DMAX)
DEKODER
18
SPEICHERZELLENMATRIX
19

FIG. 10

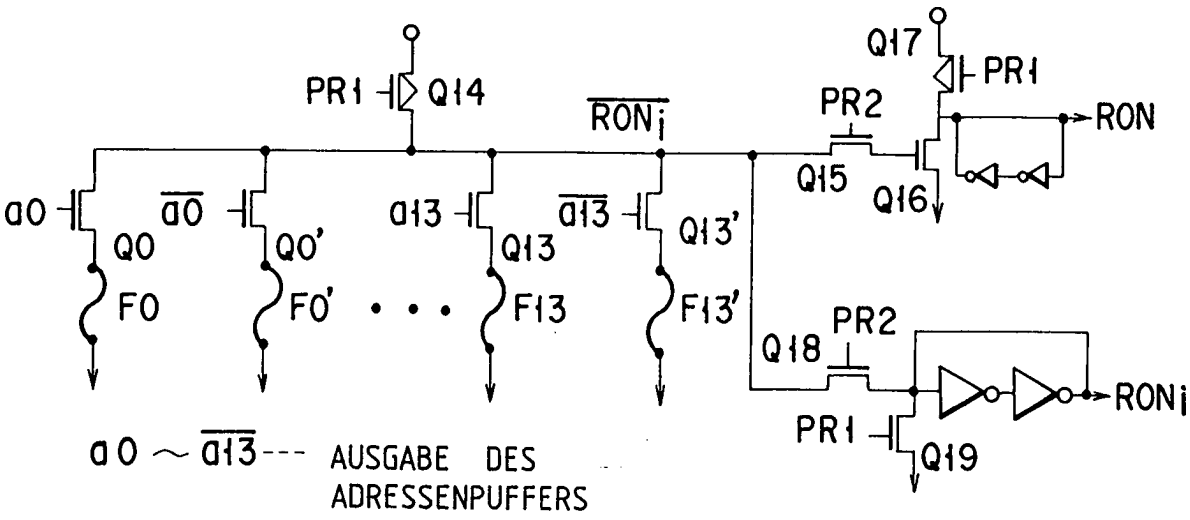


FIG. 11

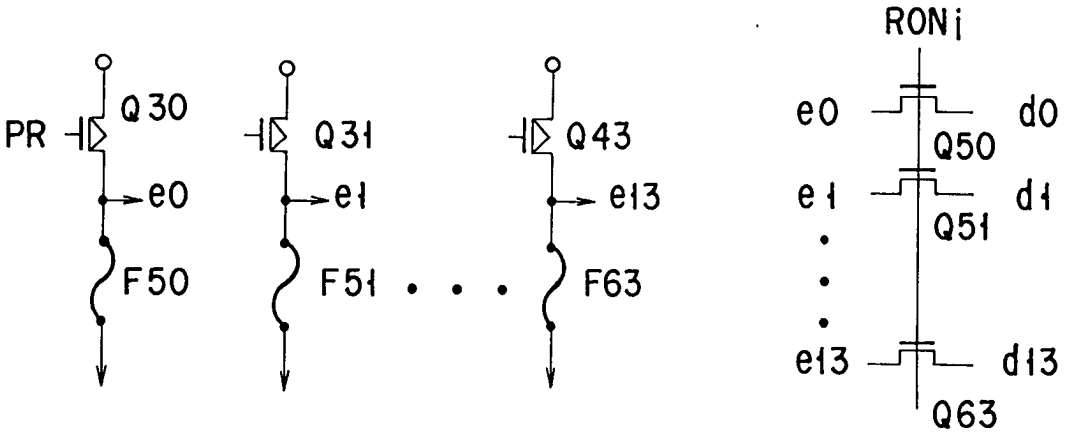


FIG. 12

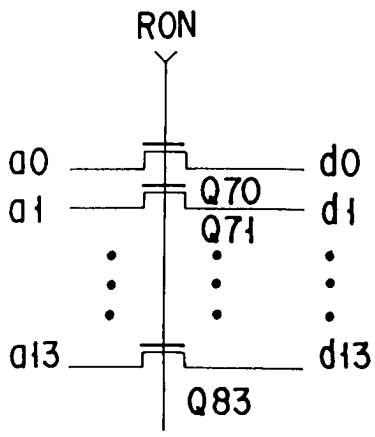


FIG. 13