

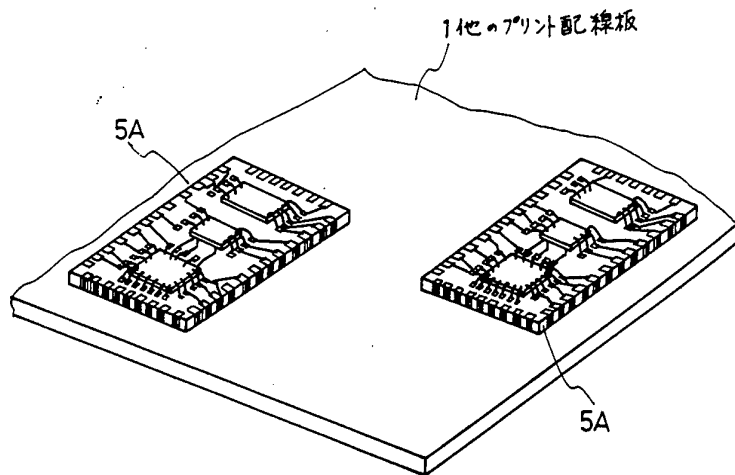


特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類⁶ H01L 25/065</p>	<p>A1</p>	<p>(11) 国際公開番号 WO 95/08189</p> <p>(43) 国際公開日 1995年3月23日 (23.03.95)</p>
<p>(21) 国際出願番号 PCT/JP94/01517 (22) 国際出願日 1994年9月14日(14. 09. 94)</p> <p>(30) 優先権データ 特願平5/228644 1993年9月14日(14. 09. 93) JP 特願平6/191455 1994年8月15日(15. 08. 94) JP</p> <p>(71) 出願人(米国を除くすべての指定国について) 株式会社 東芝(KABUSHIKI KAISHA TOSHIBA)[JP/JP] 〒210 神奈川県川崎市幸区堀川町72番地 Kanagawa, (JP)</p> <p>(72) 発明者;および (75) 発明者/出願人(米国についてのみ) 山口政義(YAMAGUCHI, Masayoshi)[JP/JP] 〒185 東京都国分寺市西町1丁目2番地22 Tokyo, (JP) 澤野光俊(SAWANO, Mitsutoshi)[JP/JP] 〒157 東京都世田谷区祖師ヶ谷3丁目13番地23号 Tokyo, (JP) 宝木一敏(HOHKI, Kazutoshi)[JP/JP] 〒191 東京都日野市東豊田3丁目20番地の6 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 本田 崇(HONDA, Takashi) 〒107 東京都港区赤坂一丁目1番17号 細川ビル8階 Tokyo, (JP)</p> <p>(81) 指定国 AU, CA, CN, FI, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p>		<p>添付公開書類 国際調査報告書</p>

(54) Title : MULTI-CHIP MODULE

(54) 発明の名称 マルチチップモジュール



1 ... other printed wiring board

(57) Abstract

Bare chips (201 to 203) are mounted on regions (101 to 103) of a printed wiring board (100), respectively. The chips are soldered to a motherboard at external electrode pads (105) on their borders. Lead pads (107) and the external electrode pads (105) are interconnected through a circuit pattern (109), through-holes (111) and interstitial via-holes (112). A circuit pattern (109) is disposed on a die bonding surface of the bare IC chips (201, 202) for which insulation is not necessary. A multi-chip module is thus completed.

(57) 要約

ベアICチップ(201~203)がプリント配線板(100)の領域(101~103)にそれぞれ実装される。この外周面の外部電極パッド(105)が、マザーボードなどにはんだ付けされる。

リードパッド(107)や外部電極パッド(105)間が回路パターン(109)、スルーホール(111)、インタースティシャルバイアホール(112)で接続される。絶縁の必要がないベアICチップ(201, 202)のダイボンディング面に回路パターン(109)を設けて構成したマルチチップモジュールである。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AM	アルメニア	DK	デンマーク	LI	リヒテンシュタイン	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	ES	スペイン	LR	リベリア	RU	ロシア連邦
BB	バルバドス	FI	フィンランド	LT	リトアニア	SD	スーダン
BE	ベルギー	FR	フランス	LU	ルクセンブルグ	SE	スウェーデン
BF	ブルキナ・ファソ	GA	ガボン	LV	ラトヴィア	SI	スロヴェニア
BG	ブルガリア	GB	イギリス	MC	モナコ	SK	スロヴァキア共和国
BJ	ベナン	GE	グルジア	MD	モルドバ	SN	セネガル
BR	ブラジル	GN	ギニア	MG	マダガスカル	SZ	スワジランド
BY	ベラルーシ	GR	ギリシャ	ML	マリ	TD	チャド
CA	カナダ	HU	ハンガリー	MN	モンゴル	TG	トーゴ
CF	中央アフリカ共和国	IE	アイルランド	MR	モーリタニア	TJ	タジキスタン
CG	コンゴ	IT	イタリア	MW	マラウイ	TT	トリニダード・トバゴ
CH	スイス	JP	日本	MX	メキシコ	UA	ウクライナ
CI	コート・ジボアール	KE	ケニア	NE	ニジェール	UG	ウガンダ
CM	カメルーン	KG	キルギスタン	NL	オランダ	US	米国
CN	中国	KP	朝鮮民主主義人民共和国	NO	ノルウェー	UZ	ウズベキスタン共和国
CZ	チェッコ共和国	KR	大韓民国	NZ	ニュージーランド	VN	ヴェトナム
DE	ドイツ	KZ	カザフスタン	PL	ポーランド		

明細書

「発明の名称」

マルチチップモジュール

技術分野

この発明は、複数のベア I C チップが一つのプリント配線板上に実装されるマルチチップモジュール (MCM) に関する。

背景技術

近時の電子機器の小形化、高機能化の要請により、図1に示すプリント配線板1に実装される I C は、パッケージタイプの I C 2 から図2に示すベア I C チップ3へ、さらには図3に示すマルチチップモジュール5へと進展している。

図2に示す構造は、ベア I C チップ3をダイボンディング法、ワイヤボンディング法等によって、直接プリント配線板1に実装する構造である。例えば、プラスチック材やセラミック材の外装体で覆ったパッケージタイプの I C 2 をプリント配線板1に表面実装する場合に比較して、その実装面積が小さくなる。この場合、多数のベア I C チップ3をプリント配線板1に実装した後に、その一つでも不良のベア I C チップ3が発生すると、この不良のベア I C チップ3のみを取り外す作業 (修理) が困難かつ面倒であるため実装プリント配線板ごと廃棄している。換言すれば、製造工程での歩留りが悪いという欠点があった。

この欠点を解決したのが図3に示すマルチチップモジュール5である。このマルチチップモジュール5の製造工程を図4及び図5を参照して簡単に説明する。この工程では、多層のプリント配線板51上にベア I C チップ52をダイボンディングして固定し、さらに、

ワイヤボンディングで各部を接続する。次に各ベア I C チップ 5 2 にダム枠 5 3 を取り付けて樹脂で封止し、次にプリント配線板 5 1 の周縁部分に設けられている電極パッドに外部電極としてガルウィング型 (Gull Wing Type) のリード端子 5 5 をはんだ付けして、そのマルチチップモジュール 5 を完成している。

このマルチチップモジュール 5 では、モジュール単体での動作検査が可能であるため、良品のマルチチップモジュール 5 のみをマザーボードなどのプリント配線板 (以下、主プリント配線板という) 1 に実装できる。

ところで、この従来のマルチチップモジュール 5 には次のような欠点がある。第 1 にプリント配線板 5 1 の周囲に多数のリード端子 5 5 をはんだ付けしなければならないため作業工数が多くなり、また、このリード端子 5 5 が主プリント配線板 1 上を専有するその部分だけ主プリント配線板 1 の電子部品実装密度が低下する。

第 2 に複数のベア I C チップ 5 2 を電氣的に接続するための回路パターン (図示せず) をベア I C チップ 5 2 の周囲に配置する必要があり、プリント配線板 5 1 に実装されるベア I C チップ 5 2 の大きさに比較してプリント配線板 5 1 が大形化する。

第 3 に、ベア I C チップ 5 2 を樹脂 5 7 で封止するためのダム枠 5 3 を取り付ける構成では、個々のベア I C チップ 5 2 を囲む状態に取り付けられるダム枠 5 3 の占める面積が大きくなり、この点からもプリント配線板 5 1 が大形化する

また、ダム枠 5 3 は、図 4 に示すように、ダム枠 5 3 に設けた突起 5 3 a をプリント配線板 5 1 の穴部 5 1 a に挿入して位置決めを行って、プリント配線板 5 1 に接着しているが、プリント配線板 5

1には、多数の位置決め用の穴部51aが設けられるため、これらの穴部51aのために回路パターンを配置し難くなり、結果としてプリント配線板51が大形化する。

また、図6に示すように、マルチチップモジュール5のダム枠53で囲まれた部分を真空吸着装置7を用いて吸着して主プリント配線板1にマルチチップモジュールを実装する場合、個々のダム枠53が小形であり、その十分な吸着面積を確保できないため、吸着保持が困難であり安定した作業ができなかった。

第4に、マルチチップモジュール5に回路調整用等の抵抗素子（抵抗器）、コンデンサを設けて複合モジュールを進める場合には、ベアICチップ52の周囲にチップ抵抗素子、チップコンデンサを設けるためのスペース及び、これらの部品をはんだ付けするための電極パッドを設ける必要があり、このためプリント配線板51が、さらに大形化する。また、ベアICチップ52の樹脂封止を行った後に、これらのチップ部品のはんだ付けを行わねばならない。すなわち、作業工数が増加する。

一方、マルチチップモジュール5が実装されるプリント配線板側にチップ抵抗素子、チップコンデンサを実装した場合には、これらのチップ部品を含めたマルチチップモジュール5の実装面積が増大し、その分だけ主プリント配線板が大形化する。

このように、従来のマルチチップモジュールは、リード端子の取付けの工数が多くなる。また、リード端子の分だけ大形化する。また、ベアICチップ間を接続する回路パターンを配置するため、プリント配線板が大形化する。また、個々のベアICチップへのダム枠の取付けの工数が多くなる。また、ダム枠を取付けることによっ

てプリント配線板がさらに大形化してしまう。また、ダム枠の部分を真空吸着してマルチチップモジュールを主プリント配線板に吸着することが困難でもあった。

さらに、マルチチップモジュールに抵抗素子、コンデサを設けて複合化を進める場合に、マルチチップモジュールが、さらに大形化し、このモジュールが実装される主プリント配線板が大形化するという欠点があった。

本発明は、上記従来欠点を解決するべくなされたものであり、従来のマルチチップモジュールよりも小形にできるとともに、製造工数が削減され、かつ、真空吸着による主プリント配線板への実装工程が容易になるマルチチップモジュールを提供することを目的とする。

発明の開示

この発明のマルチチップモジュールは、第1発明がプリント配線板と、このプリント配線板に実装される複数のベアICチップとを備えて構成され、プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、プリント配線板の外周面にはスルーホールを縦半分に切断した形状とされ、他のプリント配線板にはんだ付けされる外部電極パッドが設けられる構成としている。

第2発明はプリント配線板と、このプリント配線板に実装される複数のベアICチップとを備えて構成され、プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、複数のベアICチップが実装されるプリント配線板の複数の領域の内の少くとも一つの領域の表面には回路パターンが設けられ、この回路パターン上に絶縁層が設けられる構成としている。

第3発明のマルチチップモジュールは複数のベア I Cチップが実装されるプリント配線板の複数の領域の内の少くとも一つの領域の表面には回路パターンが設けられ、この回路パターン上に絶縁層が設けられる構成としている。

第4発明はプリント配線板と、このプリント配線板に実装される複数のベア I Cチップとを備えて構成され、プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、複数のベア I Cチップが実装されるプリント配線板の複数の領域の内の少くとも一つの領域の表面には印刷抵抗素子及び印刷誘電体のうちの少くとも一方が設けられ、この印刷抵抗素子、印刷誘電体上に絶縁層が設けられる構成としている。

第5発明のマルチチップモジュールは、複数のベア I Cチップが実装されるプリント配線板の複数の領域の内の少くとも一つの領域の表面に印刷抵抗素子及び印刷誘電体のうちの少くとも一方が設けられ、この印刷抵抗素子、印刷誘電体上に絶縁層が設けられる構成としている。

第6発明はプリント配線板と、このプリント配線板に実装される複数のベア I Cチップとを備えて構成され、プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、プリント配線板は多層に形成されるとともに、ベア I Cチップの実装面側から内層に至るインタースティシャルバイアホールが設けられ、ベア I Cチップ間がインタースティシャルバイアホール及び内層に設けられた導体層を通じて電氣的に接続される構成としている。

第7発明のマルチチップモジュールはプリント配線板は多層に形成されるとともに、ベア I Cチップの実装面側から内層に至るイン

タースティシャルバイアホールが設けられ、ベア I C チップ間がインターサティシャルバイアホール及び内層に設けられた導体層を通じて電氣的に接続される構成としている。

第 8 発明はプリント配線板と、このプリント配線板に実装される複数のベア I C チップとを備えて構成され、プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、プリント配線板は多層に形成されるとともに、内層に設けられた導体層に両端が電氣的に接続された抵抗素子が内層に設けられる構成としている。

第 9 発明のマルチチップモジュールはプリント配線板は多層に形成されるとともに、内層に設けられた導体層に両端が電氣的に接続された抵抗素子が内層に設けられる構成としている。

第 10 発明はプリント配線板と、このプリント配線板に実装される複数のベア I C チップとを備えて構成され、プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、プリント配線板は多層に形成されるとともに、内層に設けられた導体層に両面が電氣的に接続された誘電体層が内層に設けられる構成としている。

第 11 発明のマルチチップモジュールはプリント配線板は多層に形成されるとともに、内層に設けられた導体層に両面が電氣的に接続された誘電体層が内層に設けられる構成としている。

第 12 発明は、プリント配線板と、このプリント配線板に実装される複数のベア I C チップとを備えて構成され、プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、プリント配線板は多層に形成されるとともに、内層に設けられた導

体層に両端が電氣的に接続された抵抗素子及び内層に設けられた導体層に両面が電氣的に接続された誘電体層が内層に設けられる構成としている。

第13発明のマルチチップモジュールはプリント配線板が多層に形成されるとともに、内層に設けられた導体層に両端が電氣的に接続された抵抗素子及び内層に設けられた導体層に両面が電氣的に接続された誘電体層が内層に設けられる構成である。

第14発明のマルチチップモジュールはプリント配線板の表面であってベアICチップの実装領域の外側にはトリミングを可能とした調整用の印刷抵抗素子及び印刷誘電体の少くとも一方が設けられる構成である。

第15発明はプリント配線板と、このプリント配線板に実装される複数のベアICチップとを備えて構成され、プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、プリント配線板には複数のベアICチップを囲み、ベアICチップを封止する樹脂が充填されるダム枠が設けられる構成である。

第16発明のマルチチップモジュールはプリント配線板に複数のベアICチップを囲み、ベアICチップを封止する樹脂が充填されるダム枠が設けられる構成である。

第17発明のマルチチップモジュールのダム枠に、ベアICチップ間を仕切る状態に補強部が設けられる構成である。

第18発明のマルチチップモジュールはプリント配線板がベアICチップの実装面側の周縁部に電極パッドが設けられ、この電極パッドと、この電極パッドの周囲との境界部分がプリント配線板にダム枠を取り付ける際の基準位置となる構成である。

第19発明のマルチチップモジュールはプリント配線板にベアICチップ実装面側の周縁部に電極パッドが設けられるとともに、この電極パッドに隣接させてソルダーレジストが設けられ、電極パッドとソルダーレジストとの境界部分がプリント配線板にダム枠を取り付ける際の基準位置となる構成である。

第20発明のマルチチップモジュールはベアICチップ封止用の樹脂が、その上面がダム枠の上端面よりも高くない範囲でダム枠内に充填される構成である。

第21発明載のマルチチップモジュールは、ベアICチップがフリップチップボンディングによりプリント配線板に実装される構成である。

第22発明はプリント配線板と、このプリント配線板に実装される複数のベアICチップとを備えて構成され、プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、プリント配線板の端部にスルーホールが他のプリント配線板にはんだ付けされる外部電極パッドとして設けられる構成である。

第23発明は、プリント配線板と、このプリント配線板に実装される複数のベアICチップとを備えて構成され、プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、プリント配線板の外周面に他のプリント配線板にはんだ付けされる外部電極パッドが延在して形成される構成である。

第24発明は、当該マルチチップモジュールを他のプリント配線板に平行又は垂直状態に配置して、外部電極パッドが他のプリント配線板のランドにはんだ付けする構成である。

第25発明のマルチチップモジュールは、ベアICチップをダム

枠内に配置し、かつ、樹脂を充填して当該ペア I C チップ封止し、このダム枠及び樹脂上に、さらにベア I C チップを配置する構成である。

第 26 発明のマルチチップモジュールは、ベア I C チップを配置する貫通孔又は凹部をプリント配線板に設け、この貫通孔又は凹部にベア I C チップを配置してワイヤボンディングによる接続を行う構成である。

第 27 発明のマルチチップモジュールは、他のプリント配線板に貫通孔を設け、この貫通孔に当該マルチチップモジュールを嵌め込んで配置し、このマルチチップモジュールの外部電極パッドを他のプリント配線板のランドパターンと接続する構成である。

第 28 発明のマルチチップモジュールはベア I C チップを外部電極パッドに直接、ワイヤボンディングで接続する構成である。

第 29 発明のマルチチップモジュールは印刷抵抗素子、印刷誘電体の少なくとも一方とともに、高周波信号を処理するためのインダクタである印刷導体が形成される構成である。

第 30 発明のマルチチップモジュールは当該マルチチップモジュールを配置する他のプリント配線板として、フレキシブル配線板を用いる構成である。

第 31 発明のマルチチップモジュールはダム枠をベア I C チップの放熱を行うための金属部材で作成し、かつ、熱伝導樹脂でベア I C チップを封止する構成である。

第 32 発明のマルチチップモジュールは、ベア I C チップの上部を塞ぐ位置に金属部材のダム枠の部材が延在し、かつ、熱伝導樹脂でベア I C チップを封止する構成である。

第33発明のマルチチップモジュールはプリント配線板に配置されたベアICチップを電磁的にシールドするためにの導電カバーを備える構成である。

第34発明のマルチチップモジュールは、他のプリント配線板に配置された、当該マルチチップモジュールを電磁的にシールドするためにの導電カバーを備える構成である。

第35発明のマルチチップモジュールは、多層のプリント配線板が、セラミック材、ガラスエポキシ材、樹脂材の一種類又は組み合わせて構成される。

この構成による第1、第5、第7、第9、第11、第12、第16、第22、第23、第28発明のマルチチップモジュールでは、このマルチチップモジュールを配置する他のプリント配線板にはんだ付けするためのスルーホールを縦半分に切断した形状又はスルーホールの外部電極パッドや、その外部電極パッドが延在してプリント配線板の外周面に配置し、また、ベアICチップを外部電極パッドに直接、ワイヤボンディングで接続しているため、プリント配線板の周縁部に、慣用的な従来のマルチチップモジュールのようなリード端子を設ける必要がなくなる。

第2、第5、第7、第9、第11、第12、第16発明のマルチチップモジュールでは、プリント配線板の表面におけるベアICチップの底面側に回路パターンを設けているため、ベアICチップの周囲に設ける必要な回路パターンが減少する。

第3、第5、第7、第9、第11、第12、第16発明のマルチチップモジュールでは、第1及び第2発明のマルチチップモジュールと同様にリード端子を設ける必要がなくなって、ベアICチップ

の周囲に設ける必要がある回路パターンが減少する。

第4、第5、第7、第9、第11、第12、第16、第29発明のマルチチップモジュールでは、プリント配線板の表面かつベアICチップの底面側に、抵抗素子、コンデンサ、インダクタを形成できるため、ベアICチップの周囲にチップ抵抗素子、チップコンデンサ、インダクタを設ける必要がなくなる。

第6、第7、第9、第11、第12、第16、第35発明のマルチチップモジュールでは、セラミック材、ガラスエポキシ材、樹脂材の一種類又は組み合わせた多層構成のプリント配線板の内層に設けられた導体層及びインタースティシャルバイアホールを通じて複数のベアICチップが電氣的に接続されている。したがって、ベアICチップの周囲に設ける必要のある回路パターンが減少する。

第8、第9、第16発明のマルチチップモジュールは、プリント配線板の内層に抵抗素子を形成できるため、そのプリント配線板の表面にチップ抵抗素子を設ける必要がなくなる。

第10、第11、第16発明のマルチチップモジュールでは、プリント配線板の内層にコンデンサが形成されており、プリント配線板の表面にチップコンデンサを設ける必要がなくなる。

第12、第13、第16発明のマルチチップモジュールは、プリント配線板の内層に抵抗素子、コンデンサ、インダクタを形成している。したがって、プリント配線板の表面にチップ抵抗素子、チップコンデンサ、インダクタを設ける必要がなくなる。

第14、第16、第29発明のマルチチップモジュールでは、トリミング可能な印刷抵抗素子、印刷誘電体、印刷インダクタが設けられており、第1から第13の何れかの発明の作用に加え、印刷抵

抗素子、印刷誘電体、印刷インダクタの一部を削ることにより回路の動作特性の微調整が可能になる。

第15、第16、第25発明のマルチチップモジュールでは、一つのダム枠で複数のベアICチップを囲んでおり、ベアICチップごとにダム枠を設ける必要がなくなる。

第17発明のマルチチップモジュールは、第15又は第16発明の作用に加え、ダム枠に補強部が設けられているので樹脂封止及びリフローはんだ付け時の熱歪を軽減できる。

第18発明のマルチチップモジュールでは、電極パッドと、この電極パッドの周囲との境界部分を基準としてプリント配線板にダム枠が取り付けられるので、第15から第17発明のいずれかに加え、プリント配線板にダム枠取付用の穴部を設ける必要がなくなる。

第19発明のマルチチップモジュールでは、電極パッド間のはんだブリッジを防止するために電極パッドに隣接させて設けられるソルダーレジスト（例えば、緑色）と電極パッド（例えば、金色）との境界部分がダム枠取付用の基準位置となっており、境界部分が色の差から明確になる。

第20発明のマルチチップモジュールでは、複数のベアICチップを囲むダム枠内に充填される樹脂がダム枠よりも突出していないので、マルチチップモジュールのダム枠で囲まれた部分を真空吸着器で容易に吸着できるようになる。

第21発明のマルチチップモジュールでは、ベアICチップはフリップチップボンディングによってプリント配線板に実装されるので、プリント配線板の表面には、ベアICチップの周囲にボンディング用のパッドを設ける必要がなくなる。

第24の発明のマルチチップモジュールでは、当該マルチチップモジュールを他のプリント配線板に平行又は垂直状態に配置しているので、その配置の自由度が得られる。

第24の発明のマルチチップモジュールでは、ベアICチップをダム枠に樹脂を充填して封止し、このダム枠及び樹脂上に、さらにベアICチップを配置しているので、ベアICチップがより多く配置される。

第26、第27発明のマルチチップモジュールでは、ベアICチップをプリント配線板の貫通孔又は凹部に配置してワイヤボンディングによって接続している。また、他のプリント配線板の貫通孔に嵌め込んで他のプリント配線板と接続しているので、全体の厚さが薄くなる。

第30発明のマルチチップモジュールでは、当該マルチチップモジュールをフレキシブル配線板に配置しているため、その立体的な配置が可能になる。

第31、第32発明のマルチチップモジュールでは、金属部材のダム枠と熱伝導樹脂で封止しているので、ベアICチップの放熱が確実に行われる。

第33、第34発明のマルチチップモジュールでは、ベアICチップ又は、マルチチップモジュールを電極が短絡しないように導電カバーで囲んで電磁的にシールドしている。

図面の簡単な説明

本発明は、以下の詳細な説明及び本発明の実施例を示す添付図面により、より良く理解されるものとなる。なお、添付図面に示す実施例は、発明を特定することを意図するものではなく、単に説明

及び理解を容易とするものである。

図中、

図1は従来のパッケージ形ICが実装されたプリント配線板を示すの平面図である。

図2は従来のベアICチップが実装されたプリント配線板を示す斜視図である。

図3は従来のマルチチップモジュールを示す斜視図である。

図4は図1に示されたマルチチップモジュールのプリント配線板とダム枠の要部を示す拡大図である。

図5は図1に示されたマルチチップモジュールの製造工程図である。

図6は図1に示されたマルチチップモジュールを実装する状態を示す断面図である。

図7は、本発明の第1の実施例のマルチチップモジュールを分解して示す斜視図である。

図8は図7に示されたマルチチップモジュールの組立状態を示す斜視図である。

図9は図8のマルチチップモジュールを主プリント配線板に実装する状態を示す斜視図である。

図10は図8のマルチチップモジュールの要部を示す断面図である。

図11は本発明の第2の実施例のマルチチップモジュールを示す斜視図である。

図12は図11のマルチチップモジュールにおけるプリント配線板を示す斜視図である。

図13は図12に示すプリント配線板を裏面から示した斜視図である。

図14は図12のプリント配線板を示す平面図である。

図15は図11のマルチチップモジュールにおけるダム枠を示す斜視図である。

図16はダム枠付プリント配線板を示す斜視図である。

図17はダム枠付プリント配線板にベアICチップを実装した状態を示す斜視図である。

図18はダム枠付プリント配線板の製造工程図である。

図19はベアICチップの実装工程図である。

図20は図17のマルチチップモジュールを実装する状態を示す断面図である。

図21は本発明の第3の実施例におけるマルチチップモジュールのプリント配線板を切り欠いて示す斜視図である。

図22は図21のプリント配線板の要部を示す拡大図である。

図23は図21のプリント配線板の要部を示す拡大図である。

図24は本発明の第4の実施例のマルチチップモジュールを分解して示す斜視図である。

図25は図24のマルチチップモジュールの組立状態を示す斜視図である。

図26は図25のマルチチップモジュールを主プリント配線板に実装した状態を示す斜視図である。

図27は外部電極パッドの変形例を示す斜視図である。

図28は実施例の変形例でありマルチチップモジュールの主プリント配線板への取り付け状態を示す断面図である。

図29は実施例の変形例でありマルチチップモジュールの配置状態を示す断面図である。

図30は実施例の変形例でありマルチチップモジュールをフレキシブル配線板に配置した状態を示す斜視図である。

図31は実施例の変形例でありベアICチップを導電部材カバーで覆って電磁的にシールドを施した状態を示す斜視図である。

図32は実施例の変形例でありマルチチップモジュール全体を導電部材カバーで覆って電磁的にシールドを施した状態を示す斜視図である。

発明を実施するための最良の形態

以下に、本発明の好適実施例によるマルチチップモジュールを図7から図26を参照しながら説明する。

図7は本発明のマルチチップモジュールの第1実施例の構成を示す分解斜視図であり、図8は第1実施例の斜視図である。また、図9は主プリント配線板に実装されたマルチチップモジュールの斜視図であり、図10はマルチチップモジュールの要部断面図である。

図7及び図8において、この第1実施例のマルチチップモジュール5Aは、例えば、セラミック材、ガラスエポキシ材、樹脂材の一種類又は組み合わせて構成される多層のプリント配線板100と、このプリント配線板100に実装される3種類のベアICチップ201、202、203を備えて構成されている。ベアICチップ201はプリント配線板100の表面における一点鎖線で示された領域101に実装され、ベアICチップ202はプリント配線板100表面の一点鎖線で示された領域102に実装される。また、ベアICチップ203はプリント配線板100表面の実線で示された領

域103に実装される。

プリント配線板100の外周面には、図9に示すマザーボードなどの主プリント配線板（他のプリント配線板）1側にはんだ付けされる多数の外部電極パッド105が設けられている。この外部電極パッド105は、いわゆる、スルーホールを縦半分（貫通方向）に切断した形状であり、導体層部分105aと、この導体層部分105aの周囲に設けられた導体層部分105bを有している。また、プリント配線板100の表面には、領域101～103を囲むようにして、多数のワイヤボンディング用のリードパッド107が配置されている。

そして、これらのリードパッド107や外部電極パッド105間はプリント配線板100の表面に設けられた回路パターン109及びプリント配線板100に形成された貫通スルーホール111、インタースティシャルバイアホール112で接続されている。

この場合、図10に示すように、プリント配線板100表面の回路パターン109と内層116の導体層がインタースティシャルバイアホール112で接続されている。これによって、プリント配線板100の表面に配置する必要がある回路パターン109の数を削減できる。さらに、インタースティシャルバイアホール112はプリント配線板100の裏面側へ貫通しておらず、後行程で主プリント配線板1にマルチチップモジュール5Aを実装した際に主プリント配線板1側の導体との間での短落が発生しなくなる。

また、プリント配線板100表面の回路パターン109は領域101、102の内側にまで設けられており、この領域にはプリント配線板100の他のパターン109と同様に、ソルダーレジスト

(絶縁層) 115が設けられている。通常、ベアICチップの表面実装では、領域103に示すように、導体層で形成されたアイランドをプリント配線板に設け、このアイランド上にベアICチップをダイボンディングにより実装しているが、この第1実施例では、プリント配線板100側のアース電位を必しも確保する必要のないベアICチップ201, 202は、その下部となる部分に回路パターン109を設けている。

これによって、ベアICチップ201~203の周囲に配置する必要がある回路パターン109の数が削減されることになる。すなわち、プリント配線板100の実装面積が小さくなって、小形化されることになる。

上記プリント配線板100の領域101~103には、それぞれ銀ペーストが塗付されて、ベアICチップ201~203がダイボンディングされる。そして、図8に示すように、プリント配線板100のリードパッド107とベアICチップ201~203の電極パッド205がワイヤ208にてワイヤボンディングされてマルチチップモジュール5Aが完成する。

また、このマルチチップモジュール5Aは、外部電極パッド105を用いてファンクションテストを行い、良品のマルチチップモジュール5Aのみを図9に示すように主プリント配線板1に実装できる。このマルチチップモジュールを表面実装する場合、プリント配線板100の外周面に形成された外部電極パッド105が主プリント配線板1にはんだ付けされるため、主プリント配線板1側に必要となるマルチチップモジュールの実装領域(面積)は、プリント配線板100の面積程度のスペースを確保すれば良いことになる。

次に、第2実施例について説明する。

図11は第2実施例の構成を示す斜視図であり、図12はプリント配線板の斜視図である。図13はプリント配線板を裏面から示した斜視図であり、図14はプリント配線板の平面図である。図15はダム枠の斜視図であり、図16はダム枠付プリント配線板の斜視図である。図17はダム枠付プリント配線板にベアICチップを実装した状態の斜視図であり、図18はダム枠付プリント配線板の製造工程図である。また、図19はベアICチップの実装工程図であり、図20は真空吸着器を用いたマルチチップモジュールの実装を示す断面図である。

この第2実施例のマルチチップモジュール5Bは、図11及び図17に示すように、多層のプリント配線板100Aに実装される3種類のベアICチップ201~203、及びベアICチップ201~203を囲んだ状態にプリント配線板100Aに配置する樹脂封止用のダム枠220を備えている。このダム枠220内にチップ201~203を封止するための樹脂230が充填されている。プリント配線板100Aの構造は第1の実施例のプリント配線板100と同様である。

図12から図14に示すように、プリント配線板100Aの外周面にはスルーホールを縦半分に切断した形状の、多数の外部電極パッド105が設けられている。また、プリント配線板100Aの表面には、ベアICチップ201~203の実装領域101~103を囲むようにしてワイヤボンディング用の多数のリードパッド107が設けられている。

また、これらのリードパッド107や外部電極パッド105間は

プリント配線板100Aの表面に設けられた回路パターン、プリント配線板に形成された貫通スルーホール、インタースティシャルバリアホール及びプリント配線板100Aの内層に設けられた導体層で接続されている。さらに、プリント配線板100Aの領域101、102内にも回路パターンが設けられ、領域103は導体層で形成されたアイランドとなっている。そして、プリント配線板100Aの表裏両面には、外部電極パッド105、リードパッド107及び領域103以外を覆うようにして絶縁層としてのソルダーレジスト115が形成されている。また、このソルダーレジスト115は、外部電極パッド105間での、はんだブリッジが生じないようにするため、この外部電極パッド105間にも設けられている。

樹脂封止用のダム枠220は、図15から図17に示すように、ベアICチップ201～203全体を囲むことができる大きさの角形状を有しており、また、樹脂封止時やリフローはんだ付時にプリント配線板100Aに熱歪が生じないように補強部221が設けられている。すなわち、2分割されている。

次に上記プリント配線板100Aに対するダム枠220の取付工程及びベアICチップの実装工程を図18及び図19を用いて説明する。

ダム枠取付工程は、図18に示すように、まず、プリント配線板100Aの所定箇所に接着剤を塗付し、この接着剤部分への取付が自動機を用いて行なわれる。この接着剤の塗付は、図14に示すように、プリント配線板100Aの対角線上の位置（円部A、B）にある二つの外部電極パッド（金色）105と、このパッド105に隣接するソルダーレジスト（緑色）115との境界を両者の色の相

違を光学読取装置で識別し、この二つの境界部分を基準位置としてプリント配線板100Aの所定箇所に塗付する。

この際、外部電極パッド105は金メッキであり、ソルダーレジスト115はプリント配線板100Aの基板（通常半透明）よりも認識し易い色（例えば、緑色）となっているため、二つの境界部分を光学読取装置で正確に識別できる。

次に、上記二つの境界部分を基準位置として、プリント配線板100Aの接着剤が塗付された所定箇所に、ダム枠220を載せ置いて、接着剤を硬化させてダム枠220はプリント配線板100Aに固定する（図16）。

このように第2実施例のマルチチップモジュールでは、ダム枠220の位置決めが外部電極パッド105とソルダーレジスト115の境界部分を色の差によって光学的に識別し、この境界部分を基準位置として行うものである。この場合、慣用的な位置決め用の孔部をプリント配線板100Aに形成して配置する必要がなくなり、その加工工程が容易になる。

ベアICチップの実装工程は、図19に示すように、まず、ダム枠付きのプリント配線板100Aの領域101～103に銀ペーストを塗付してベアICチップ201～203のダイボンディングを行い、その硬化後に、プリント配線板100Aのリードパッド107とベアICチップ201～203の電極パッドとをワイヤ208にてワイヤボンディングする（図17）。そして、ダム枠220内に樹脂230を充填してベアICチップ201～203の樹脂封止を行い（図11）、その硬化後、ファンクションテストを行う。

また、この第2実施例のマルチチップモジュール5Bでは、図2

0に示すように、ダム枠220で囲まれた部分を真空吸着器7を用いて吸着して主プリント配線板1に実装する工程を採用する。この場合に、ダム枠220は三つのベアICチップ201~203を囲む大きさとなっているため、十分な吸着面積を確保できる。また、樹脂230は、その上面がダム枠の上端面と同一か若干低くなる範囲でかつ所定の平坦度を保持するように充填されているため、吸着器7を用いてマルチチップモジュール5Bを容易かつ確実に吸着できるようになる。

この第2実施例では、ダム枠220を設けて、チップ201~203を封止するための樹脂230を充填している。したがって、このダム枠220及び樹脂230上に、さらに、他のベアICチップ201~203を配置できるようになる。この場合、積層したベアICチップ201~203によって、より多様なマルチチップモジュールを構成できるようになる。

また、ダム枠220を金属部材で作製し、かつ、樹脂230を熱伝導率の高い樹脂で封止することによって、ベアICチップ201~203の放熱を高めることができる。この場合、例えば、ベアICチップ201~203が電力増幅などを行う際の発熱を効率良く放出できるようになる。また、ダム枠220を樹脂230にまで延在させてダム枠の面積を広くすると、その放熱面積を大きくなって、より効率良く放熱が行われる。

次に、第3実施例について説明する。

図21は第3実施例におけるプリント配線板の一部切欠斜視図であり、図22は図21のプリント配線板の抵抗素子部分の断面図である。また、図17は図21のプリント配線板のコンデンサ部分の

断面図である。

この第3実施例のマルチチップモジュールは、主プリント配線板1に実装される他のマルチチップモジュールとの信号調整用の抵抗素子及びコンデンサを、前述の第1又は第2実施例のマルチチップモジュール5A, 5Bに組み込むようにしたものである。そのためプリント配線板100Bは、セラミック材やガラスエポキシ材、樹脂材、その他の材料で形成された基板118を積層している。

この第3実施例のプリント配線板100Bにおいても、図21に示すように、外周面にはスルーホールを縦半分に切断した形状の多数の外部電極パッド105が設けられ、表面にはベアICチップ201~203の実装領域を囲むようにして多数のリードパッド107が設けられている。かつ、これらのリードパッド107や外部電極パッド105間はプリント配線板100Bの表面に設けられた回路パターン109、貫通スルーホール111、インタースティシャルバイアホール112及び内層に設けられた導体層119で接続されている。

さらに、プリント配線板100Bの内部に抵抗素子121及びコンデンサ122が形成されている。抵抗素子121は、図22に示すように、基板118に抵抗素子124をスクリーン印刷などによって形成し、この抵抗素子124の両端を内層となる導体層119で接続している。また、コンデンサ122は、図23に示すように、一方の導体層119に誘電体層126を印刷し、この一方の導体層119と他方の導体層119とで誘電体層126を挟むようにして基板118を積層することにより形成されている。なお、抵抗素子121、コンデンサ122と接続されている導体層119はインター

ティシャルバイアホール112、回路パターン109等を通じてリードパッド107や外部電極パッド105に接続される。また、抵抗素子124としてはAg-Pd系ペーストやRh酸化物系ペースト等が、誘電体層126としてはチタン酸バリウム結晶化ガラス材等が使用されている。

このように、この第3実施例では、抵抗素子121やコンデンサ122をプリント配線板100B内に配置しているため、マルチチップモジュールを大形化することなく、抵抗素子やコンデンサをマルチチップモジュールに組み込むことができるようになる。

次に、第4実施例について説明する。

図24は第4実施例の構成を示す分解斜視図であり、図25はマルチチップモジュールの斜視図である。図26は主プリント配線板に実装されたマルチチップモジュールの斜視図である。

この第4実施例のマルチチップモジュール5Dはプリント配線板に複数のベアICチップをフリップチップボンディング加工で表面実装している。

このマルチチップモジュール5Dは、図24及び図25に示すように、多層のプリント配線板100Dと、このプリント配線板100Dに実装される3種類のベアICチップ201D、202D、203Dを備えている。ベアICチップ201D~203Dはプリント配線板100Dの表面の一点鎖線で示された領域101D、102D、103Dにそれぞれ表面実装される。

プリント配線板100Dの外周面には、プリント配線板100と同様、図26に示す主プリント配線板1側にはんだ付けされる多数の外部電極パッド105が設けられている。また、プリント配線板

100Dの表面には、領域101D~103D内に、フリップチップボンディング用の多数のパッド131が設けられている。そして、これらのパッド131や外部電極パッド105間は、プリント配線板100Dの表面に設けられた回路パターン109、印刷抵抗素子133、印刷誘電体134やプリント配線板100Dに形成された貫通スルーホール111、インタースティシャルバイアホール112で接続されている。

この第4実施例では、第1の実施例と同様に、プリント配線板100D表面の回路パターン109と内層導体をインタースティシャルバイアホール112で接続することにより、プリント配線板100Dの表面に配置する必要がある回路パターンの数を削減している。また、この第4実施例では、フリップチップボンディングされるベアICチップ201D~203Dの真下、すなわち、領域101D~103Dの部分に印刷抵抗素子133及び印刷誘電体134を設けている。

これによって、慣用的にICチップの周囲に設ける必要があったチップ抵抗素子、チップコンデンサを削減することができる。したがって、マルチチップモジュールをさらに小形化できる。なお、プリント配線板100Dに印刷抵抗素子133及び印刷誘電体134を形成後、プリント配線板100Dの表面には、フリップチップボンディング用のパッド131及び外部電極パッド105の部分を除いて溶剤レジスト115が設けられている。

また、プリント配線板100Dの表面であって、領域101D~103Dの外側には、トリミングを可能とした調整用の印刷抵抗素子136、印刷誘導体137が設けられている。特に高い周波数を

扱う高周波回路においては、抵抗素子や誘電体を印刷にて形成した場合、同調周波数を所定の中心周波数に設定したり、特性インピーダンスを整合させるなどの微調整が必要となるが、印刷抵抗素子や印刷誘電体が内層に形成される場合やベア IC チップの下方に形成されてる場合は、その微調整を行うことはできないため、トリミングを可能とした印刷抵抗素子 136、印刷誘電体 137 をプリント配線板 100D の表面に設けている。

上記プリント配線板 100D の領域 101D ~ 103D のパッド 131 にはフリップチップボンディング方式によりベア IC チップ 201D ~ 203D が接合され、マルチチップモジュール 5D が形成される。このフリップチップボンディング方式では、ベア IC チップの周囲にボンディング用のパッドを設ける必要がないため、ワイヤボンディング方式よりもマルチチップモジュールを小形化できる。

なお、上記マルチチップモジュール 5D は、第 1 の実施例におけるマルチチップモジュール 5A と同様、外部電極 105 を用いてファンクションテストを行った後、図 26 に示すように、良品のマルチチップモジュール 5D のみを、主プリント配線板 1 に実装する。

このマルチチップモジュール 5D を表面実装する場合も、プリント配線板 100D の外周面に形成の外部電極 105 が主プリント配線板 1 にはんだ付けされるため、第 1 の実施例と同様、主プリント配線板 1 側に必要とされるマルチチップモジュールの実装領域がプリント配線板 100D の面積程度のスペースを確保すれば良いことになる。

この第 3 実施例、及び第 4 実施例における印刷抵抗素子及び印刷

誘電体（コンデンサ）とともに、インダクタである印刷導体を形成することもできる。この場合、高周波信号を処理するための発振回路や同調回路などを構成することができる。

なお、第1実施例では、外部電極パッド105をスルーホールを縦半分（貫通方向）に切断した形状としているが、図27に示すようにプリント配線板100の端部に、スルーホール106aそのものを設け、このスルーホールを外部電極パッドとして使用しても良い。この場合、プリント配線板100を外周囲が金属部材に接触する可能性がある構造の際に、その短絡（接触）を防ぐことができるようになる。第2実施例から第4実施例でも同様である。

また、スルーホールを縦半分（貫通方向）に切断した形状の外部電極パッド105に代えて、図27に示すように外部電極パッドのランド部分をプリント配線板100の外周囲まで延在させたパターン106bを設けて、このそれぞれのパターン106bを主プリント配線板（他のプリント配線板）1に接続するようにしても良い。この場合も作成工程が簡素化される。

この第1実施例では図9に示すように、マルチチップモジュールを主プリント配線板（他のプリント配線板）1に平行して配置しているが、図28に示すように垂直状態に配置して接続しても良い。また、2枚かつ平行に配置した主プリント配線板（他のプリント配線板）1間に垂直状態に配置しても良い。第2実施例から第4実施例も同様である。この場合、その配置の自由度が得られる。

また、第1実施例ではマルチチップモジュール5aを主プリント配線板1に載せ置いているが、図29に示すように主プリント配線板1に貫通孔又は凹部Mを設け、この貫通孔又は凹部にマルチチッ

プモジュールを嵌め込むようにして配置しても良い。この場合、主プリント配線板1の厚さを低減できるようになる。同様にベアICチップをプリント配線板に貫通孔又は凹部を設け、この貫通孔又は凹部に嵌め込むようにして配置しても良い。第2実施例から第4実施例も同様である。この場合、厚さを小さくできる。

さらに、第1実施例ではマルチチップモジュールをプリント配線板100のリードパッド107とベアICチップ201~203の電極パッド205がワイヤ208でワイヤボンディングするようになっているが、その電氣的構成によっては、リードパッド107を設けず、ベアICチップ201~203の電極パッド205がワイヤ208を外部電極パッド105に直接接続するようにしても良い。この場合、プリント配線板100の構成が簡素化する。なお第3実施例から第4実施例も同様である。

また、図30に示すように、主プリント配線板1にフレキシブル配線板Fを用いると、マルチチップモジュールの立体的な配置が可能になる。さらに、図31に示すようにベアICチップを導電部材(金属、導電樹脂)のカバーSaで覆い、その電磁的にシールドを施すこともできる。また、図32に示すようにマルチチップモジュールを導電部材(金属、導電樹脂)のカバーSbで覆って、マルチチップモジュール全体を電磁的にシールドするようにしても良い。

なお、本発明は例示的な実施例について説明したが、開示した実施例に関して、本発明の要旨及び範囲を逸脱することなく、種々の変更、省略、追加が可能であることは、当業者において自明である。したがって、本発明は上記実施例に限定されるものではなく、請求の範囲に記載された要素によって規定される範囲及びその均等範囲

を包含するものとして理解されなければならない。

以上説明したように、本発明のマルチチップモジュールでは、それぞれ第1、第5、第7、第9、第11、第12、第16、第22、第23、第28発明のマルチチップモジュールが、このマルチチップモジュールを配置する他のプリント配線板にはんだ付けするためのスルーホールを縦半分に切断した形状又はスルーホールの外部電極パッドや、その外部電極パッドが延在してプリント配線板の外周面に配置し、また、ベアICチップを外部電極パッドに直接、ワイヤボンディングで接続している。これによって、プリント配線板の周縁部に、慣用的な従来のマルチチップモジュールのようなリード端子が不要になり、他のプリント配線板における電子部品の実装密度が向上するとともに、作業工程を削減できるという効果を有する。

第2、第5、第7、第9、第11、第12、第16発明のマルチチップモジュールでは、プリント配線板の表面におけるベアICチップの底面側に回路パターンを設けているため、ベアICチップの周囲に設ける必要な回路パターンが減少し、その分だけプリント配線板を小型化できるという効果を有する。

第3、第5、第7、第9、第11、第12、第16発明のマルチチップモジュールでは、第1及び第2発明のマルチチップモジュールと同様にリード端子を設ける必要がなくなって、ベアICチップの周囲に設ける必要がある回路パターンが減少する。

第4、第5、第7、第9、第11、第12、第16、第29発明のマルチチップモジュールでは、プリント配線板の表面かつベアICチップの底面側に、抵抗素子、コンデンサ、インダクタを形成できるため、ベアICチップの周囲にチップ抵抗素子、チップコンデ

ンサ、インダクタを設ける必要がなくなり、その分だけプリント配線板を小型化できるという効果を有する。

第6、第7、第9、第11、第12、第16、第35発明のマルチチップモジュールでは、セラミック材、ガラスエポキシ材、樹脂材の一種類又は組み合わせた多層構成のプリント配線板の内層に設けられた導体層及びインタースティシャルバイアホールを通じて複数のベアICチップが電氣的に接続されている。これによって、ベアICチップの周囲に設ける必要のある回路パターンが減少して、その分だけプリント配線板を小型化できるという効果を有する。

第8、第9、第16発明のマルチチップモジュールは、プリント配線板の内層に抵抗素子を形成できるため、そのプリント配線板の表面にチップ抵抗素子を設ける必要がなくなり、その分だけプリント配線板を小型化できるという効果を有する。

第10、第11、第16発明のマルチチップモジュールでは、プリント配線板の内層にコンデサが形成されており、プリント配線板の表面にチップコンデサを設ける必要がなくなり、その分だけプリント配線板を小型化できるという効果を有する。

第12、第13、第16発明のマルチチップモジュールは、プリント配線板の内層に抵抗素子、コンデンサ、インダクタを形成しているため、プリント配線板の表面にチップ抵抗素子、チップコンデサ、インダクタを設ける必要がなくなり、その分だけプリント配線板を小型化できるという効果を有する。

第14、第16、第29発明のマルチチップモジュールでは、トリミング可能な印刷抵抗素子、印刷誘電体、印刷インダクタが設けられており、第1から第13の何れかの発明の作用に加え、印刷抵

抗素子、印刷誘電体、印刷インダクタの一部を削ることにより回路の動作特性の微調整が可能になり、例えば、高周波回路での動作特性を所定の特性に整合させる調整が容易かつ確実にできるという効果を有する。

第15、第16、第25発明のマルチチップモジュールでは、一つのダム枠で複数のベアICチップを囲んでおり、ベアICチップごとにダム枠を設ける必要がなくなって、ダム枠の閉める面積を低減でき、ダム枠上面を真空吸着器で吸引して搬送する作業が容易かつ確実にできるという効果を有する。

第17発明のマルチチップモジュールは、第15又は第16発明の作用に加え、ダム枠に補強部が設けられているので樹脂封止及びリフローはんだ付け時の熱歪を軽減でき、作業が容易にできるという効果を有する。

第18発明のマルチチップモジュールでは、電極パッドと、この電極パッドの周囲との境界部分を基準としてプリント配線板にダム枠が取り付けられるので、第15から第17発明のいずれかに加え、プリント配線板にダム枠取付用の穴部を設ける必要がなくなり、回路セタールの配置の自由度が得られ、かつ、その分だけプリント配線板を小型化できるという効果を有する。

第19発明のマルチチップモジュールでは、電極パッド間のハンダブリッジを防止するために電極パッドに隣接させて設けられるソルダーレジストと電極パッドとの境界部分がダム枠取付用の基準位置となっており、境界部分が色の差から明確になり、その光学識別装置を用いた際の識別が確実に行われて、その作業効率が向上するという効果を有する。

第20発明のマルチチップモジュールでは、複数のベアICチップを囲むダム枠内に充填される樹脂はダム枠よりも突出していないので、マルチチップモジュールのダム枠で囲まれた部分を真空吸着器で容易に吸着できるようになり、その作業効率が向上するという効果を有する。

第21発明のマルチチップモジュールでは、ベアICチップはフリップチップボンディングによってプリント配線板に実装されるので、プリント配線板の表面には、ベアICチップの周囲にボンディング用のパッドを設ける必要がなくなくなり、その分だけプリント配線板を小型化できるという効果を有する。

第24の発明のマルチチップモジュールでは、当該マルチチップモジュールを他のプリント配線板に平行又は垂直状態に配置しているので、その配置の自由度が得られるという効果を有する。

第24の発明のマルチチップモジュールでは、ベアICチップをダム枠に樹脂を充填して封止し、このダム枠及び樹脂上に、さらにベアICチップを配置しているので、ベアICチップがより多く配置でき、回路構成の自由度と、より複雑な構成が可能になるという効果を有する。

第26、第27発明のマルチチップモジュールでは、ベアICチップをプリント配線板の貫通孔又は凹部に配置してワイヤボンディングによって接続している。また、他のプリント配線板の貫通孔に嵌め込んで他のプリント配線板と接続しているので、全体の厚さを薄くできるという効果を有する。

第30発明のマルチチップモジュールでは、当該マルチチップモジュールをフレキシブル配線板に配置しているため、その立体的な

配置が可能になり、設計の自由度が得られるという効果を有する。

第31、第32発明のマルチチップモジュールでは、金属部材のダム枠と熱伝導樹脂で封止しているため、ベアICチップの放熱が確実に行われ、その安定した動作が得られるという効果を有する。

第33、第34発明のマルチチップモジュールでは、ベアICチップまたは、マルチチップモジュールそのものを、導電部材で覆っているため、その電磁シールドが行われ、その安定した動作が得られるという効果を有する。

産業上の利用可能性

以上のように、本発明のマルチチップモジュールは、電子装置でのプリント配線板への実装を行う際に、小型化され、実装工程が容易かつ確実に、さらに動作が安定し、電子装置でのプリント配線板への実装用として極めて有用である。

請求の範囲

1. プリント配線板と、このプリント配線板に実装される複数のベア I C チップとを備えて構成され、前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板の外周面にはスルーホールを半分に切断した形状とされ、前記他のプリント配線板にはんだ付けされる外部電極パッドが設けられることを特徴とするマルチチップモジュール。
2. プリント配線板と、このプリント配線板に実装される複数のベア I C チップとを備えて構成され、前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記複数のベア I C チップが実装される前記プリント配線板の複数の領域の内の少くとも一つの領域の表面には回路パターンが設けられ、この回路パターン上に絶縁層が設けられることを特徴とするマルチチップモジュール。
3. 複数のベア I C チップが実装されるプリント配線板の複数の領域の内の少くとも一つの領域の表面には回路パターンが設けられ、この回路パターン上に絶縁層が設けられることを特徴とする請求項 1 記載のマルチチップモジュール。
4. プリント配線板と、このプリント配線板に実装される複数のベア I C チップとを備えて構成され、前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記複数のベア I C チップが実装される前記プリント配線板の複数の領域の内の少くとも一つの領域の表面には印刷抵抗素子及び印刷誘電体のうちの少くとも一方が設けられ、この印刷抵抗素子、印刷誘電体上に絶縁層が設けられることを特徴とするマルチチップモジュール。

5. 複数のベア I C チップが実装されるプリント配線板の複数の領域の内の少くとも一つの領域の表面には印刷抵抗素子及び印刷誘電体のうちの少くとも一方が設けられ、この印刷抵抗素子、印刷誘電体上に絶縁層が設けられることを特徴とする請求項 1 から請求項 3 の何れかに記載のマルチチップモジュール。

6. プリント配線板と、このプリント配線板に実装される複数のベア I C チップとを備えて構成され、前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板は多層に形成されるとともに、前記ベア I C チップの実装面側から内層に至るインタースティシャルバイアホールが設けられ、前記ベア I C チップ間が前記インタースティシャルバイアホール及び前記内層に設けられた導体層を通じて電氣的に接続されていることを特徴とするマルチチップモジュール。

7. プリント配線板は多層に形成されるとともに、ベア I C チップの実装面側から内層に至るインタースティシャルバイアホールが設けられ、前記ベア I C チップ間が前記インタースティシャルバイアホール及び前記内層に設けられた導体層を通じて電氣的に接続されていることを特徴とする請求項 1 から請求項 5 の何れかに記載のマルチチップモジュール。

8. プリント配線板と、このプリント配線板に実装される複数のベア I C チップとを備えて構成され、前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板は多層に形成されるとともに、内層に設けられた導体層に両端が電氣的に接続された抵抗素子が前記内層に設けられることを特徴とするマルチチップモジュール。

9. プリント配線板は多層に形成されるとともに、内層に設けられた導体層に両端が電氣的に接続された抵抗素子が前記内層に設けられることを特徴とする請求項1から請求項7の何れかに記載のマルチチップモジュール。

10. プリント配線板と、このプリント配線板に実装される複数のベアICチップとを備えて構成され、前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板は多層に形成されるとともに、内層に設けられた導体層に両面が電氣的に接続された誘電体層が前記内層に設けられることを特徴とするマルチチップモジュール。

11. プリント配線板は多層に形成されるとともに、内層に設けられた導体層に両面が電氣的に接続された誘電体層が前記内層に設けられることを特徴とする請求項1から請求項7の何れかに記載のマルチチップモジュール。

12. プリント配線板と、このプリント配線板に実装される複数のベアICチップとを備えて構成され、前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板は多層に形成されるとともに、内層に設けられた導体層に両端が電氣的に接続された抵抗素子及び内層に設けられた導体層に両面が電氣的に接続された誘電体層が前記内層に設けられることを特徴とするマルチチップモジュール。

13. プリント配線板は多層に形成されるとともに、内層に設けられた導体層に両端が電氣的に接続された抵抗素子及び内層に設けられた導体層に両面が電氣的に接続された誘電体層が前記内層に設けられることを特徴とする請求項1から請求項7の何れかに記載のマ

ルチチップモジュール。

14. プリント配線板の表面であってベア I C チップの実装領域の外側にはトリミングを可能とした調整用の印刷抵抗素子及び印刷誘電体の少くとも一方が設けられることを特徴とする請求項 1 から請求項 13 の何れかに記載のマルチチップモジュール。

15. プリント配線板と、このプリント配線板に実装される複数のベア I C チップとを備えて構成され、前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板には前記複数のベア I C チップを囲み、前記ベア I C チップを封止する樹脂が充填されるダム枠が設けられることを特徴とするマルチチップモジュール。

16. プリント配線板には複数のベア I C チップを囲み、前記ベア I C チップを封止する樹脂が充填されるダム枠が設けられることを特徴とする請求項 1 から請求項 14 の何れかに記載のマルチチップモジュール。

17. ダム枠にはベア I C チップ間を仕切る状態に補強部が設けられることを特徴とする請求項 15 又は請求項 16 記載のマルチチップモジュール。

18. プリント配線板はベア I C チップの実装面側の周縁部に電極パッドが設けられ、この電極パッドと、この電極パッドの周囲との境界部分が前記プリント配線板にダム枠を取り付ける際の基準位置となっていることを特徴とする請求項 15 から請求項 17 記載のマルチチップモジュール。

19. プリント配線板はベア I C チップ実装面側の周縁部に電極パッドが設けられるとともに、この電極パッドに隣接させてソルダー

レジストが設けられ、前記電極パッドと前記ソルダーレジストとの境界部分が前記プリント配線板にダム枠を取り付ける際の基準位置となっていることを特徴とする請求項15から請求項17記載のマルチチップモジュール。

20. ベアICチップ封止用の樹脂はその上面がダム枠の上端面よりも高くない範囲で前記ダム枠内に充填されていることを特徴とする請求項15から請求項19記載のマルチチップモジュール。

21. ベアICチップはフリップチップボンディングによりプリント配線板に実装されていることを特徴とする請求項1から請求項20の何れかに記載のマルチチップモジュール。

22. プリント配線板と、このプリント配線板に実装される複数のベアICチップとを備えて構成され、前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板の端部にスルーホールが前記他のプリント配線板にはんだ付けされる外部電極パッドとして設けられることを特徴とするマルチチップモジュール。

23. プリント配線板と、このプリント配線板に実装される複数のベアICチップとを備えて構成され、前記プリント配線板が他のプリント配線板に実装されるマルチチップモジュールにおいて、前記プリント配線板の外周面に前記他のプリント配線板にはんだ付けされる外部電極パッドが延在して形成されることを特徴とするマルチチップモジュール。

24. 当該マルチチップモジュールを他のプリント配線板に平行又は垂直状態に配置して、外部電極パッドを他のプリント配線板のランドにはんだ付けすることを特徴とする請求項1記載のマルチチッ

プモジュール。

25. ベア I C チップをダム枠内に配置し、かつ、樹脂を充填して当該ペア I C チップを封止し、このダム枠及び樹脂上に、さらにベア I C チップを配置することを特徴とする請求項 15 記載のマルチチップモジュール。

26. ベア I C チップを配置する貫通孔又は凹部をプリント配線板に設け、この貫通孔又は凹部にベア I C チップを配置してワイヤボンディングによる接続を行うことを特徴とする請求項 1 記載のマルチチップモジュール。

27. 前記他のプリント配線板に貫通孔を設け、この貫通孔に当該マルチチップモジュールを嵌め込んで配置し、このマルチチップモジュールの外部電極パッドを他のプリント配線板のランドパターンと接続することを特徴とする請求項 1 記載のマルチチップモジュール。

28. ベア I C チップを外部電極パッドに直接、ワイヤボンディングで接続することを特徴とする請求項 1, 18, 19, 22, 23 記載のマルチチップモジュール。

29. 印刷抵抗素子、印刷誘電体層の少なくとも一方とともに、高周波信号を処理するためのインダクタである印刷導体が形成されることを特徴とする 4, 5, 14 の何れかに記載のマルチチップモジュール。

30. 当該マルチチップモジュールを配置する他のプリント配線板として、フレキシブル配線板を用いることを特徴とする請求項 1, 2, 4, 6, 8, 10, 12, 15, 22, 23 の何れかに記載のマルチチップモジュール。

31. ダム枠をベア I C チップの放熱を行うための金属部材で作成し、かつ、熱伝導樹脂でベア I C チップを封止することを特徴とする請求項 15 記載のマルチチップモジュール。

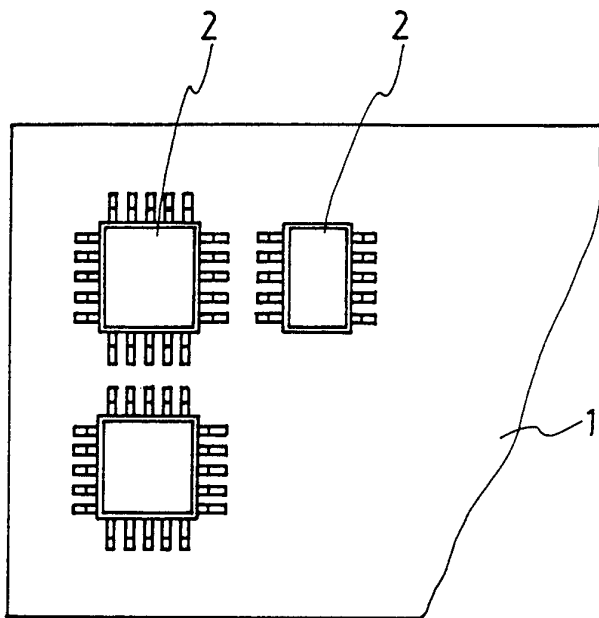
32. ベア I C チップの上部を塞ぐ位置に金属部材のダム枠の部材が延在し、かつ、熱伝導樹脂でベア I C チップを封止することを特徴とする請求項 15 記載のマルチチップモジュール。

33. プリント配線板に配置されたベア I C チップを電磁的にシールドするための導電カバーを備えることを特徴とする請求項 1, 2, 4, 6, 8, 10, 12, 15, 22, 23 の何れかに記載のマルチチップモジュール。

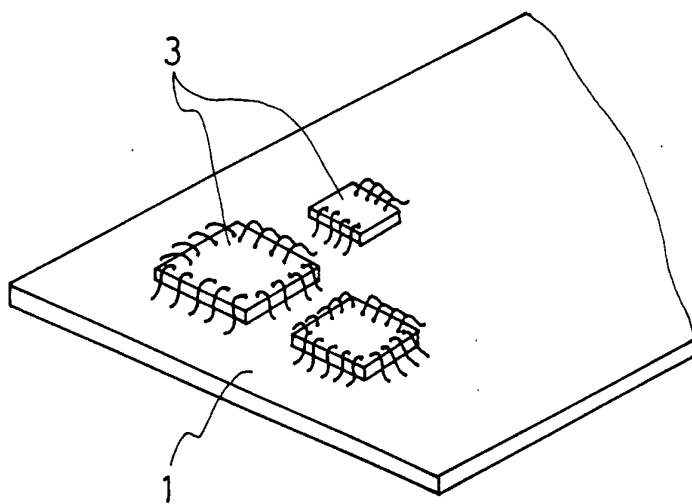
34. 他のプリント配線板に配置された、当該マルチチップモジュールを電磁的にシールドするための導電カバーを備えることを特徴とする請求項 1, 2, 4, 6, 8, 10, 12, 15, 22, 23 の何れかに記載のマルチチップモジュール。

35. 多層のプリント配線板は、セラミック材、ガラスエポキシ材、樹脂材の一種類又は組み合わせて構成されることを特徴とする請求項 6, 8, 10, 12, 13 の何れかに記載のマルチチップモジュール。

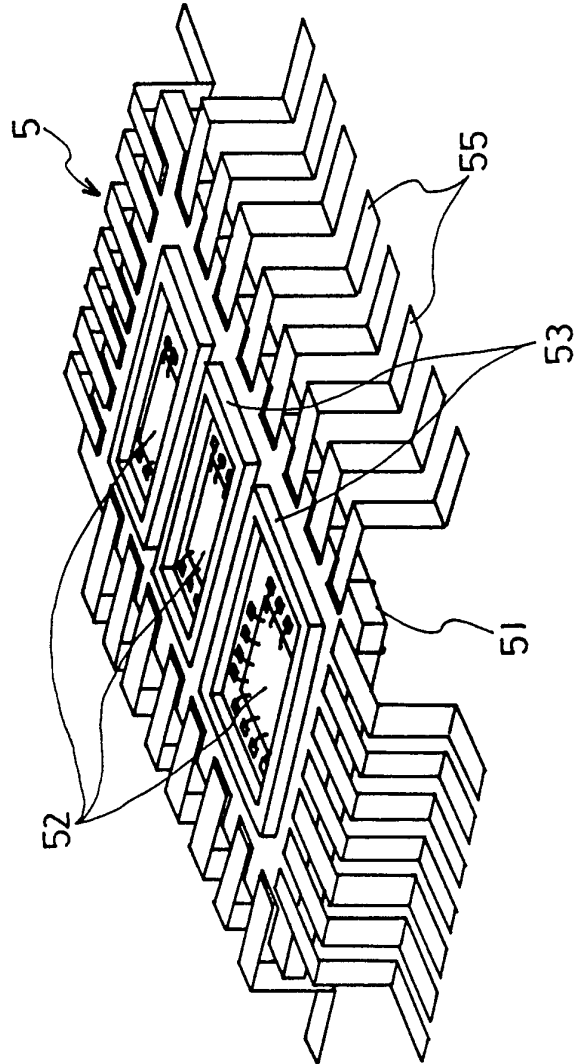
【図1】



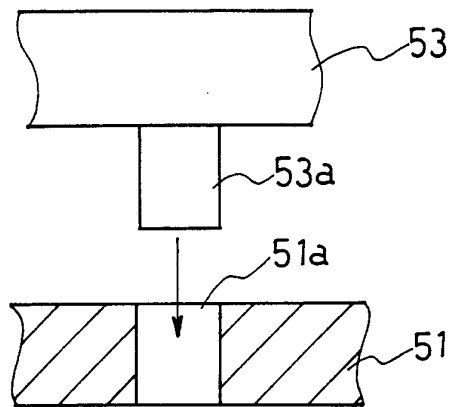
【図2】



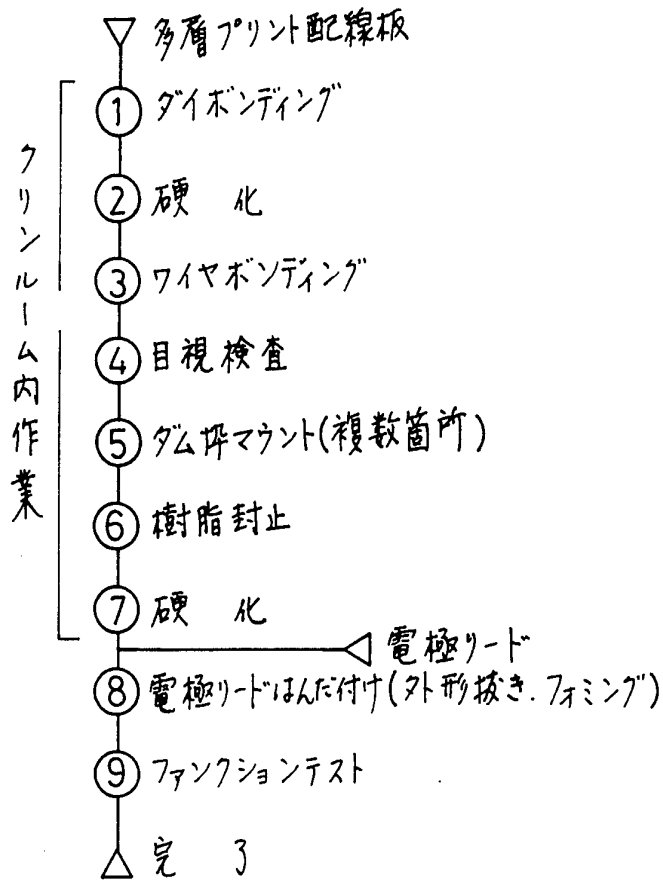
【 3】



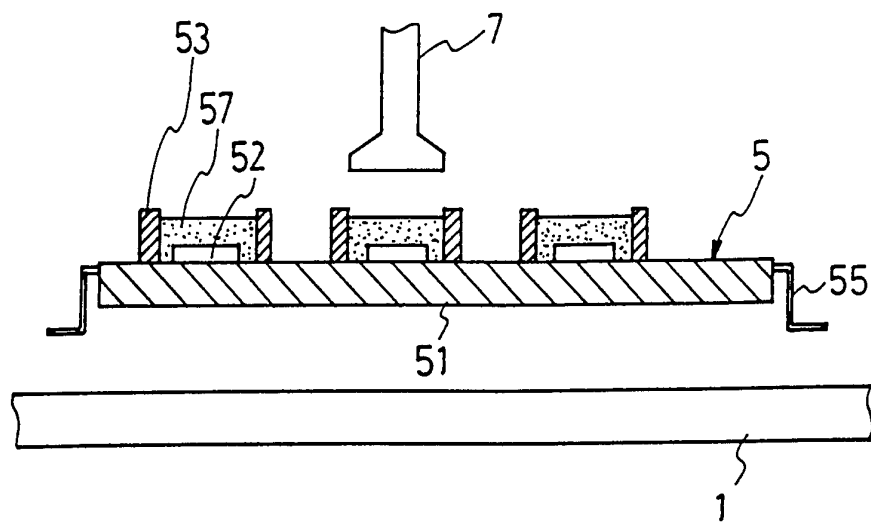
【図4】



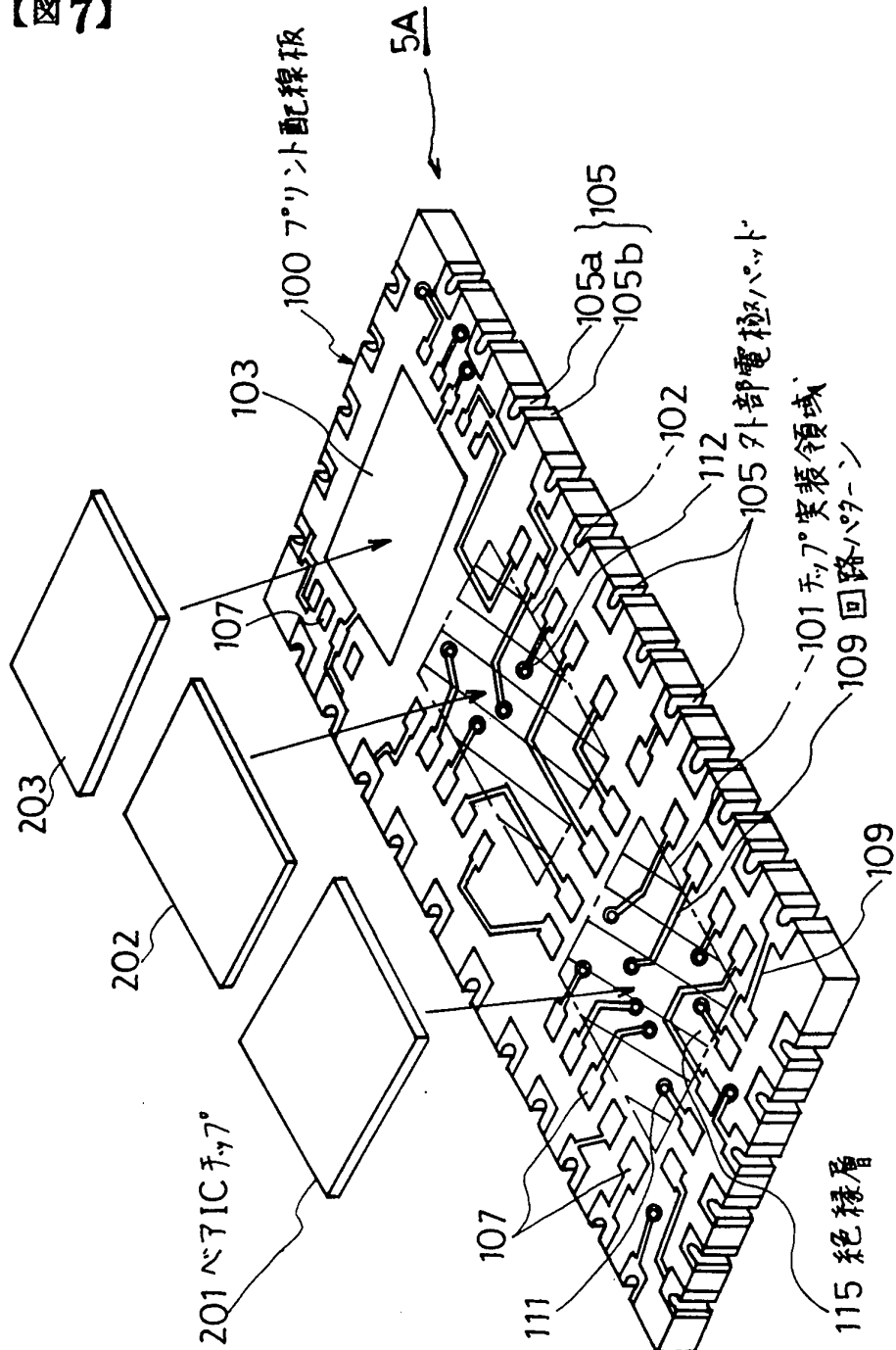
【図5】



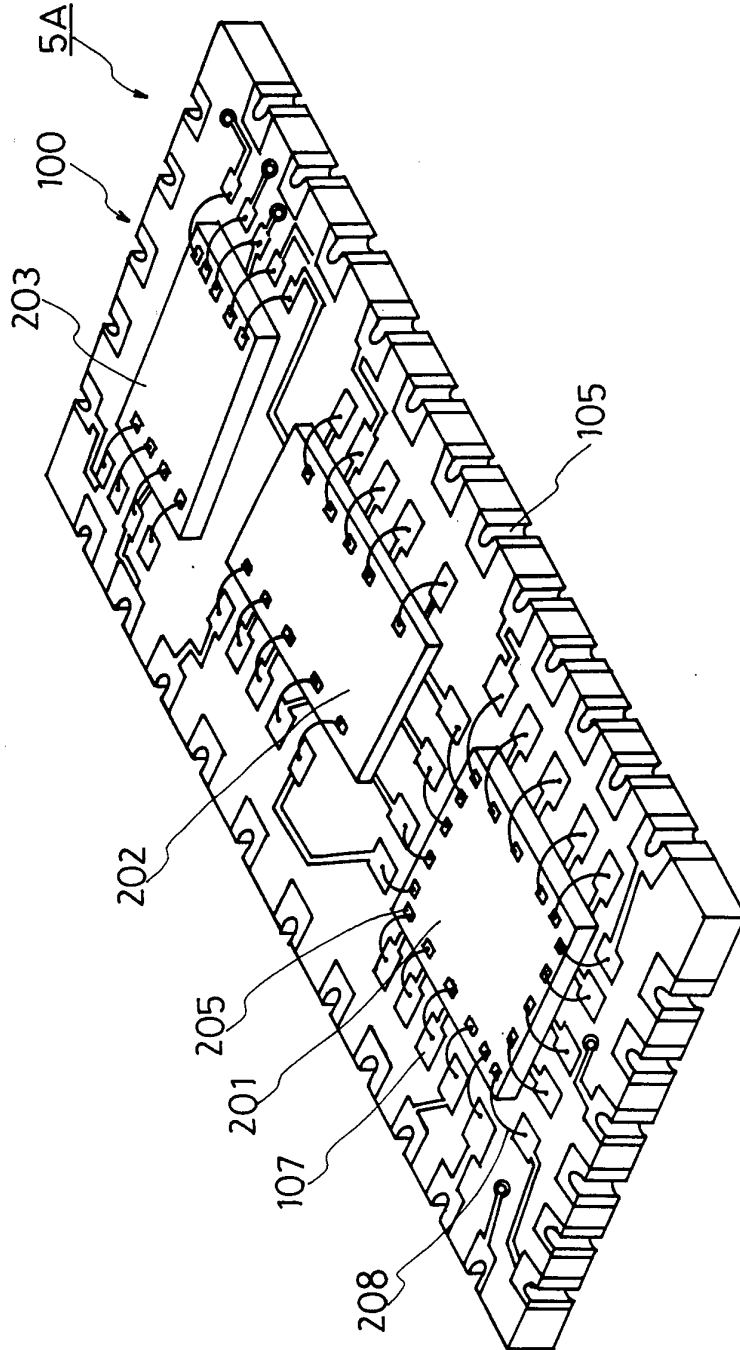
【図 6】



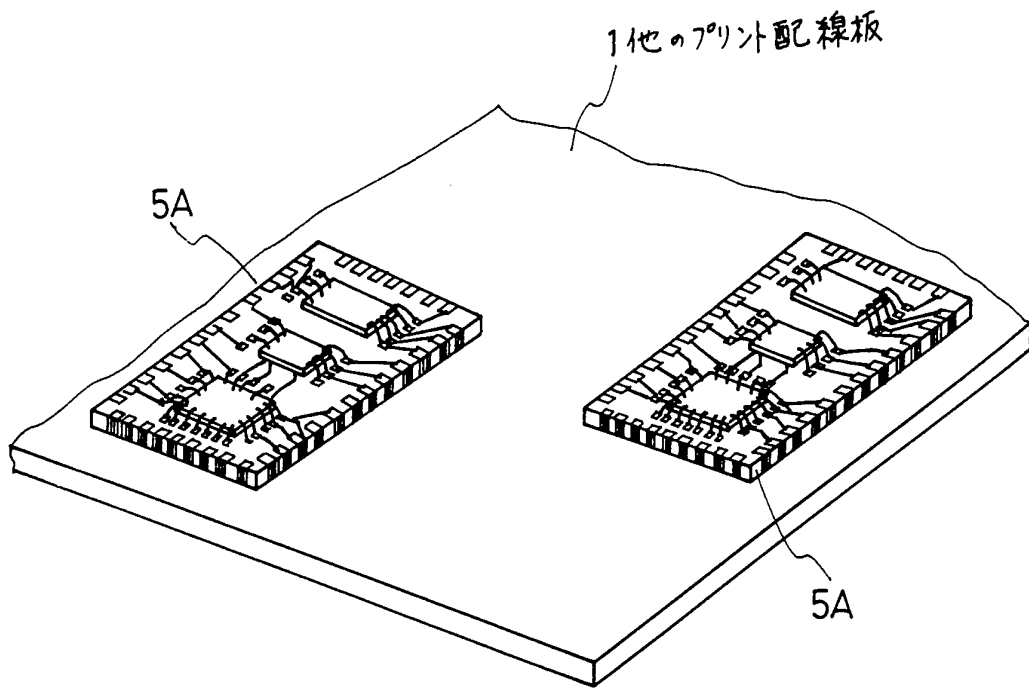
【図7】



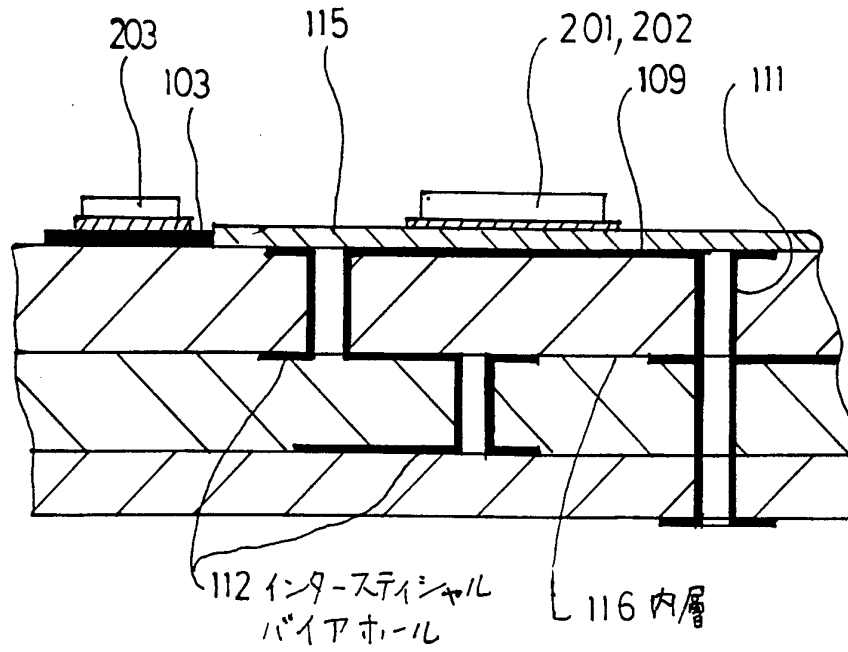
【図8】



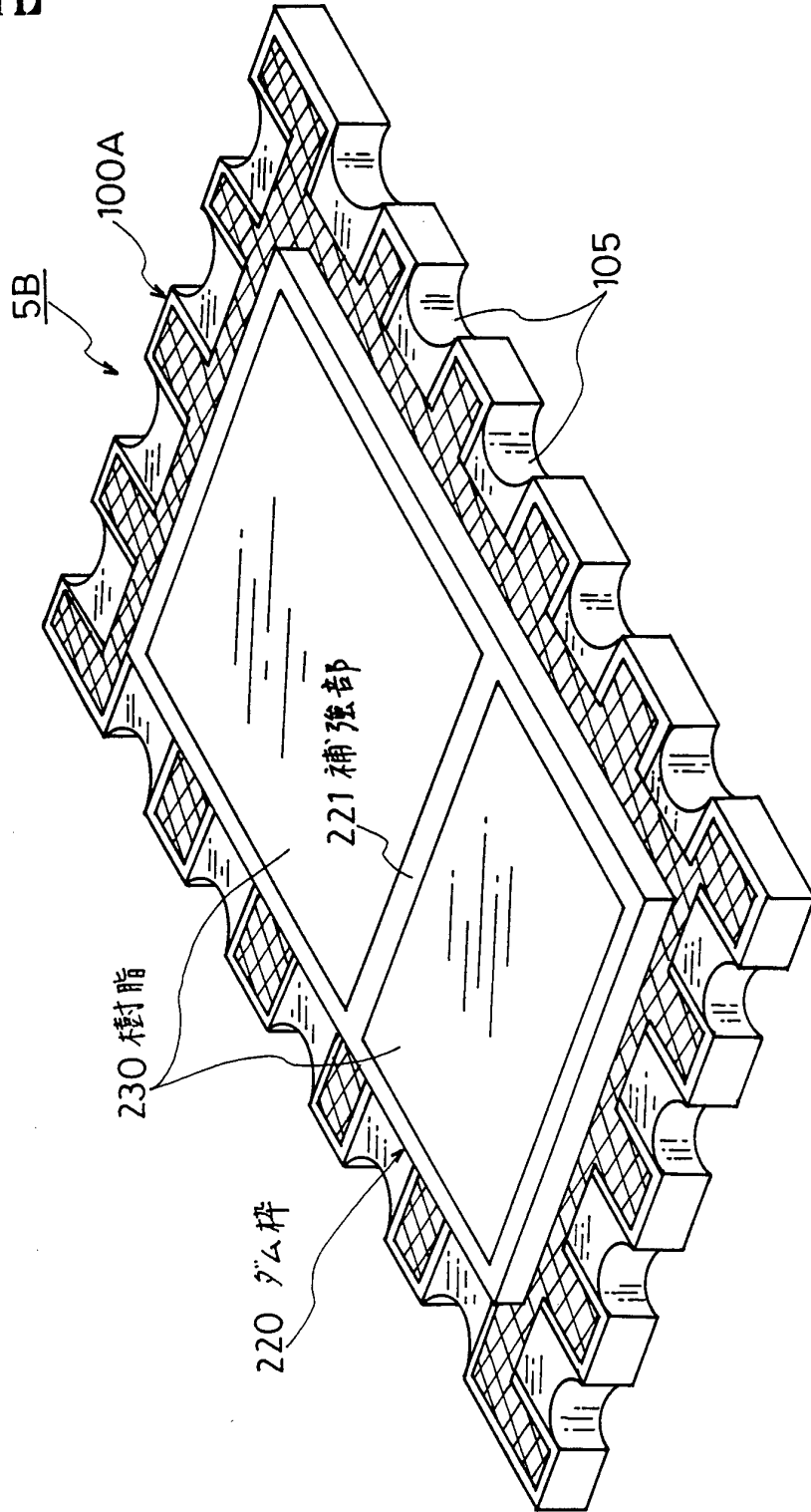
【図9】



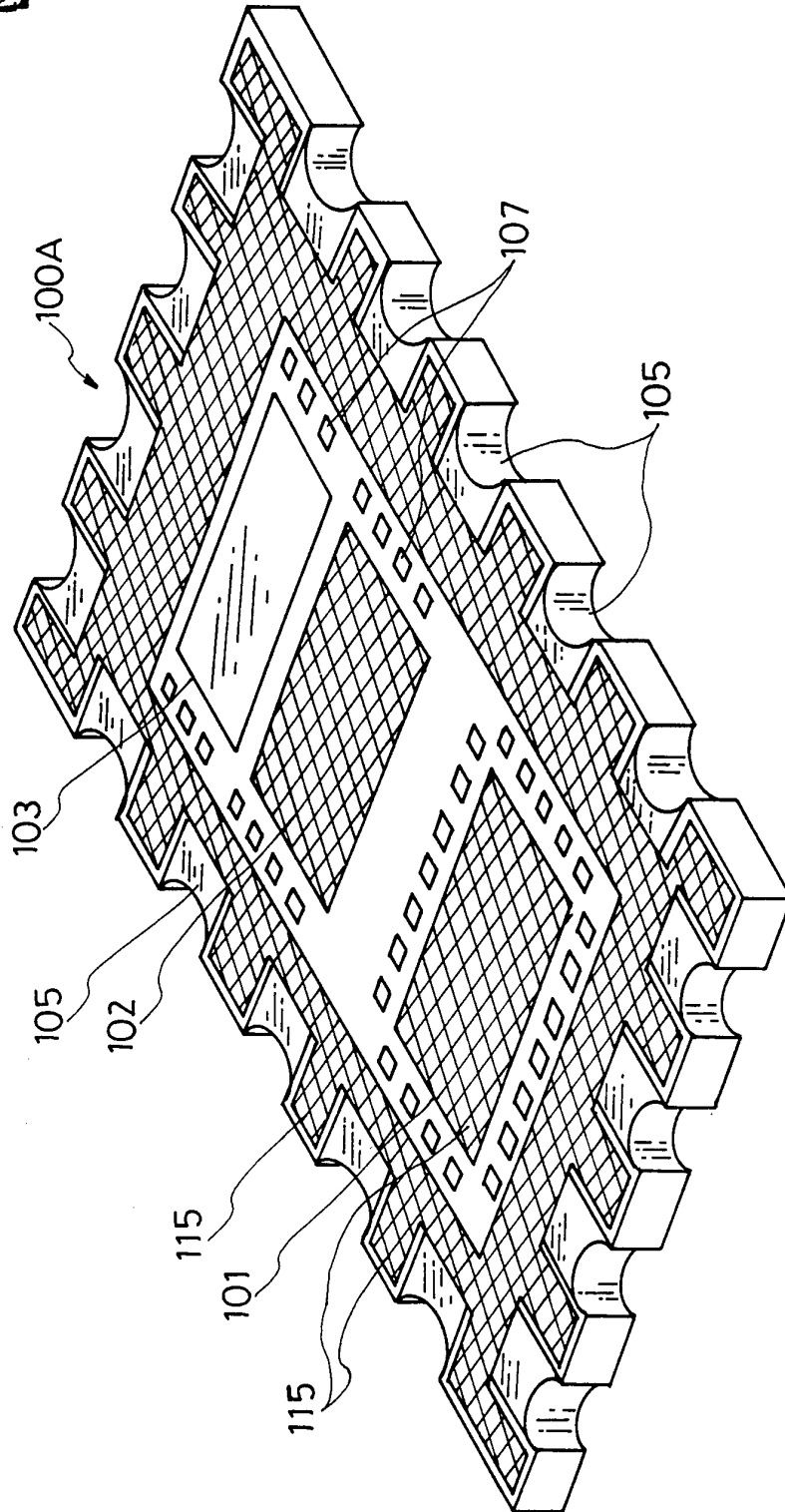
【図10】



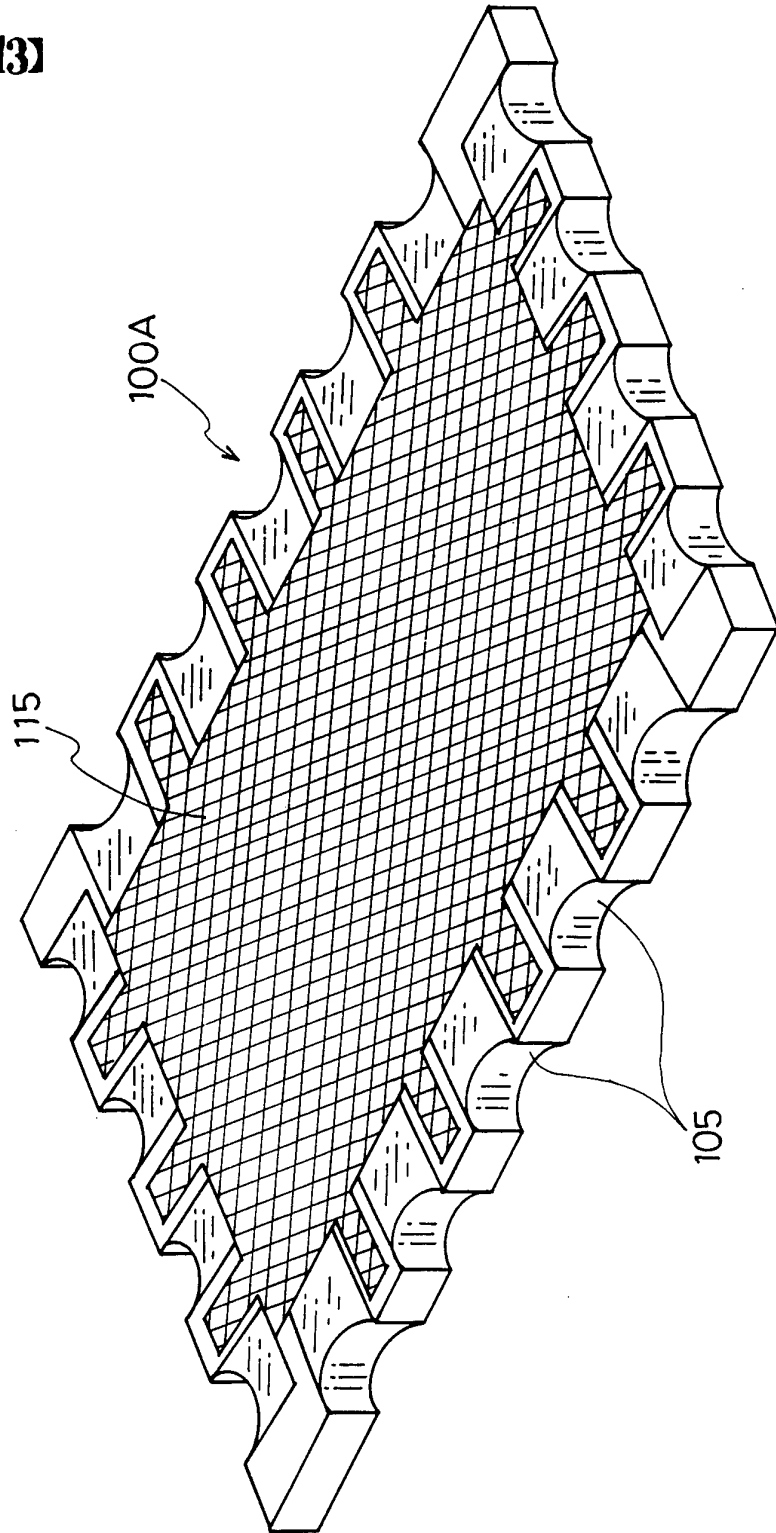
【図1D】



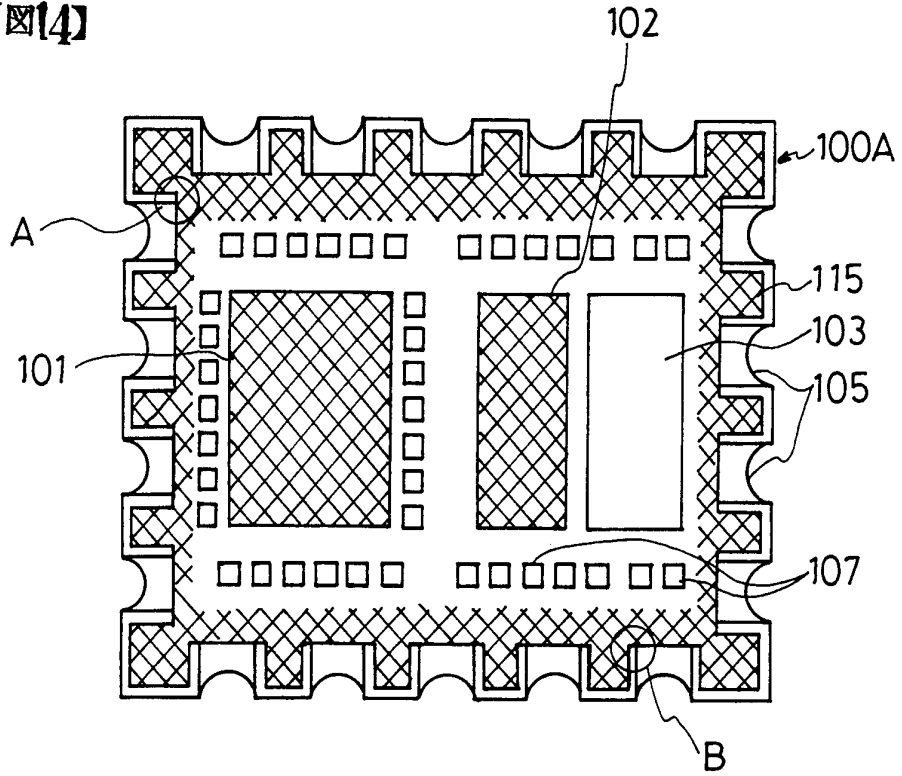
【図12】



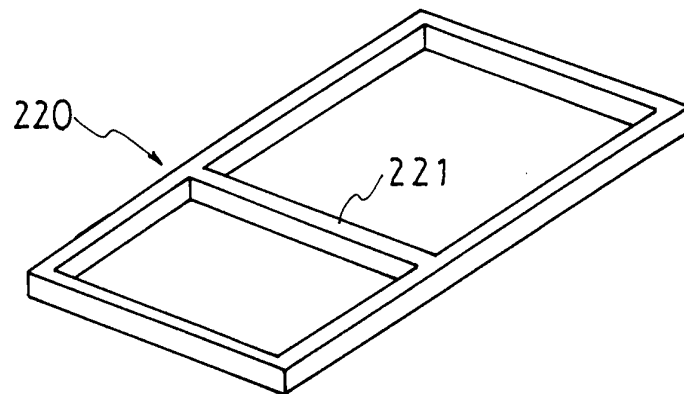
【図3】



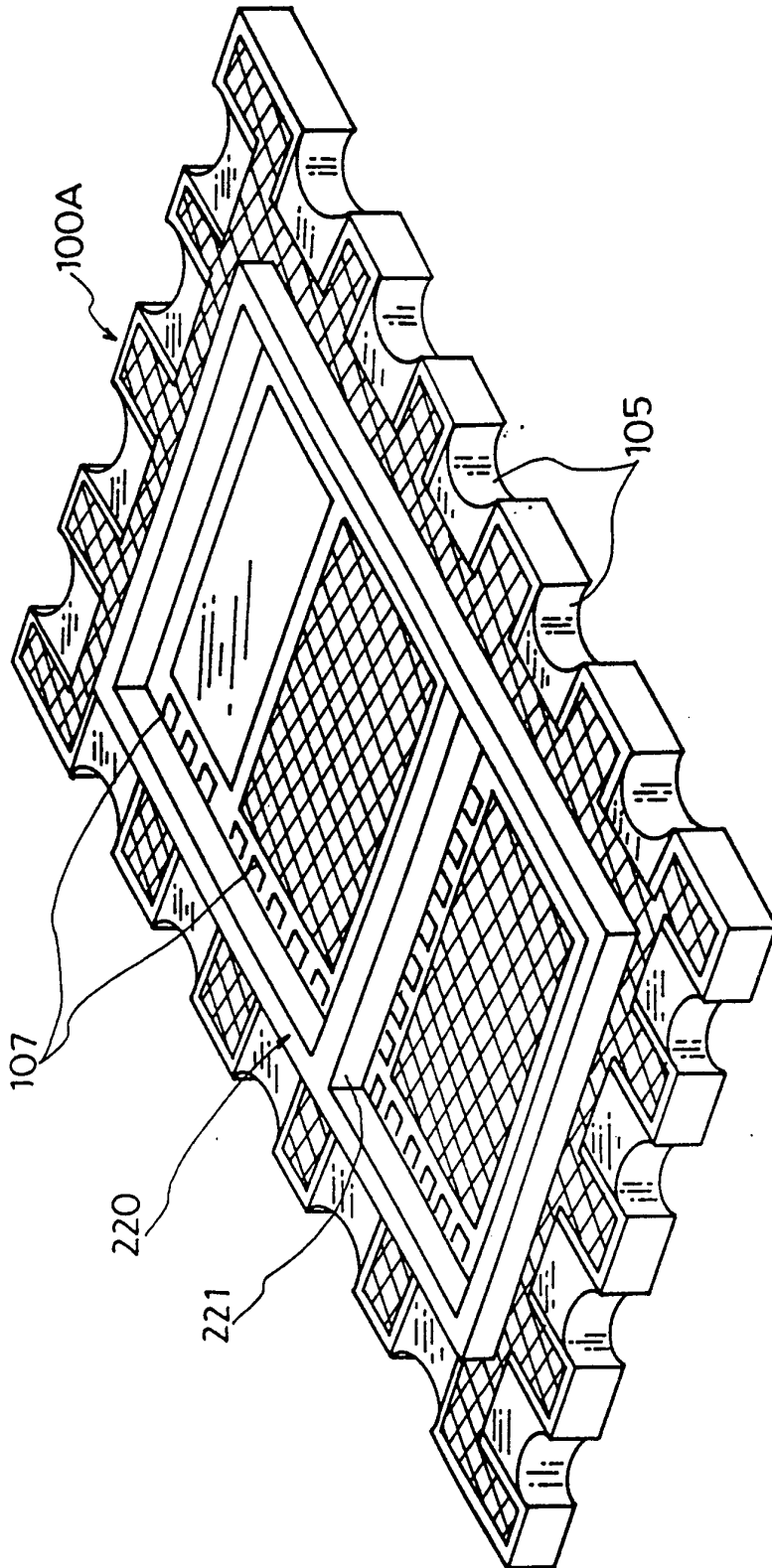
【図14】



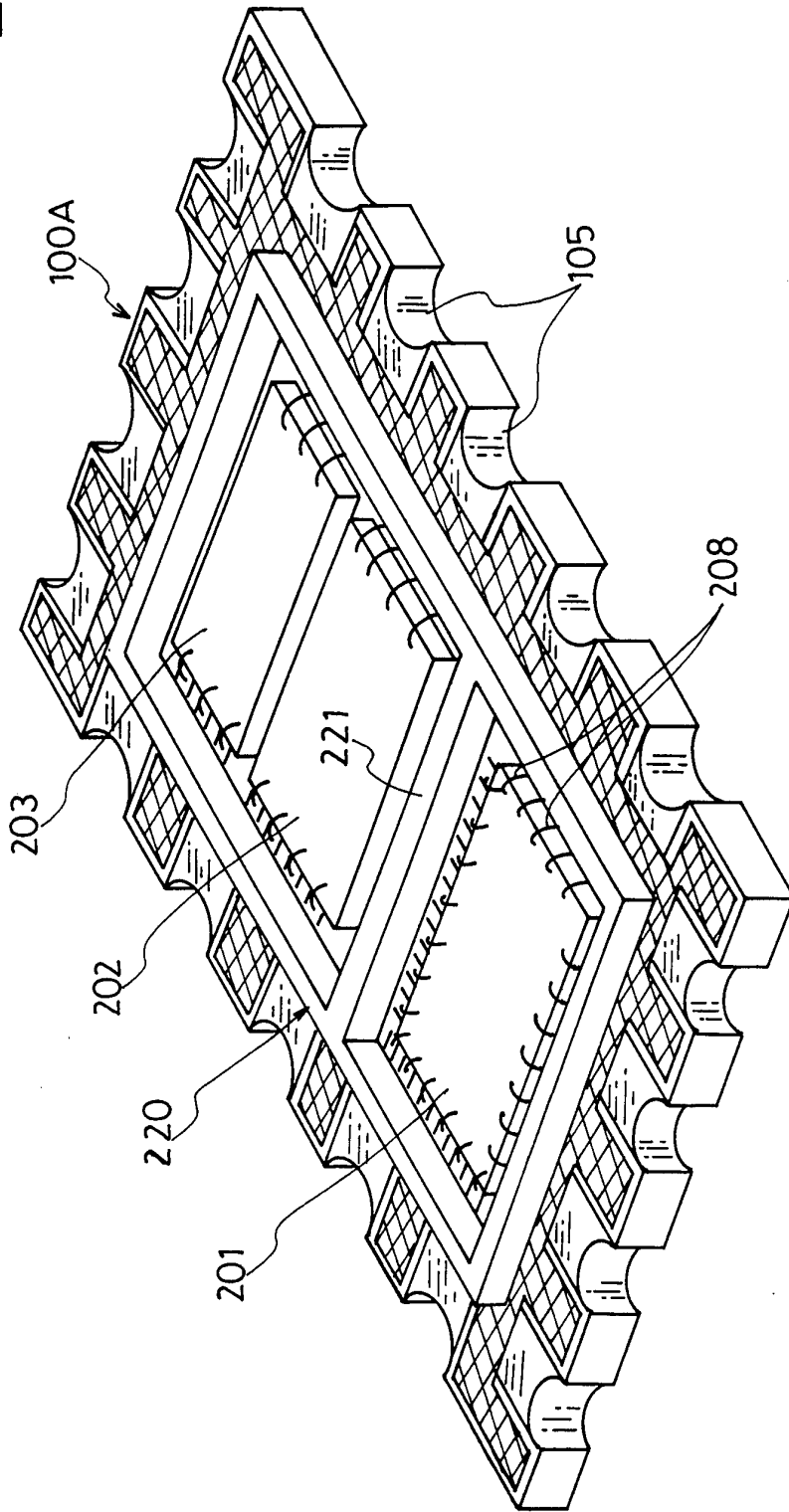
【図15】



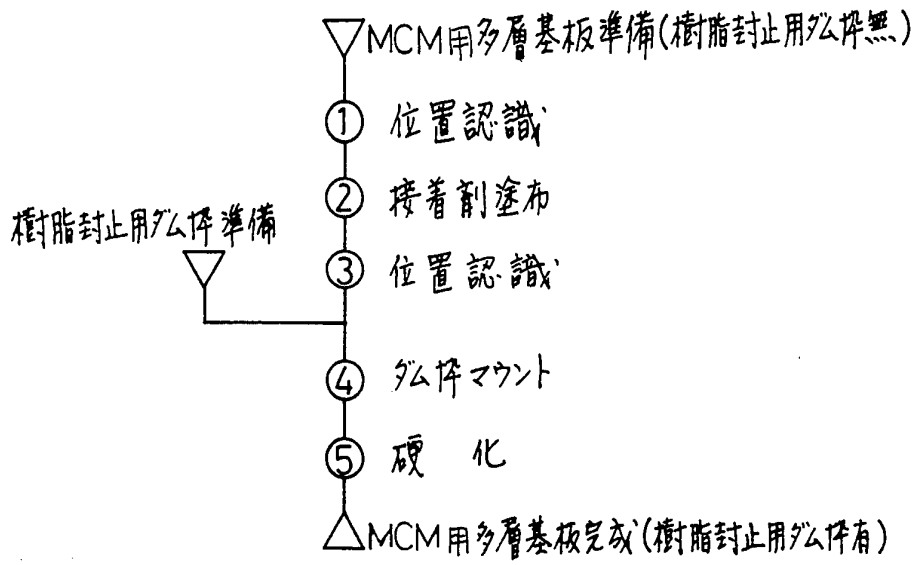
【図16】



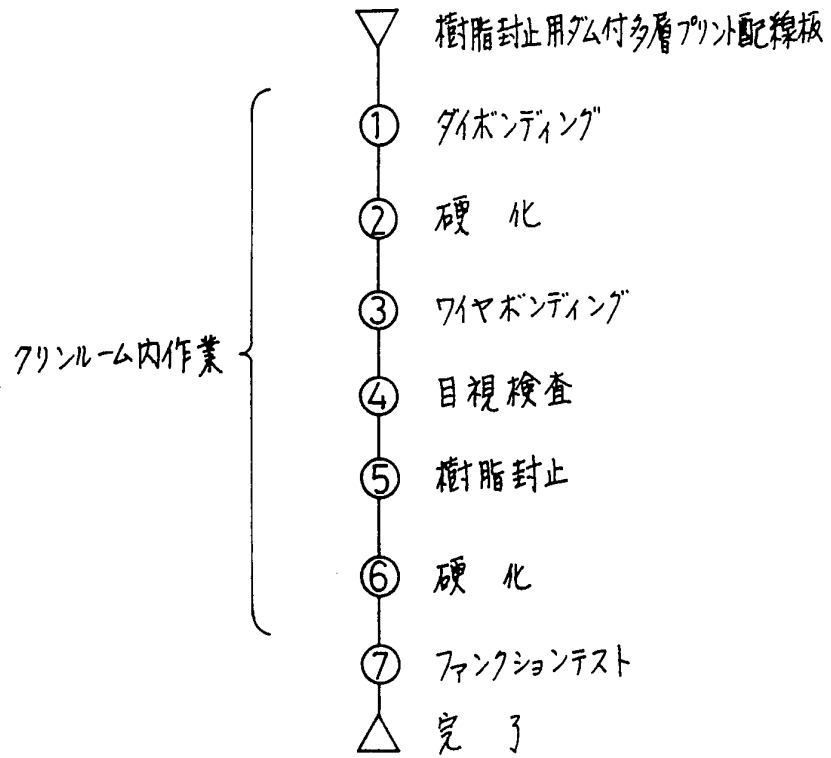
【図17】



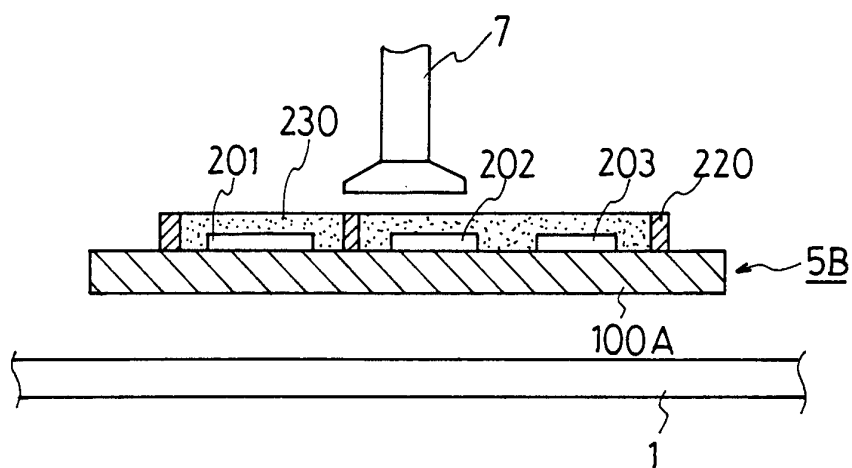
【図18】



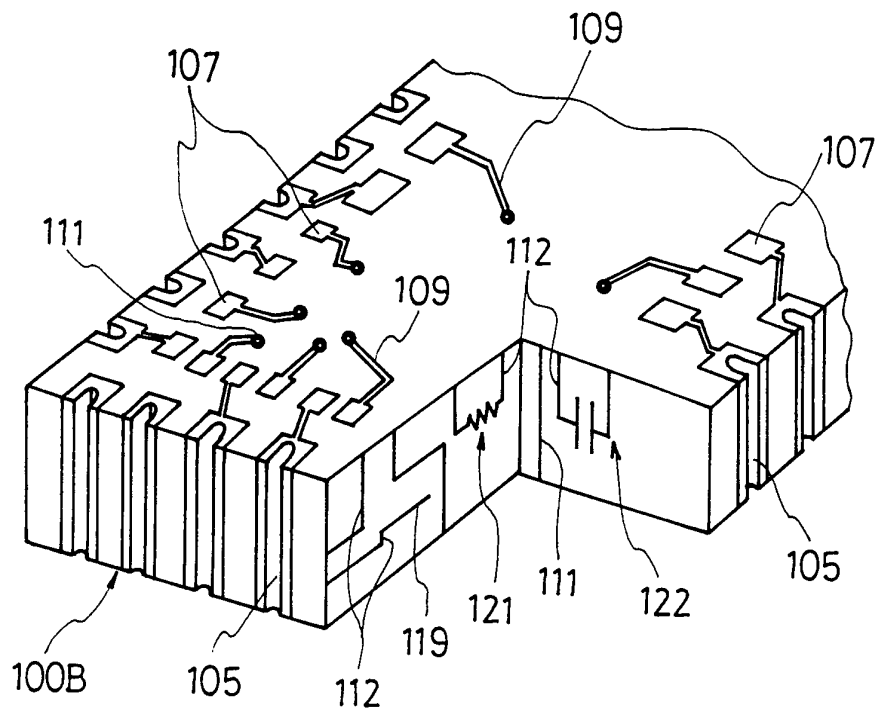
【図19】



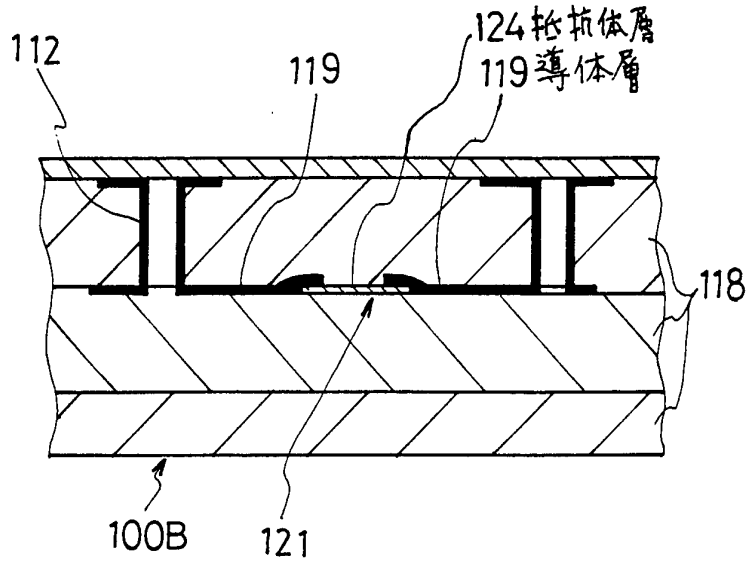
【~~20~~】



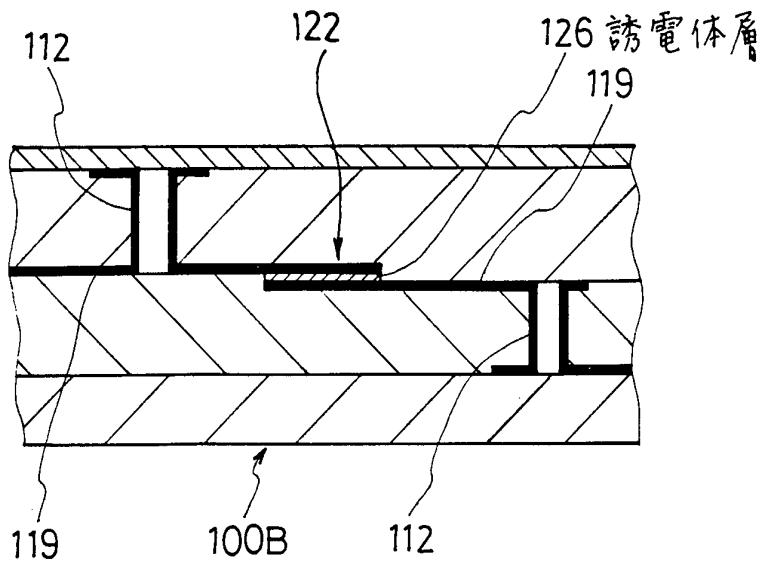
【図20】



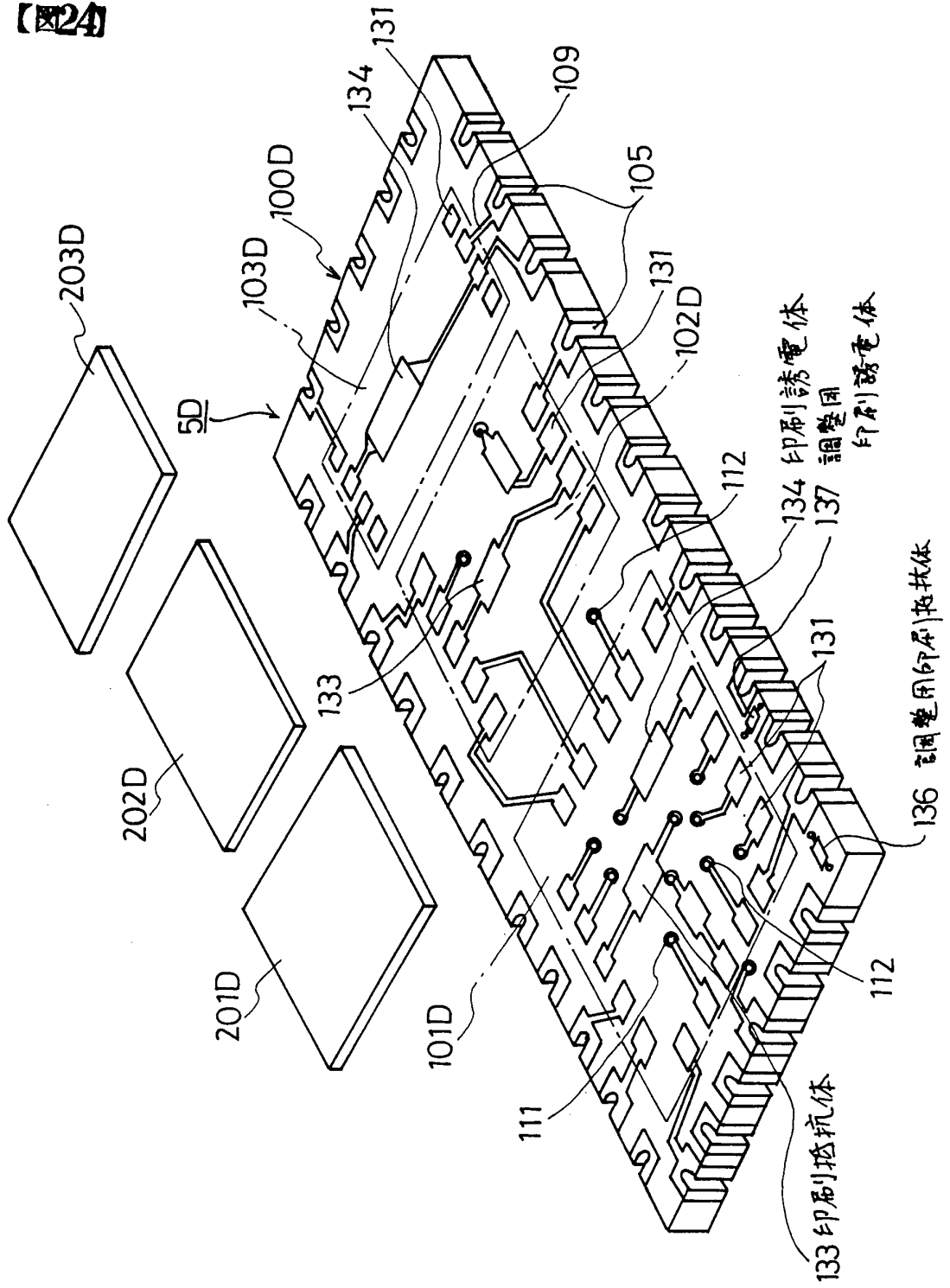
【~~22~~】



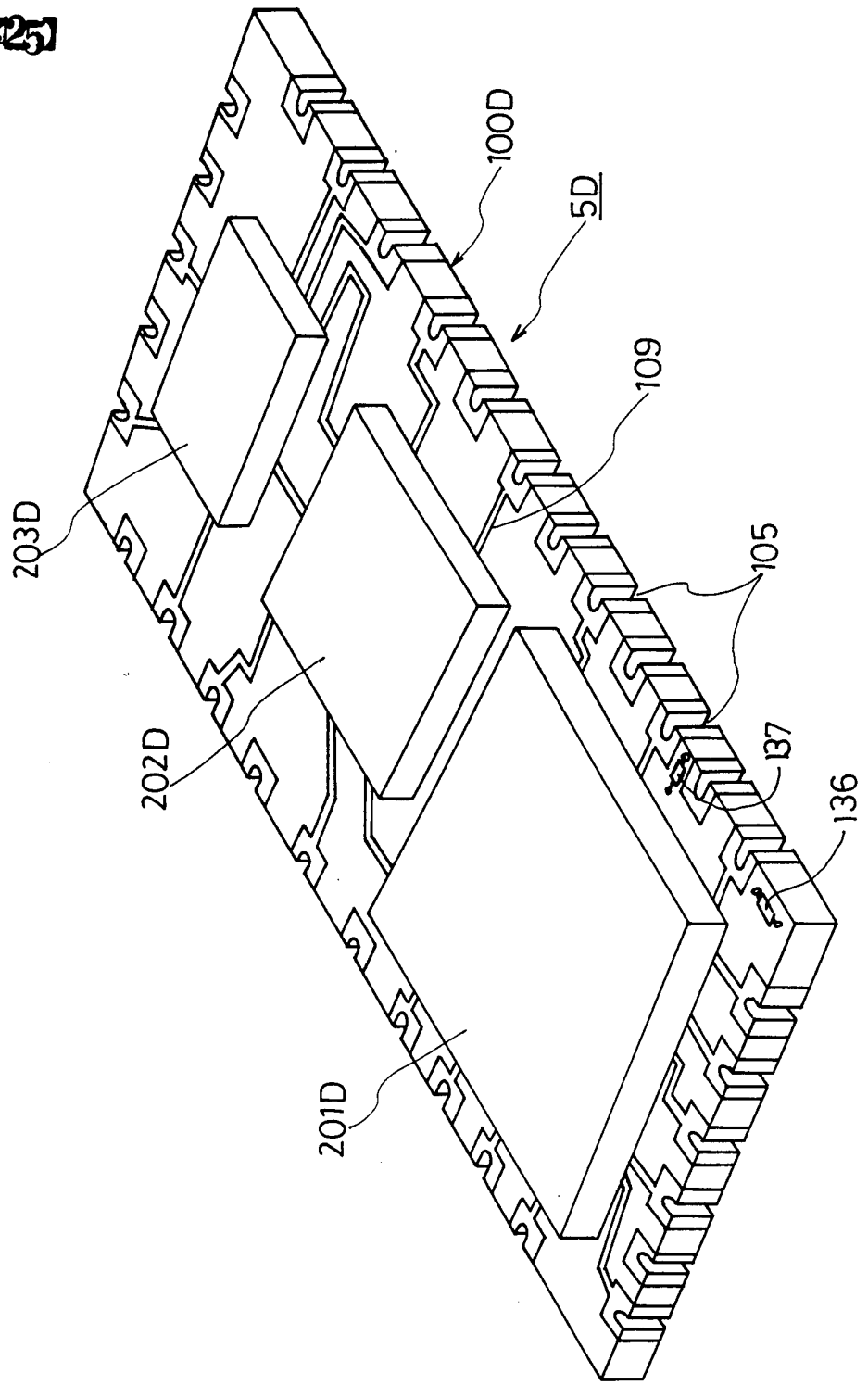
【~~23~~】



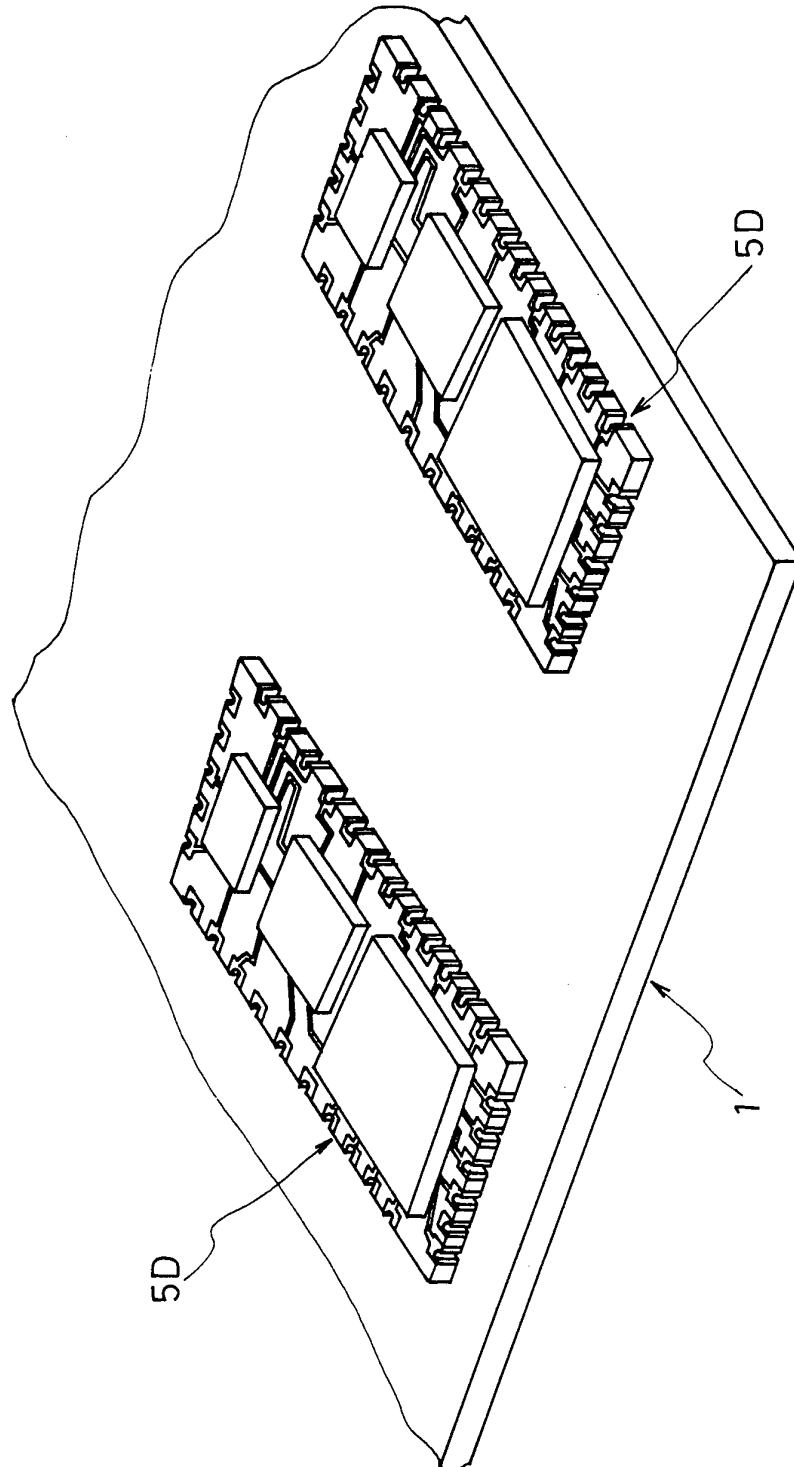
【図24】



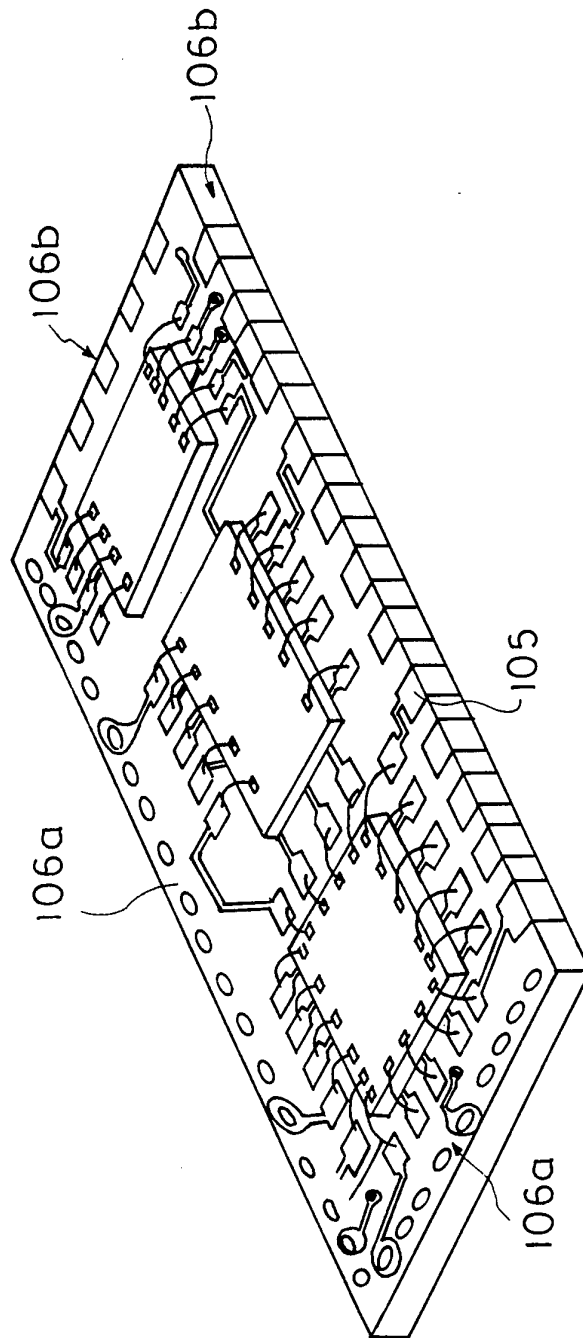
[25]



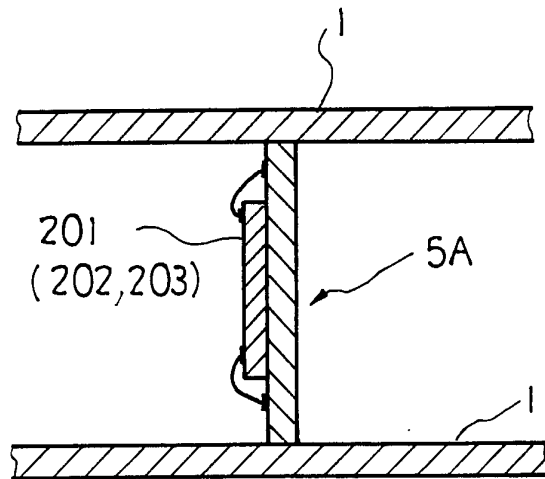
26



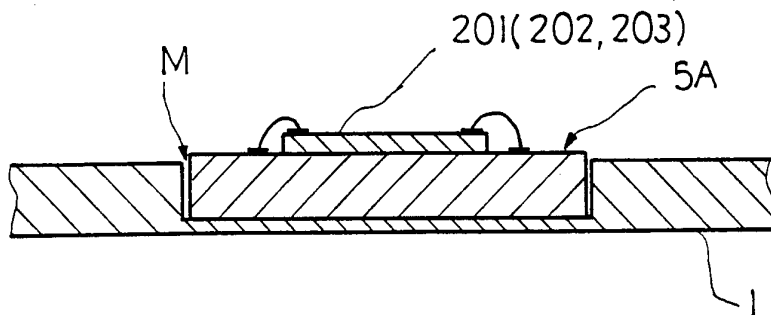
【図27】



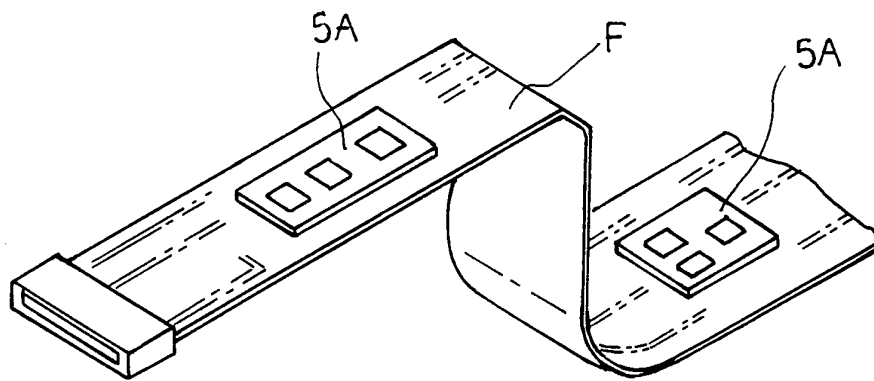
【図28】



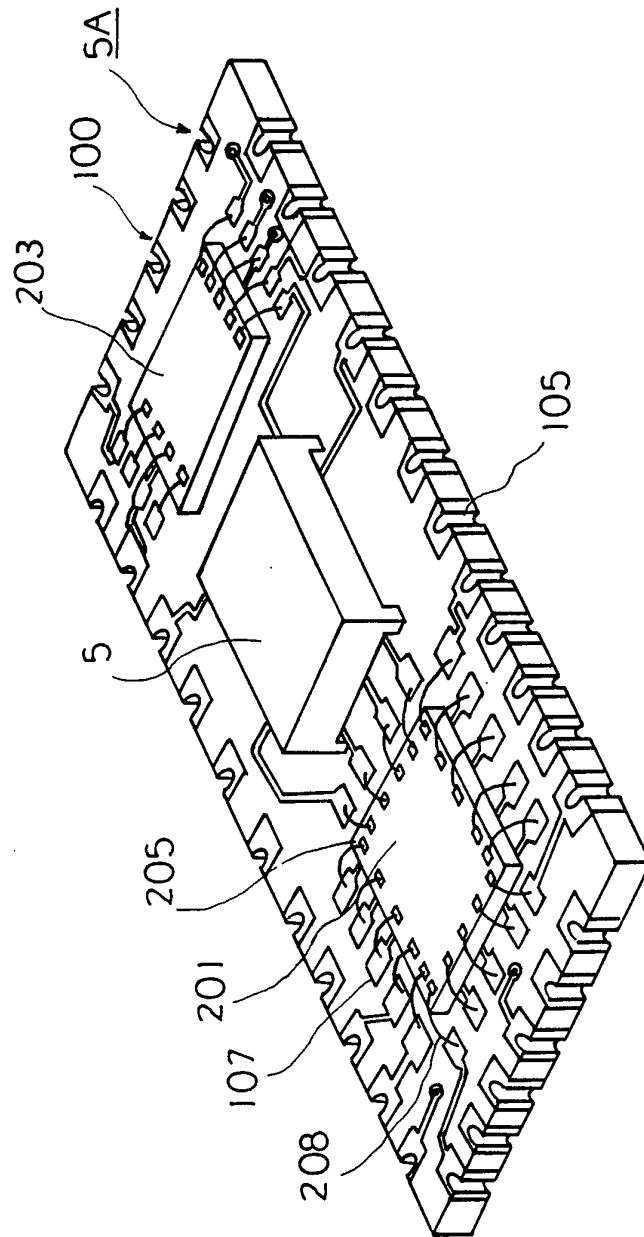
【図29】



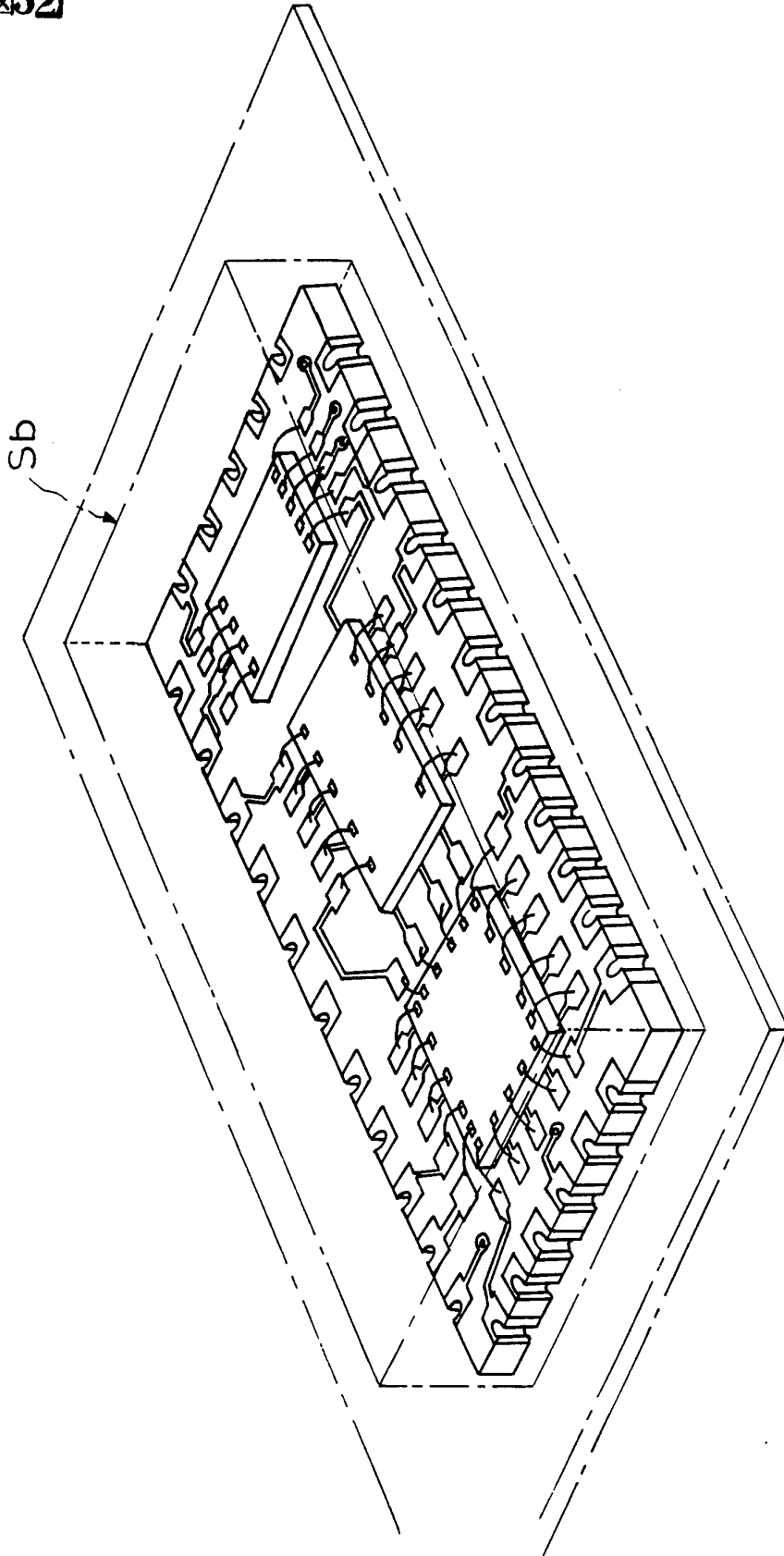
【図30】



【図3D】



[32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP94/01517

A. CLASSIFICATION OF SUBJECT MATTER Int. C1 ⁶ H01L25/065 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. C1 ⁵ H01L25/065, H01L23/522 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Kokai Jitsuyo Shinan Koho 1971 - 1993 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, A, 4-335561 (Mitsubishi Electric Corp.), November 24, 1992 (24. 11. 92), Figs. 1, 2, (Family: none)	1-5, 21-24, 26-29
Y	JP, A, 63-104361 (Mitsubishi Electric Corp.), May 9, 1988 (09. 05. 88), Fig. 2, (Family: none)	1-5, 21-24
Y	JP, U, 4-130470 (Sharp Corp.), November 30, 1992 (30. 11. 92), Fig. 1, (Family: none)	1-5, 30
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search November 16, 1994 (16. 11. 94)		Date of mailing of the international search report December 13, 1994 (13. 12. 94)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.		Authorized officer Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁶ H01L25/065		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁵ H01L25/065, H01L23/522		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国公開実用新案公報 1971-1993年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, A, 4-335561 (三菱電機株式会社), 24. 11月. 1992 (24. 11. 92), 図 1, 2 (ファミリーなし)	1-5, 21-24, 26-29
Y	JP, A, 63-104361 (三菱電機株式会社), 9. 5月. 1988 (09. 05. 88), 第 2 図 (ファミリーなし)	1-5, 21-24
Y	JP, U, 4-130470 (シャープ株式会社),	1-5, 30
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリ 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
16. 11. 94	13. 12. 94	
名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 川真田 秀 男 ㊞	4 M 7 2 2 0
電話番号 03-3581-1101 内線		3464

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	<p>30. 11月. 1992 (30. 11. 92), 図1 (ファミリーなし)</p>	