

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-196673

(P2013-196673A)

(43) 公開日 平成25年9月30日(2013.9.30)

(51) Int.Cl.
G06F 12/16 (2006.01)F I
G06F 12/16 32 OMテーマコード (参考)
5B018

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願2012-66734 (P2012-66734)
(22) 出願日 平成24年3月23日 (2012.3.23)(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100089118
弁理士 酒井 宏明
(72) 発明者 松永 直記
東京都港区芝浦一丁目1番1号 株式会社
東芝内
Fターム(参考) 5B018 GA04 HA14 HA23 KA01 KA03
KA13 KA21 MA22 NA06 QA14
RA12

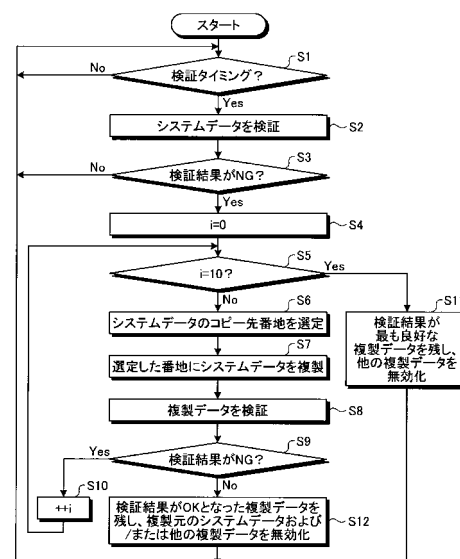
(54) 【発明の名称】 メモリシステム

(57) 【要約】

【課題】システムデータが読み出し不可能となるリスクを低減すること。

【解決手段】第1のデータ検証部は、所定のタイミングで不揮発性メモリの第1の番地からシステムデータを読み出して、当該読み出したシステムデータを検証する。番地選択部は、第1のデータ検証部による検証結果が不合格である場合に、第2の番地を選択し、第1のデータ操作部は、第2の番地に第1の番地に記憶されているシステムデータを複製する。第2のデータ検証部は、第2の番地に複製されたシステムデータを読み出して、当該読み出したシステムデータを検証する。第2のデータ操作部は、第2のデータ検証部による検証結果が合格である場合に、第1の番地に記憶されているシステムデータを消去する。

【選択図】図6



【特許請求の範囲】

【請求項 1】

第 1 の番地にシステムデータを記憶する不揮発性メモリと、
所定のタイミングで前記第 1 の番地からシステムデータを読み出して、前記第 1 の番地から読み出したシステムデータを検証する第 1 のデータ検証部と、
前記第 1 のデータ検証部による検証結果が不合格である場合に、前記不揮発性メモリにおける、前記第 1 の番地と異なる第 2 の番地を選択する番地選択部と、
前記番地選択部が選択した前記第 2 の番地に前記第 1 の番地に記憶されているシステムデータを複製する第 1 のデータ操作部と、
前記第 2 の番地に複製されたシステムデータを読み出して、前記第 2 の番地から読み出したシステムデータを検証する第 2 のデータ検証部と、
前記第 2 のデータ検証部による検証結果が合格である場合に、前記第 1 の番地に記憶されているシステムデータを消去する第 2 のデータ操作部と、
を備えることを特徴とするメモリシステム。

10

【請求項 2】

前記第 2 のデータ操作部は、前記第 1 のデータ検証部による検証結果が不合格である場合に、前記第 1 の番地に記憶されているシステムデータを消去しない、
ことを特徴とする請求項 1 に記載のメモリシステム。

【請求項 3】

前記第 1 のデータ検証部および前記第 2 のデータ検証部は、前記第 1 または第 2 の番地から読み出したシステムデータに対してエラー検出またはエラー訂正を行って、エラー検出数またはエラー訂正数に基づいて前記第 1 または第 2 の番地から読み出したシステムデータを検証する、
ことを特徴とする請求項 1 または請求項 2 に記載のメモリシステム。

20

【請求項 4】

前記番地選択部は、前記不揮発性メモリのうちの書き換え回数が最小のブロックを前記第 2 の番地に選択する、
ことを特徴とする請求項 3 に記載のメモリシステム。

【請求項 5】

前記番地選択部は、前記第 2 のデータ検証部による検証結果が合格になるか、または前記第 2 のデータ検証部による検証回数が所定回数に達するまで、検証毎に、前記第 2 の番地を新規に選択する、
ことを特徴とする請求項 1 に記載のメモリシステム。

30

【請求項 6】

前記第 1 の番地に記憶されているシステムデータは、MLC モードで記憶されており、前記検証回数が所定回数に達したとき、前記第 2 のデータ検証部は、前記第 1 の番地に記憶されているシステムデータを前記選択された何れかの第 2 の番地にSLC モードで複製する、
ことを特徴とする請求項 5 に記載のメモリシステム。

【請求項 7】

第 1 のブロックにシステムデータを記憶する不揮発性メモリと、
所定のタイミングで前記第 1 のブロックからシステムデータを読み出して、前記第 1 のブロックから読み出したシステムデータを検証するデータ検証部と、
前記データ検証部による検証結果が不合格である場合に、前記不揮発性メモリのうちの書き換え回数が最小の第 2 のブロックを選択する番地選択部と、
前記第 2 のブロックに前記第 1 のブロックに記憶されているシステムデータを複製するデータ操作部と、
を備えることを特徴とするメモリシステム。

40

【請求項 8】

前記データ検証部は、前記第 1 のブロックから読み出したシステムデータに対してエラ

50

一検出またはエラー訂正を行って、エラー検出数またはエラー訂正数に基づいて前記第1のブロックから読み出したシステムデータを検証する、

ことを特徴とする請求項7に記載のメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、メモリシステムに関する。

【背景技術】

【0002】

コンピュータシステムに用いられるメモリシステムとして、NAND型の記憶セルを備えるメモリチップを搭載したSSD (Solid State Drive) が注目されている。SSDは、磁気ディスク装置に比べ、高速、軽量などの利点を有している。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2010-79371号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の一つの実施形態は、システムデータが読み出し不可能となるリスクを低減したメモリシステムを提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明の一つの実施形態によれば、メモリシステムは、不揮発性メモリと、第1のデータ検証部と、番地選択部と、第1のデータ操作部と、第2のデータ検証部と、第2のデータ操作部とを備えている。不揮発性メモリは、第1の番地にシステムデータを記憶する。第1のデータ検証部は、所定のタイミングで前記第1の番地からシステムデータを読み出して、前記第1の番地から読み出したシステムデータを検証する。番地選択部は、前記第1のデータ検証部による検証結果が不合格である場合に、前記不揮発性メモリにおける、前記第1の番地と異なる第2の番地を選択する。第1のデータ操作部は、前記番地選択部が選択した前記第2の番地に前記第1の番地に記憶されているシステムデータを複製する。第2のデータ検証部は、前記第2の番地に複製されたシステムデータを読み出して、前記第2の番地から読み出したシステムデータを検証する。第2のデータ操作部は、前記第2のデータ検証部による検証結果が合格である場合に、前記第1の番地に記憶されているシステムデータを消去する。

【図面の簡単な説明】

【0006】

【図1】図1は、第1の実施形態のSSDの構成例を示す図である。

【図2】図2は、メモリセルアレイに含まれる1個のブロックの構成例を示す回路図である。

【図3】図3は、しきい値分布の例を示す図である。

【図4】図4は、メモリセルアレイが記憶するデータを説明する図である。

【図5】図5は、信頼性担保処理を実行するための機能構成を説明する図である。

【図6】図6は、第1の実施形態のSSDにおける信頼性担保処理を説明するフローチャートである。

【図7】図7は、第2の実施形態のSSDにおける信頼性担保処理を説明するフローチャートである。

【発明を実施するための形態】

【0007】

以下に添付図面を参照して、実施形態にかかるメモリシステムを詳細に説明する。なお

、これらの実施形態により本発明が限定されるものではない。以下、実施形態にかかるメモリシステムをSSDに適用した場合について説明するが、実施形態にかかるメモリシステムの適用範囲はSSDだけに限定されない。

【0008】

(第1の実施形態)

図1は、第1の実施形態のSSDの構成例を示す図である。図示するように、SSD100は、パーソナルコンピュータなどのホスト装置200と所定の通信インタフェースで接続され、ホスト装置200の外部記憶装置として機能する。SSD100がホスト装置200から受信する読み出し要求や書き込み要求は、LBA(Logical Block Addressing)で定義されたアクセス対象の先頭アドレスとアクセス対象の領域の範囲を示すセクタサイズとが含まれている。なお、通信インタフェースはSATA規格に限らず、SAS(Serial Attached SCSI)、PCIe(PCI Express)など様々な通信インタフェース規格を採用することが可能である。

10

【0009】

SSD100は、NANDメモリ1と、CPU(Central Processing Unit)2と、ホストインタフェース(ホストI/F)3と、DRAM(Dynamic Random Access Memory)4と、NANDコントローラ(NANDC)5と、ECC(Error Checking and Correcting)回路6と、を備えている。CPU2、ホストI/F3、DRAM4、NANDC5、およびECC回路6は、互いにバスで接続されている。また、NANDメモリ1は、NANDC5に接続されている。

20

【0010】

DRAM4は、ホスト装置200とNANDメモリ1との間の転送データを一時格納する揮発性メモリである。ホストI/F3は、ホスト装置200との間の通信インタフェースの制御およびホスト装置200とDRAM4との間のデータ転送を実行する。CPU2は、ファームウェア(ファームウェアプログラム11)に基づいて、SSD100全体の制御を実行する。

【0011】

NANDC5は、NANDメモリ1とDRAM4との間のデータ転送を実行する。また、NANDC5は、NANDメモリ1に対するアクセス時に発生するエラーを訂正するECC回路51を備えている。ECC回路51は、第2の訂正符号のエンコードを行い、また、第1の誤り訂正符号のエンコードおよびデコードを行う。

30

【0012】

ECC回路6は、第2の誤り訂正符号のデコードを行う。第1の誤り訂正符号、第2の誤り訂正符号は、例えば、ハミング符号、BCH(Bose Chaudhuri Hocqenghem)符号、RS(Reed Solomon)符号、或いはLDPC(Low Density Parity Check)符号等であり、第2の誤り訂正符号の訂正能力は、第1の誤り訂正符号の訂正能力よりも高いとする。

【0013】

NANDメモリ1は、ホスト装置200からの書き込みデータを記憶するメモリセルアレイ10を備えている。

40

【0014】

メモリセルアレイ10は、消去の単位となるブロックを複数備えて構成される。図2は、メモリセルアレイ10に含まれる1個のブロックの構成例を示す回路図である。図示するように、各ブロックは、X方向に沿って順に配列された(m+1)個のNANDストリングを備えている(mは、0以上の整数)。(m+1)個のNANDストリングにそれぞれ含まれる選択トランジスタST1は、ドレインがビット線BL0~BLpに接続され、ゲートが選択ゲート線SGDに共通接続されている。また、選択トランジスタST2は、ソースがソース線SLに共通接続され、ゲートが選択ゲート線SGSに共通接続されている。

【0015】

50

各メモリセルトランジスタMTは、半導体基板上に形成された積層ゲート構造を備えたMOSFET (metal oxide semiconductor field effect transistor) から構成される。積層ゲート構造は、半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層 (浮遊ゲート電極)、及び電荷蓄積層上にゲート間絶縁膜を介在して形成された制御ゲート電極を含んでいる。メモリセルトランジスタMTは、浮遊ゲート電極に蓄えられる電子の数に応じてしきい値電圧が変化し、このしきい値電圧の違いに応じてデータを記憶する。メモリセルトランジスタMTは、1ビットを記憶するように構成されていてもよいし、多値 (2ビット以上のデータ) を記憶するように構成されていてもよい。

【0016】

各NANDストリングにおいて、 $(n+1)$ 個のメモリセルトランジスタMTは、選択トランジスタST1のソースと選択トランジスタST2のドレインとの間に、それぞれの電流経路が直列接続されるように配置されている。そして、最もドレイン側に位置するメモリセルトランジスタMTから順に、制御ゲート電極がワード線WL0~WLqにそれぞれ接続されている。従って、ワード線WL0に接続されたメモリセルトランジスタMTのドレインは選択トランジスタST1のソースに接続され、ワード線WLqに接続されたメモリセルトランジスタMTのソースは選択トランジスタST2のドレインに接続されている。

【0017】

ワード線WL0~WLqは、ブロック内のNANDストリング間で、メモリセルトランジスタMTの制御ゲート電極を共通に接続している。つまり、ブロック内において同一行にあるメモリセルトランジスタMTの制御ゲート電極は、同一のワード線WLに接続される。この同一のワード線WLに接続される $(m+1)$ 個のメモリセルトランジスタMTは1ページとして取り扱われ、このページごとにデータの書き込み及びデータの読み出しが行われる。

【0018】

また、ビット線BL0~BLpは、ブロック間で、選択トランジスタST1のドレインを共通に接続している。つまり、複数のブロック内において同一列にあるNANDストリングは、同一のビット線BLに接続される。

【0019】

なお、メモリセルアレイ10は、1つのメモリセルに2ビット以上を記憶する多値メモリ (MLC: Multi Level Cell) であってもよいし、1つのメモリセルに1ビットを記憶する二値メモリ (SLC: Single Level Cell) であってもよい。

【0020】

図3は、1個のメモリセルトランジスタMTに2ビットの記憶を行う4値データ記憶方式でのしきい値分布の例を示している。4値データ記憶方式では、上位ページデータ“x”と下位ページデータ“y”で定義される4値データ“xy”の何れか一つをメモリセルトランジスタMTに保持可能である。この、4値データ“xy”は、メモリセルトランジスタMTのしきい値電圧の順に、例えば、データ“11”、“01”、“00”、“10”が割り当てられる。データ“11”は、メモリセルトランジスタMTのしきい値電圧が負の消去状態である。

【0021】

下位ページ書き込み動作においては、データ“11” (消去状態) のメモリセルトランジスタMTに対して選択的に、下位ビットデータ“y”の書き込みによって、データ“10”が書き込まれる。上位ページ書き込み前のデータ“10”のしきい値分布は、上位ページ書き込み後のデータ“01”とデータ“00”のしきい値分布の中間程度に位置しており、上位ページ書き込み後のしきい値分布よりブロードであってもよい。

【0022】

上位ページ書き込み動作においては、データ“11”のメモリセルと、データ“10”のメモリセルに対して、それぞれ選択的に上位ビットデータ“x”の書き込みが行われて、データ“01”およびデータ“00”が書き込まれる。

10

20

30

40

50

【0023】

図4は、メモリセルアレイ10が記憶するデータを説明する図である。図示するように、メモリセルアレイ10は、ファームウェアプログラム11、アドレス変換テーブル12、およびホスト装置200からの書き込みデータであるユーザデータ13を記憶する。ファームウェアプログラム11は、CPU2にSSD100の制御を実行せしめるプログラムであり、アドレス変換テーブル12は、LBAとメモリセルアレイ10の物理アドレスとの対応関係を記述したテーブルである。

【0024】

NAND型のメモリセルアレイ10への書き込み方式として、例えば以下に述べる方式が採用される。まず、書き込みの前に、ブロック内の無効データを消去する必要がある。すなわち、消去済みのブロックのうち書き込みがまだ行われていないページに対して順次書き込みが可能であり、既に書き込みが行なわれたページに対する上書きが不可能である。また、上述のように、ホスト装置200から要求される書き込み番地は、ホスト装置200で用いられる論理アドレス(LBA)で指定される。一方、NANDメモリ1へのデータの書き込み番地は、メモリセルアレイ10の物理的な記憶位置(物理アドレス)に基づいて、ページの昇順に書き込みが行なわれる。即ち、物理アドレスは論理アドレスとは無関係に決定される。決定された論理アドレスと物理アドレスとの対応関係は、アドレス変換テーブル12に記録される。そして、データの書き込み要求において指定された論理アドレスが再度指定されて新たなデータの書き込みがホストから要求されると、CPU2は、消去済みのブロックのうちの書き込みがまだ行われていないページに対して新たなデータの書き込みを行う。このとき、CPU2は、当該論理アドレスに対応して前回書き込みが行われたページを無効にして、新たなデータの書き込みが行われたページを有効にする。

【0025】

ここで、メモリセルアレイ10に対する書き込みおよび消去の回数の増加に伴って、フローティングゲート周りの酸化膜が劣化し、その位置に書き込まれたデータが変化しやすくなるという問題がある。また、メモリセルアレイ10に書き込み済みのデータは、プログラムディスタートブやリードディスタートブにより変化し、データに誤りが生じることがある。一方、ファームウェアプログラム11やアドレス変換テーブル12は、SSD100がホスト装置200の外部記憶装置としての機能を保つために不可欠なデータであり、これらのデータが破壊されると、SSD100の健全性が損なわれる。したがって、これらのデータが訂正不能となるような破壊を防止したり、破壊されてもSSD100が動作するようにこれらのデータを多重化したりすることが望ましい。

【0026】

そこで、第1の実施形態では、ファームウェアプログラム11およびアドレス変換テーブル12(以降、システムデータ14と総称する)を所定のタイミングで検証し、検証結果がNG(不合格)であった場合にはシステムデータ14をメモリセルアレイ10内の他の位置に移動させるようにした。なお、これらの一連の処理を、信頼性担保処理ということとする。

【0027】

図5は、信頼性担保処理を実行するためのSSD100の機能構成を説明する図である。図示するように、CPU2は、信頼性担保処理制御部21、コピー先探索部22、データ検証部23、およびデータ操作部24を備えている。信頼性担保処理制御部21は、コピー先探索部22、データ検証部23、およびデータ操作部24を制御する。コピー先探索部22は、システムデータ14の複製先の番地を探索する。データ検証部23は、信頼性担保処理の実行前のシステムデータ14の検証と、複製されたシステムデータ14の検証とを実行する。データ操作部24は、システムデータ14の複製や、複製元のシステムデータ14(即ち信頼性担保処理の実行前のシステムデータ14)の消去などを実行する。なお、これらの機能構成部は、CPU2がファームウェアプログラム11を実行することによって実現される。

【0028】

図6は、第1の実施形態のSSD100における信頼性担保処理を説明するフローチャートである。

【0029】

まず、信頼性担保処理制御部21は、現時点でシステムデータ14の検証タイミングに至ったか否かを判定する(ステップS1)。現時点がシステムデータ14の検証タイミングではない場合(ステップS1、No)、信頼性担保処理制御部21は、ステップS1の判定処理を再び実行する。なお、検証タイミングはどのようなタイミングに設定するようにしてもよい。例えば、所定の時間間隔で検証が行われるようにしてよいし、電源オフ時や電源オン時を検証タイミングとするようにしてもよい。

10

【0030】

現時点がシステムデータ14の検証タイミングに達した場合(ステップS1、Yes)、信頼性担保処理制御部21の指令により、データ検証部23は、システムデータ14の検証を実行する(ステップS2)。システムデータ14の検証は、例えば以下のようにして実行される。即ち、データ検証部23は、NANDC5に指令して、システムデータ14をNANDメモリ1からDRAM4に転送せしめる(読み出させる)。ECC回路51は、システムデータ14が転送される際に、第1の誤り訂正符号に基づくエラーの検出および訂正を行い、エラーの訂正を行った場合には、第1の誤り訂正符号によって訂正完了したエラー数をデータ検証部23に報告する。また、訂正不可能なエラーがあった場合、ECC回路51は、データ検証部23にその旨を報告し、データ検証部23は、ECC回路6に指令して、第1の誤り訂正符号により訂正不可能なエラーを第2の誤り訂正符号を用いて訂正せしめる。ECC回路6は、訂正完了したエラー数をデータ検証部23に報告する。

20

【0031】

続いて、データ検証部23は、検証結果がNGである(即ちシステムデータ14の信頼性が低下している)か否かを判定する(ステップS3)。ステップS3の判定は、どのようにしておこなわれてもよい。例えば、データ検証部23は、第1の誤り訂正符号による訂正数と第2の誤り訂正符号による訂正数の合計値が所定のしきい値に到達している場合に、システムデータ14の信頼性が低下していると判定し、前記合計値が前記しきい値に到達していない場合に、システムデータ14の信頼性が低下していないと判定することができる。また、データ検証部23は、ステップS2を実行する毎に前記合計値を記録しておき、前記合計値が増加する傾向があるか否かに基づいてシステムデータ14の信頼性が低下しているか否かを判定することができる。即ち、データ検証部23は、前記合計値の現在値および/または過去値を用いて、システムデータ14の信頼性が低下しているか否かを判定することができる。

30

【0032】

検証結果がOK(合格)であった場合(ステップS3、No)、信頼性担保処理制御部21は、ステップS1の処理を実行する。検証結果がNGであった場合(ステップS3、Yes)、信頼性担保処理制御部21は、ステップS5～ステップS10のループ処理のためのループインデックスiを0で初期化して(ステップS4)、 $i=10$ であるか否かを判定する(ステップS5)。 $i=10$ ではない場合(ステップS5、No)、信頼性担保処理制御部21は、コピー先探索部22に指令して、指令を受けたコピー先探索部22は、システムデータ14の複製先の番地を空き領域のうちから選択する(ステップS6)。空き領域のうちのどの番地を選択するかは、ここでは特定の方法に限定されない。例えば、複製先の番地を、空きブロック(即ち有効データを含まないブロック)のうちの1つとしてもよい。

40

【0033】

続いて、信頼性担保処理制御部21は、データ操作部24に指令して、指令をうけたデータ操作部24は、システムデータ14をステップS6にて選択された番地に複製する(ステップS7)。その後、データ検証部23は、信頼性担保処理制御部21からの指令に

50

より、ステップ S 6 にて選択された番地に複製されたシステムデータ 1 4（以降、複製データ）の検証を実行し（ステップ S 8）、検証結果が N G であるか否かを判定する（ステップ S 9）。なお、ステップ S 8 の処理は、ステップ S 2 の処理と同様であってよい。また、ステップ S 9 の処理は、ステップ S 2 の処理によって得られた第 1 の誤り訂正符号による訂正数と第 2 の誤り訂正符号による訂正数との合計値に基づいて行われる。検証結果が N G であった場合（ステップ S 9、Y e s）、信頼性担保処理制御部 2 1 は、i を 1 だけインクリメントし（ステップ S 1 0）、ステップ S 5 の処理を実行する。

【0034】

そして、i = 1 0 であった場合には（ステップ S 5、Y e s）、信頼性担保処理制御部 2 1 は、データ操作部 2 4 に指令して、検証結果が最も良好であった複製データを残し、他の複製データを無効化せしめ（ステップ S 1 1）、その後、信頼性担保処理制御部 2 1 は、ステップ S 1 の判定処理を実行する。

【0035】

複製データの検証結果が O K（合格）であった場合（ステップ S 1 2、N o）、信頼性担保処理制御部 2 1 は、データ操作部 2 4 に指令して、検証結果が O K となった複製データを残し、複製元のシステムデータ 1 4 を無効化せしめる（ステップ S 1 2）。なお、ここで、検証結果が O K となった複製データのほかにも複製データが存在する場合には、信頼性担保処理制御部 2 1 は、データ操作部 2 4 に指令して、検証結果が O K となった複製データを除く複製データを無効化する。信頼性担保処理制御部 2 1 は、ステップ S 1 2 の処理の後、ステップ S 1 の判定処理を実行する。

【0036】

このように、第 1 の実施形態によれば、データ検証部 2 3 は、N A N D メモリ 1 の所定の番地に格納されているシステムデータ 1 4 を所定のタイミングで N A N D メモリ 1 から読み出して、前記読み出したシステムデータ 1 4 を検証し、コピー先探索部（番地選択部）2 2 は、データ検証部 2 3 による検証結果が不合格である場合に、前記 N A N D メモリ 1 の複製先の番地を選択し、データ操作部 2 4 は、前記選択された複製先の番地に前記システムデータ 1 4 を複製する。そして、データ検証部 2 3 は、複製データを読み出して、読み出した複製データを検証する。データ操作部 2 4 は、複製データの検証結果が合格である場合に、複製元のシステムデータ 1 4 を削除する。これにより、S S D 1 0 0 は、システムデータ 1 4 の健全性が損なわれる前に当該システムデータ 1 4 を他の一定の信頼性が保障された番地に移動させることができるので、システムデータ 1 4 が読み出し不可能となるリスクを低減することができる。

【0037】

また、データ操作部 2 4 は、複製データの検証結果が不合格である場合に、複製元のシステムデータ 1 4 を消去しないようにしたので、S S D 1 0 0 は、複製元のシステムデータ 1 4 がエラー訂正が不可能となる破壊をうけたとしても、複製データをシステムデータ 1 4 として使用することができるので、システムデータ 1 4 が読み出し不可能となるリスクを低減することができる。

【0038】

なお、以上の説明においては、データ検証部 2 3 は、エラー訂正数に基づいてシステムデータ 1 4 または複製データの検証を行うものとして説明したが、エラー検出数に基づいて検証を行うようにしてもよい。

【0039】

（第 2 の実施形態）

第 2 の実施形態では、S S D 1 0 0 は、システムデータ 1 4 の信頼性が低下したとき、システムデータ 1 4 を、書き換え回数（即ち消去回数と書き込み回数との合計値）が最も少ないブロックに複製し、システムデータ 1 4 を多重化する。

【0040】

第 2 の実施形態の S S D 1 0 0 のハードウェア構成は第 1 の実施形態と同等であり、個々の機能構成部の動作が異なるだけであるので、以下、第 1 の実施形態の構成要素を用い

10

20

30

40

50

て説明する。

【0041】

図7は、第2の実施形態のSSD100における信頼性担保処理を説明するフローチャートである。まず、第2の実施形態のSSD100においては、ステップS21、ステップS22において、既に説明したステップS1、ステップS2と夫々等しい処理が実行される。そして、データ検証部23は、信頼性担保処理制御部21からの指令に基づいて、システムデータ14の検証結果がNGか否かを判定する（ステップS23）。検証結果がNGであった場合（ステップS23、Yes）、信頼性担保処理制御部21は、コピー先探索部22に指令して、指令を受けたコピー先探索部22は、システムデータ14の複製先として、空きブロックのうちの書き換え回数が最も少ないブロックを選択する（ステップS24）。すると、信頼性担保処理制御部21は、データ操作部24に指令して、指令を受けたデータ操作部24は、システムデータ14をステップS24にて選択されたブロックに複製する（ステップS25）。ステップS25の処理の後、または検証結果がOKであった場合（ステップS23、No）、信頼性担保処理制御部21は、ステップS21の判定処理を実行する。

10

【0042】

このように、第2の実施形態によれば、データ検証部23は、NANDメモリ1の所定のブロックに格納されているシステムデータ14を読み出して、読み出したシステムデータ14を検証し、コピー先探索部22は、検証結果が不合格である場合には、システムデータ14の複製先として、書き換え回数が最小のブロックを選択し、データ操作部24は、システムデータ14を前記選択された書き換え回数が最小のブロックに複製するようにしたので、SSD100は、複製元のシステムデータ14がエラー訂正が不可能となる破壊を受けたとしても、複製データをシステムデータ14として使用することができるので、システムデータ14が読み出し不可能となるリスクを低減することができる。また、第1の実施形態ではSSD100は複製データの検証を行っていたところ、第2の実施形態によればSSD100は複製データの検証を行うことがないので、信頼性担保処理にかかる処理コストを低減することができる。

20

【0043】

（第3の実施形態）

なお、第1の実施形態においては、コピー先探索部22は、任意の方法に基づいてシステムデータ14の複製先の番地を選択するとして説明したが、コピー先探索部22は、第2の実施形態と同様に、空きブロックのうちの書き換え回数が最も少ないブロックを複製先の番地として選択するようにしてもよい。このようにすることによって、出来るだけ健全性が高い番地にシステムデータ14を複製することができるようになるので、一回の信頼性担保処理におけるステップS5～ステップS10のループ処理の実行回数を低減せしめることができるようになる。

30

【0044】

また、第1の実施形態および第2の実施形態においては、コピー先探索部22は、空いている領域から複製先の番地を探索するものとして説明したが、コピー先探索部22は、有効データが途中のページまで書き込まれたブロックの、有効データに後続するページを複製先の番地として選択することもできる。

40

【0045】

また、第2の実施形態においては、コピー先探索部22は、空きブロックのうちの書き換え回数が最もすくないブロックをシステムデータ14の複製先のブロックに選択するとして説明したが、全ブロックのうちの書き換え回数が最も少ないブロックが有効データを含むブロックである場合には、当該ブロックに書き込まれている有効データを他の空きブロックに移動した上で、空きブロックとなった前記ブロックをシステムデータ14の複製先として選択するようにしてもよい。

【0046】

また、第1の実施形態においては、データ操作部24は、ステップS5～ステップS1

50

0 のループ処理を 10 回実施しても複製データの検査結果が OK とならない場合には、システムデータ 14 を多重化するものとして説明したが、SLC モードで書き込まれたデータは MLC モードで書き込まれたデータよりも失われにくいことを利用して、信頼性担保処理制御部 21 は、以下のように制御を実行するようにしてもよい。即ち、初期状態においては、システムデータ 14 は、MLC モードで書き込まれており、ステップ S5 ～ステップ S10 のループ処理を 10 回実施しても複製データの検査結果が OK とならない場合には、信頼性担保処理制御部 21 は、データ操作部 24 に指令して、指令を受けたデータ操作部 24 は、SLC モードでシステムデータ 14 を複製するようにしてもよい。なお、SLC モードでシステムデータ 14 を複製した場合には、信頼性担保処理制御部 21 は、データ操作部 24 に、元のシステムデータ 14 を消去せしめるようにしてもよいし、元のシステムデータ 14 を残しておくようにしてもよい。

10

【0047】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

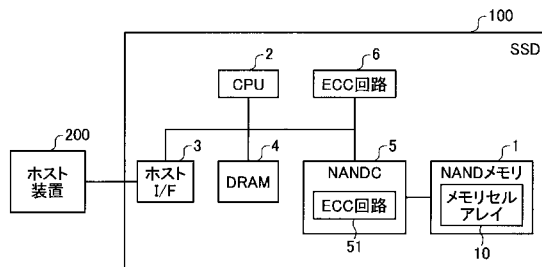
【符号の説明】

【0048】

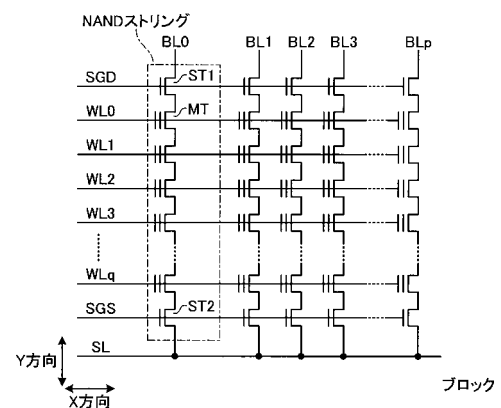
1 NANDメモリ、2 CPU、3 ホスト I/F、4 DRAM、5 NANDC、6 ECC回路、10 メモリセルアレイ、11 ファームウェアプログラム、12 アドレス変換テーブル、13 ユーザデータ、14 システムデータ、21 信頼性担保処理制御部、22 コピー先探索部、23 データ検証部、24 データ操作部、200 ホスト装置。

20

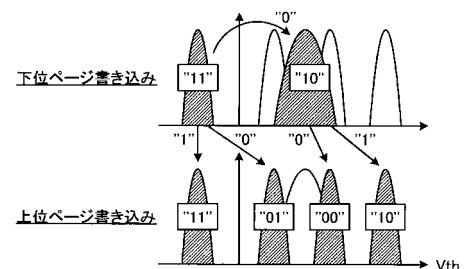
【図 1】



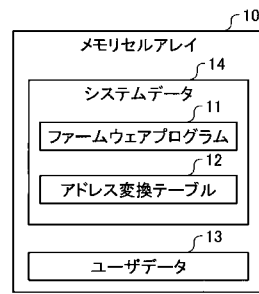
【図 2】



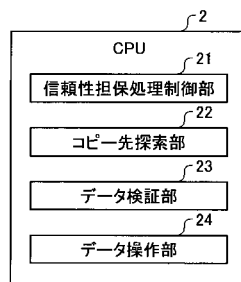
【図 3】



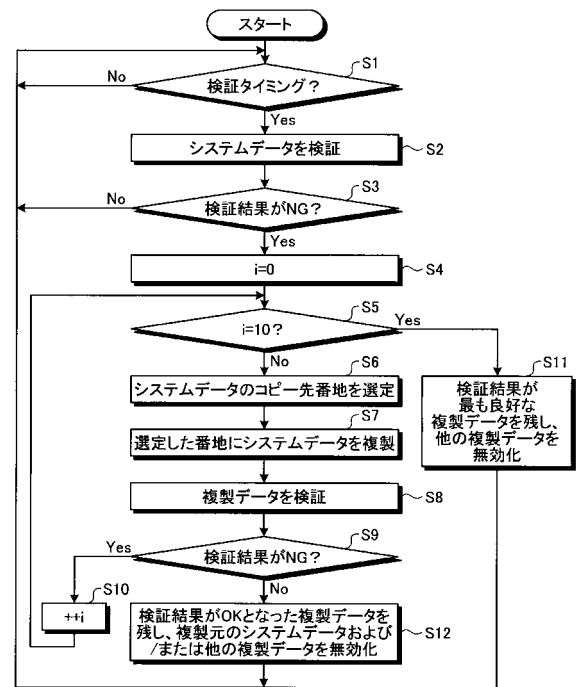
【図 4】



【図 5】



【図 6】



【図 7】

