



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201737651 A

(43) 公開日：中華民國 106 (2017) 年 10 月 16 日

(21) 申請案號：106106964 (22) 申請日：中華民國 106 (2017) 年 03 月 03 日

(51) Int. Cl. : *H04L1/18 (2006.01)* *H04L1/12 (2006.01)*
H04L29/02 (2006.01)

(30) 優先權：2016/04/08 美國 62/320,094
 2016/09/22 世界智慧財產權組織 PCT/US16/53026
 2016/05/11 美國 62/334,772

(71) 申請人：英特爾公司 (美國) INTEL CORPORATION (US)
 美國

(72) 發明人：李郁奉 LEE, WOOK BONG (KR)；薩索盧 鄂倫 SASOGLU, EREN (TR)；泰華
 塞爾帕 TALWAR, SHILPA (US)；尼巴克 阿吉特 NIMBALKER, AJIT (IN)

(74) 代理人：憚軼群；劉法正

申請實體審查：無 申請專利範圍項數：25 項 圖式數：13 共 70 頁

(54) 名稱

用於混合式自動重送請求(HARQ)之傳輸的極化碼

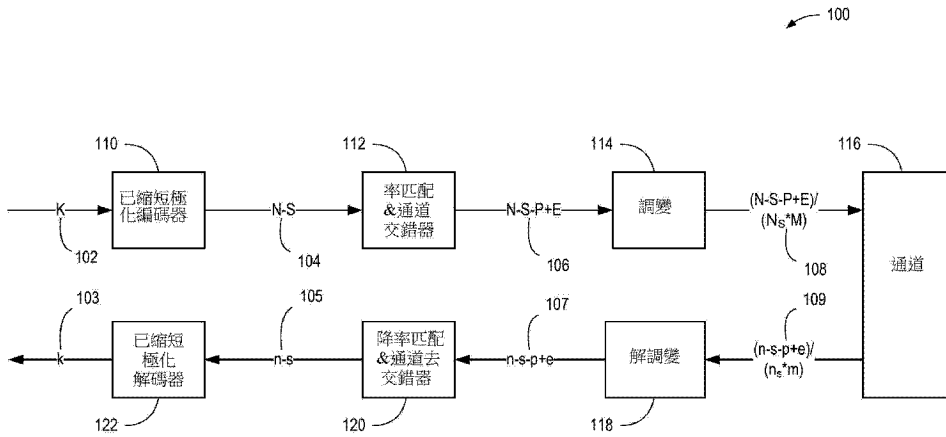
POLAR CODES FOR HARQ TRANSMISSIONS

(57) 摘要

本揭露提供來進行極化編碼。進行極化編碼可包括有基於一 HARQ 架構來選擇若干已縮短位元之一長度 S、及若干已打孔位元之一長度 P，將該資訊位元編碼以產生一基碼，交錯處理已縮短極化編碼器模組之一結果以產生包括有該基碼減去該等已縮短位元、減去該數量之已打孔位元、再加上具有為 E 之一長度之若干擴充位元後之一碼字，以及對一調變模組提供該碼字以將該碼字除以若干空間串流與若干依調變位元之一乘法之一結果而產生一除法、並且對一通道提供該除法之一結果以傳送一極化碼至一接收裝置。

The present disclosure provides for performing polar encoding. Performing polar encoding can include selecting a length S of a number of shortened bits and a length P of a number of punctured bits based on a HARQ scheme, encoding the plurality of information bits to generate a base code, interleaving a result of shortened polar encoder module to generate a codeword which includes the base code minus the shortened bits minus the number of punctured bits plus a number of extension bits with a length of E, and providing the codeword to a modulation module to generate a division of the codeword by a result of a multiplication of a number of spatial streams by a number of bits per modulation and providing a result of the division to a channel to transmit a polar code to a receiving device.

指定代表圖：



【圖1】

符號簡單說明：

100 . . . 極化編碼鍊
polar Coding Chain

102 . . . K

103 . . . k

104 . . . N-S

105 . . . n-s

106 . . . N-S-P+E

107 . . . n-s-p+e

108 . . . $(N-S-P+E)/$
 $(N_S * M)$

109 . . . $(n-s-p+e)/$
 $(n_s * m)$

110 . . . 已縮短極化
編碼器模組

112 . . . RM&CI 模
組

114 . . . 調變模組

116 . . . 通道

118 . . . 解調變模組

120 . . . D-RM & CI
模組

122 . . . 已縮短極化
解碼器模組

【發明說明書】

【中文發明名稱】

用於混合式自動重送請求(HARQ)之傳輸的極化碼

【英文發明名稱】

POLAR CODES FOR HARQ TRANSMISSIONS

【技術領域】

【0001】本揭露係有關於包括有支援混合自動重送請求(HARQ)傳輸之極化碼設計。特別的是，本揭露係有關於用於HARQ傳輸之極化編碼與解碼。

【先前技術】

【0002】無線行動通訊技術使用各種標準與協定以在基地台與一無線通訊裝置之間產生及/或傳輸資料。無線通訊系統標準與協定舉例而言，可包括有第三代合夥專案(3GPP)長期演進技術(LTE)；電機電子工程師學會(IEEE) 802.16標準，其俗稱作為全球互通微波存取(WiMAX)之產業群組；以及IEEE 802.11標準，其俗稱作為無線區域網路(WLAN)或Wi-Fi之產業群組。

【發明內容】

【0003】依據本發明之一實施例，係特地提出一種用於進行極化編碼之裝備，其包含有：電子記憶體，其用以儲存複數個資料位元以供用在與一極化編碼器之一第二級相異之該極化編碼器之一第一級中；以及一或多個基頻處理單元，其被組配來：藉由對該等資料位元進行複數個操作而在該極化編碼器之該第一級中產生至少複數個內部位

元，其中該等內部位元是在該極化編碼器內部；藉由對該等內部位元進行複數個操作而在該極化編碼器之該第二級中產生複數個碼字位元，其中該等碼字位元對應於一極化編碼器之該第二級，而該等內部位元對應於該極化編碼器之該第一級；以及針對一混合自動重送請求(HARQ)傳輸，提供該等資料位元、該等碼字位元，及該等內部位元之一子集至一實體層之一通道。

【圖式簡單說明】

【0004】圖1係一系統圖，其根據一項實施例繪示一極化編碼鍊。

【0005】圖2係一方塊圖，其根據一項實施例繪示與交錯處理。

【0006】圖3係一簡圖，其根據一項實施例繪示不同參數設置取決於HARQ架構之效能。

【0007】圖4係一簡圖，其根據一項實施例繪示極化編碼電路系統。

【0008】圖5係一方塊圖，其根據一項實施例繪示一接收處理鍊。

【0009】圖6係一簡圖，其根據一項實施例繪示極化解碼電路系統。

【0010】圖7係一簡圖，其根據一項實施例繪示一極化解碼電路系統中之節點。

【0011】圖8係一方塊圖，其根據一項實施例繪示可以是eNodeB電路系統、用戶設備(UE)電路系統、網路節

點電路系統、或一些其他電路系統類型之電子裝置電路系統。

【0012】圖9係一方塊圖，其根據一項實施例繪示一種用於進行極化編碼之方法。

【0013】圖10係一方塊圖，其根據一項實施例繪示一種用於進行極化編碼之方法。

【0014】圖11係一方塊圖，其根據一項實施例繪示一種用於一極化解碼器之方法。

【0015】圖12係一方塊圖，其根據一項實施例繪示一裝置之組件。

【0016】圖13係一方塊圖，其根據一些實施例繪示組件。

【實施方式】

【0017】無線行動通訊技術使用各種標準與協定以在基地台與一無線通訊裝置之間產生及/或傳輸資料。無線通訊系統標準與協定舉例而言，可包括有第三代合夥專案(3GPP)長期演進技術(LTE)；電機電子工程師學會(IEEE) 802.16標準，其俗稱作為全球互通微波接取(WiMAX)之產業群組；以及IEEE 802.11標準，其俗稱作為無線區域網路(WLAN)或Wi-Fi之產業群組。在LTE系統裡的3GPP無線電存取網路(RAN)中，一基地台可在E-UTRAN中包括有演進式通用地面無線電存取網路(E-UTRAN)節點B(亦常表示為演進式節點B、增強型節點B、eNodeB、或eNB)及/或無線電網路控制器(RNC)，其與稱為用戶設備

(UE)之一無線通訊裝置通訊。在LTE網路中，E-UTRAN可包括有複數個eNodeB，並且可與複數個UE通訊。LTE網路包括有一無線電存取技術(RAT)與核心無線電網路架構，其可提供高資料率、低潛時、封包最佳化、及改良型系統容量與涵蓋範圍。

【0018】極化碼是一類達到無記憶通訊通道容量之錯誤校正碼。本文中所述的一些實例參照二進位極化碼，但亦可使用本文中所述的實例來運用非二進位極化碼。

【0019】一編碼器可運算 $\mathbf{X}_1^N = \mathbf{U}_1^N \mathbf{G}_N$ ，其中 \mathbf{U}_1^N 是一二進制位元向量， \mathbf{G}_N 是 2×2 矩陣 $\mathbf{G}_1 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$ 之 n 階Kronecker乘冪，而 \mathbf{X}_1^N 是碼字。該碼字包含有一二進制位元向量。 N 表示一向量之長度。舉例而言，二進制位元向量及碼字各可包含有 N 個二進制位元。在一通訊通道之其他實例中，碼字可透過一通訊通道來傳送，諸如一實體上行鏈路共享通道(PUSCH)及/或一實體下行鏈路共享通道(PDSCH)。可對一編碼器提供用以編碼之 \mathbf{U}_1^N 。

【0020】各種編碼率可藉由將所欲數量之編碼器輸入 U_i 設定為資料位元(例如資料位元)、並將剩餘位元值凍結至預定值(例如零)、及將結果編碼以形成一輸出碼字來達成。可將一編碼率定義為輸入至編碼器之資料位元數與編碼器所輸出碼字位元數的比率。舉例而言，為了取得一半碼之一率，可將半數 U_i 位元設定為資料位元(例如資料位元)，並且可將剩餘半數 U_i 位元凍結至其預定值(例如零)。哪些位元索引要凍結、什麼值要凍結至資料、及哪些位元

要用於資料的選擇可在傳輸前先固定，並且可在傳送器及接收器處獲知。

【0021】若接收器(例如用戶設備(UE))在收到一資料封包時例如經由進行一循環冗餘檢查(CRC)偵檢到一錯誤，則UE可請求附加傳輸該資料封包。傳送器(例如演進式節點B (eNodeB))可接著發送與該資料封包相關聯之更多已編碼位元及/或同位位元，以輔助接收器恢復原始資料封包。形式可以是經由一HARQ傳輸之一追逐組合(Chase combining)傳輸來重複相同碼字(或其一部分)、及/或經由一HARQ傳輸(HARQ-IR)之一增量冗餘IR傳輸來重複形式常為附加同位位元之原始資料相關最新資訊、或以上的組合。可發生數種再傳輸(例如直到接收器UE可正確解碼資料封包為止)。

【0022】在一HARQ操作中，若一資料封包之一第一傳輸失敗，則傳送器可在一第二傳輸中重複相同封包或輸送塊。基於該編碼(例如冗餘版本、已分配調變、及編碼架構等)，就第二傳輸所選擇之同位位元可以或可不同於第一傳輸中傳送之同位位元。

【0023】可基於可透過一通道W之獨立落實來發送各碼位元 X_i 之前提而將資訊與凍結位元解碼。在一些實例中，諸如頻率選擇性衰減通道、高階調變、及/或為HARQ-IR目的而打孔，各碼位元 X_i 可通過一不同類型之通道。這些不同類型的通道可有差異很大的品質。

【0024】在一些實例中，可因應用於高階調變之編

碼、不同通道條件下穩健之效能、支援追逐組合H A R Q 傳輸與H A R Q -I R 傳輸、及/或提供靈活極化碼字長度之率匹配，就H A R Q 傳輸來實施一極化編碼鍊。

【0025】現請參照圖式，其中相似的參考符號意指為相似的元件。為求清楚，一參考編號之第一位數表明首用對應元件的圖號。在以下說明中，許多特定細節係為了透徹理解本文中所揭示之實施例而提供。然而，所屬技術領域中具有通常知識者將會認知的是，本文中所述的實施例可以不利用此等特定細節之一或多者、或可利用其他方法、組件、或材料來實踐。再者，在一些狀況中，為了避免混淆該等實施例之態樣，並未展示或詳細說明眾所周知的結構、材料或操作。再者，所述特徵、結構或特性可在一或多項實施例中以任何適合的方式來組合。

【0026】圖1係一系統圖，其根據一項實施例繪示一極化編碼鍊。圖1包含有一極化編碼鍊100，其包含有一已縮短極化編碼器模組110、一率匹配與通道交錯器(R M & C I)模組112、一調變模組114、一通道116、一解調變模組118、一降率匹配與通道交錯器(D -M R & C I)模組120、以及一已縮短極化解碼器模組122。

【0027】已縮短極化編碼器模組110、R M & C I模組112、及調變模組114可包括有可藉由一U E 及/或一eN odeB 來進行之編碼架構。解調變模組118、D -M R & C I 模組120、及已縮短極化解碼器模組122可包括有亦可藉由一U E 及/或一eN odeB 來進行之解碼架構。

【0028】 N 於圖1、及圖1之描述中使用時，係一為 2^n 之基碼輸出長度。 K_{102} 係一資訊位元數。 S 係一已縮短位元數。 P 係一已打孔位元數。 E 係一擴充及/或重複位元數。 N_s 係一空間串流數。 M 係一依調變位元數。 $N_{BC\ 104}$ (例如亦稱為 $N-S\ 104$)係已縮短極化編碼器等於 $N-S$ 後之一基碼字。 $N_{CB\ 106}$ (例如亦稱為 $N-S-P+E\ 106$)係率匹配與通道交錯處理 (例如RM & CI模組112)等於 $N-S-P+E$ 後之一碼字長度。

【0029】與 K_{102} 相關聯之若干對數似然比(LLR)乃以 k_{103} 表示。與 S 相關聯之若干LLR乃以 s 表示。與 P 相關聯之若干LLR乃以 p 表示。與 E 相關聯之若干LLR乃以 e 表示。與 M 相關聯之一LLR乃以 m 表示。與 $N-S\ 104$ 相關聯之一LLR數乃以 $n-s\ 105$ 表示。與 $N-S-P+E\ 106$ 相關聯之一LLR數乃以 $n-s-p+e\ 107$ 表示。與一 $(N-S-P+E)/(N_s * M)\ 108$ 相關聯之一LLR數乃以 $(n-s-p+e)/(n_s * m)\ 109$ 表示。

【0030】 K_{102} 、 N 、 S 、 P 、 E 、 N_s 及 M 於本文中使用时，可意指為複數個位元及/或一位元數量。 k_{103} 、 n 、 s 、 p 、 e 、 ns 及 m 可意指為複數個已接收位元、LLR、及/或一LLR數量。舉例而言， K_{102} 可以是包含有512位元之一位元向量。 K_{102} 可兼指該位元向量中之位元、及/或諸如512位元之位元數量(例如位元向量長度)。 $N-S\ 104$ 可兼指將位元向量 S 從位元向量 N 移除後得到之位元向量、及將位元向量 S 從位元向量 N 移除後得到之一結果位元向量中之位元數量(例如位元向量長度)。

【0031】對於編碼，可對已縮短極化編碼器110提供 K 102以產生 $N-S$ 104。對RM & CI模組112提供 $N-S$ 104以產生 $N-S-P+E$ 106。對調變模組114提供 $N-S-P+E$ 106以產生 $(N-S-P+E)/(N_s * M)$ 108。對通道116提供 $(N-S-P+E)/(N_s * M)$ 108以供進行傳輸。

【0032】通道116可對解調變模組118提供 $(n-s-p+e)/(n_s * m)$ 109以產生 $n-s-p+e$ 107。可對D-RM & CI模組120提供 $n-d-p+r$ 107以產生 $n-d$ 104。對已縮短極化解碼器模組122提供 $n-d$ 104以產生 k 102。可提供已縮短極化編碼器模組110、RM & CI模組112、調變模組114、及/或通道116作為一傳送(例如eNodeB)之部分。可提供通道116、解調變模組118、D-RM & CI模組120、及/或已縮短極化解碼器模組122作為一接收器(例如UE)之部分。

【0033】已縮短極化編碼器模組110可存取就一或多個信號雜訊比(SNR)位準及基碼輸出長度 $N=2n$ 而最佳化之極化碼構造，其中 n 為一正整數。也就是說，給定一SNR及一碼長，已縮短極化編碼器模組110可具有一預定規則，用於選擇要當作資料使用是哪些位元、及為了支援介於0與1之間的數個碼率要凍結的是哪些。

【0034】藉由以一最小效能損耗將程序縮短，取得基碼字長度 N_{BC} (例如 $N-S$ 104)之構造，但2的次方除外。已縮短極化編碼器110可選擇一縮短長度 S ，並且使用長度為 $N_{BC}=N-S$ 104之已縮短極化碼作為待於率匹配時使用之基

碼字長度。縮短長度 S 可搭配打孔與擴充參數來選擇。

【0035】極化編碼鍊可搭配任何調變架構來使用，舉例如QAM、多天線映射、資源映射、OFDM、及/或單載波調變。接收器進行傳送器之反操作。於解調變模組118計算LLR值。已擴充位元之LLR值乃相加在一起。已打孔位元LLR乃設定為零，而整體LLR區塊乃經由D-RM & CI模組120進行去交錯處理。接著經由已縮短極化解碼器模組122將LLR區塊 $N-S$ 104解碼。已縮短極化解碼器模組122可利用任何極化解碼架構。

【0036】圖2係一方塊圖，其根據一項實施例繪示與交錯處理。圖2包含有一RM & CI模組212，其包含有一交錯處理模組230及一率匹配模組232。可對交錯處理模組230提供一 $N-S$ 204-1以產生一 $N-S$ 204-2。可對率匹配模組232提供 $N-S$ 204-2以產生一 $N-S-P+E$ 206。

【0037】碼縮短之後是RM & CI模組212中的交錯處理模組230。RM & CI模組212可組配碼字而使得碼字中的各位元採統計方式承受等量的雜訊。也就是說，RM & CI模組212可組配碼字而使得碼字中的各位元同等地受保護。在一些實例中，RM & CI模組212可類似於一位元交錯處理編碼調變(BICM)中之一位元交錯器、或LTE率匹配中之一子塊交錯器。

【0038】所提出之實施例避免就每個可能通道變化型樣建構不同極化碼。舉例而言，處於不同副載波之通道增益在正交分頻多工(OFDM)/正交分頻多工多重進接

(OFDMA)系統裡之一頻率選擇性衰減通道中可以不同。不同位元就諸如16正交調幅(16QAM)或更高正交調幅之大部分高階調變方法具有不同位元通道品質。碼打孔亦可造成一時變通道，其中已打孔碼位元在接收器具有零可靠度。

【0039】可就縮短、打孔、擴充、及/或衰減型樣將交錯處理模組230最佳化。由於縮短、打孔、及/或擴充型樣可基於通道之衰減或時間變化型樣來最佳化，最佳化的次數會很大，及/或最佳化可能難以控制。如此，本文中所述之實施例中使用單一交錯處理模組230當作RM & CI模組212之部分。

【0040】在一些實例中，交錯處理模組230可以是一隨機交錯器。LTE/LTE-A系統中可利用現有的交錯處理規則(例如子塊交錯器及/或渦輪碼內部交錯器)。

【0041】率匹配始於就基碼輸出長度(母極化碼)選擇縮短長度。率匹配模組232藉由打孔及/或擴充已縮短與已交錯處理碼字 $N-S$ 204-2來完成率匹配程序。聯合選擇縮短、打孔、及/或擴充長度以符合規定之碼率及HARQ要求。

【0042】打孔一位元意指為從一位元向量移除一位元。擴充該碼意指為重發某些碼位元。 N 、 S 、 P 、及/或 E 為正整數。若 $P>0$ ，則可打孔已縮短及已交錯處理基碼字之最後 P 個位元。最後位元可意指為與諸如碼字之位元向量之最大索引相關聯之位元。最後 P 個位元意指為與碼字之最大幾個索引相關聯之 P 個位元。若 $E>0$ ，則可擴充(例

如重複)前 E 個位元。碼字的第一位元是與碼字位元向量之第一索引相關聯之一位元。前 E 個位元意指為自碼字位元向量起的前 E 個位元。若 $(c_0, c_1, \dots, c_{N-S-1})$ 位元向量代表已縮短與已交錯處理基碼字(例如 $N-S-204-2$)，則率匹配模組 232 之輸出可以是 $(c_0, c_1, \dots, c_{N-S-P-1}, c_0, c_1, \dots, c_{E-1})$ 位元向量(例如 $N-S-P+E-206$)。可接著就 HARQ-IR 傳輸經由一循環緩衝區提供 $N-S-P+E-206$ 。

【0043】可選擇參數 N 、 S 、 P 、及/或 E 。舉例而言，就初始傳輸進行調變前的已編碼位元數可以是 $N_{CB} = N - S - P + E = 768$ ，而資訊位元數可以是 $K = 512$ 。HARQ 可規定 IR 位元數也是 $N_{CB} = 768$ 。可將一碼率定義為 $R = K / N_{CB}$ 。有許多 S 、 P 、及/或 E 選擇可滿足 N_{CB} 與 K 。提供若干用於滿足 N_{CB} 與 K 的實例。

【0044】在一第一實例中， $N = 2^{\lceil \log_2 N_{CB} \rceil}$ 、 $S = N - N_{CB}$ 、 $P = 0$ 、及/或 $E = 0$ 。在一第二實例中， $N = 2^{\lceil \log_2 N_{CB} \rceil}$ 、 $S = 0$ 、 $P = N - N_{CB}$ 、及/或 $E = 0$ 。也就是說，在一些實例中， $E = 0$ 及/或 S 、 P 與 E 其中至少兩者可等於零。在其他實例中，就 HARQ 追逐組合， $N = 2^{\lceil \log_2 N_{CB} \rceil}$ 、 $S = 0$ 、 $P = 0$ 、及/或 $E = N_{CB} - N$ 。在一些實例中， $\lceil x \rceil = \min\{n \in \mathbb{Z} | n \geq x\}$ 代表頂函數。

【0045】由於縮短引起的錯誤效能不利現象最小，可針對一初始傳輸使用單獨利用縮短之第一實例。在第一實例中，並未打孔或擴充位元。第一實例之後續傳輸包括有第一傳輸之一單純重複。舉例而言，可使用追逐組合來進

行一HARQ傳輸。如此，可就追逐組合HARQ傳輸來選擇第一實例。

【0046】可就HARQ-IR傳輸來選擇第二實例。對於如圖3所示之初始傳輸，第二實例可比第一實例表現更差。然而，對於如圖3所示之後續HARQ傳輸，第二實例可比第一實例表現更好。如此，S、P、及/或E之選擇可取決於用於傳送碼字之HARQ架構。這些值有些可就一給定輸送塊尺寸與HARQ版本來預定，或可在諸如一實體下行鏈路控制通道(PDCCCH)之一控制通道中明確地予以傳送信令。

【0047】圖3係一簡圖，其根據一項實施例繪示不同參數設置取決於HARQ架構之效能。圖3包含有曲線圖336，其包含有一塊錯誤率(BLER)軸338與一SNR 340。

【0048】曲線圖336展示參照圖2所述之第一實例之一初始傳輸342比第二實例之初始傳輸344表現更好。效能可基於BLER來判定。如此，初始傳輸342可比初始傳輸344具有一更低的BLER。曲線圖336亦展示第二實例之第二傳輸346比第一實例之第二傳輸348表現更好。

【0049】圖4係一簡圖，其根據一項實施例繪示極化編碼電路系統410。極化編碼電路系統410可對應於圖1中之已縮短極化編碼器110。極化編碼電路系統410展示與圖1中之K 102對應之一A位元向量450。極化編碼電路系統410亦展示與圖1中之N-S 104對應之一D位元向量456。極化編碼電路系統410進一步展示一B位元向量452及一C位

元向量454。A位元向量450可以是一輸入位元向量，而D位元向量456可以是一結果位元向量。B位元向量452及C位元向量454係內部位元。A位元向量450包含有位元 (a_0, \dots, a_7) 。B位元向量452包含有位元 (b_0, \dots, b_7) 。C位元向量454包含有位元 (c_0, \dots, c_7) 。D位元向量456包含有位元 (d_0, \dots, d_7) 。

【0050】為了產生電路系統長度為8之一碼字，如極化編碼電路系統410所示，總計可存在32個位元。對於長度為N之一長度，總計可產生 $N * (\log_2 N + 1)$ 個位元。A位元向量450可包括有原始資料位元(例如圖1中之K 102)及輸入至極化編碼電路系統410之凍結位元。D位元向量456包含有藉由極化編碼電路系統410所輸出之碼字位元 (d_0, \dots, d_7) 。B位元向量452(例如 (b_0, \dots, b_7))及C位元向量454(例如 (c_0, \dots, c_7))包含有予以在編碼過程中運算、但未予以傳送或視為碼字之部分的內部位元。位元之間有某種相等性。舉例而言， $a_7 = b_7 = c_7 = d_7$ 、以及 $b_2 = c_2$ 。在提出之方法中，傳送器(例如eNodeB)可在各再傳輸中產生及/或傳送32位元之一子集。傳送器可基於不同系統要求及/或功能來選擇不同子集。

【0051】對應於產生B位元向量452及/或C位元向量454之級段乃稱為一中間級或與內部位元相關聯之一級段。對應於D位元向量456之級段乃稱為與一極化編碼之一習知碼字相關聯之一級段。

【0052】傳送器可在各傳輸與再傳輸中產生、提供、

及/或傳送D位元向量456之一子集，以產生、提供、及/或傳送一追逐組合HARQ傳輸。再傳輸可包括有在典型極化碼字中不必然出現之內部位元(B位元向量452及/或C位元向量454之子集)。如此，產生及/或傳送內部位元可包括有產生及/或傳送一最新同位位元集合。

【0053】若干實例可藉由利用典型處於極化編碼電路系統410內部、且典型不在原始碼字中出現之位元來支援HARQ傳輸。對於再傳輸，所選擇之位元子集可包括有典型碼字位元與內部位元之一混合。舉例而言，這對應於追逐/IR架構之一混合。對此，一實例乃於再傳輸時發送 (b_0, \dots, b_7) 。

【0054】就包括有用於率匹配之打孔與擴充的一般傳輸模式，可在一循環緩衝區中置放唯一位元。舉例而言，該緩衝區可展開為 $d_0, \dots, d_7, c_0, \dots, c_6, b_0, b_1, b_4, b_5, a_0, a_2, a_4, a_6, (\text{重來}) d_0, \dots, d_7, c_0, \dots$ 。在一些實例中，可按任何其他次序在循環緩衝區中置放位元。在各傳輸中，傳送器可發送緩衝區中之下幾個位元。該等下幾個位元可視需要包含有如緩衝區中一般多的位元。一達到緩衝區中的最後位元，緩衝區便可繞回到開始處。該編碼可具有系統性或部分系統性。也就是說，緩衝區中可出現資訊位元塊、或該等資訊位元塊其中一些。

【0055】極化編碼電路系統410可包含內有進行複數個操作之複數個節點。舉例而言，極化編碼電路系統410可包含有檢查節點460與可變節點462。

【0056】檢查節點460如圖4所示在圓圈內有一正號。檢查節點460可進行諸如一互斥或(XOR)運算之一操作。檢查節點460各可接收兩個位元作為輸入，並且可藉由在該兩個位元上套用該操作來產生一輸出。舉例來說，與位元 a_0 排齊之一檢查節點可接收 a_0 位元與 a_1 位元作為輸入。檢查節點可產生 b_0 節點。與 a_2 位元排齊之一檢查節點可接收 a_2 位元及 a_3 位元以產生 b_2 位元。在檢查節點460之其他實例中，與 a_0 位元及 b_0 位元排齊之一檢查節點可接收 b_0 位元及 b_2 位元以產生 c_0 位元。檢查節點460所產生之位元係唯一位元。

【0057】可變節點462乃如極化編碼電路系統410中的圓點所示。可變節點462可進行一複製操作。舉例而言，與 a_1 位元排齊之可變節點可複製 a_1 位元以產生 b_1 位元。如此， a_1 位元等於 b_1 位元。也就是說， a_1 位元與 b_1 位元皆非唯一。可變節點462所產生之位元為非唯一位元。

【0058】圖5係一方塊圖，其根據一項實施例繪示一接收處理鍊500。接收處理鍊500包括有解碼器模組522、HARQ記憶體模組560、軟組合模組562、及用於內部位元模組564之LLR初始器。接收處理鍊500亦包括有通道LLR。解碼器模組522、HARQ記憶體模組560、軟組合模組562、及/或用於內部位元模組564之LLR初始器可類似於圖1中之已縮短極化解碼器122。

【0059】可將接收處理鍊500實施成一接收器(例如UE)之部分。通道LLR模組568可提供與一通道所提供之位

元對應之LLR。通道LLR模組568可產生LLR，及/或可提供由該通道所產生之LLR。該等LLR對應於封包之目前傳輸。

【0060】軟組合模組562將通道LLR模組568所提供之目前封包之LLR與HARQ記憶體模組560中儲存之封包之前幾個傳輸之LLR組合。由於該等傳輸(例如組合之前幾個傳輸與目前之傳輸)可包括有對應於碼字位元與內部位元之LLR，軟組合模組562輸出兩種類型之LLR。也就是說，軟組合模組562經由用於內部位元模組564之LLR初始器，產生及/或初始化用於內部位元之LLR。用於內部位元之LLR乃從對應於碼字LLR之LLR各別(例如以邏輯方式)輸入至解碼器模組522，使得解碼器模組522可將內部位元LLR用於解碼(例如清單解碼、接續抵消解碼等)中之初始化步驟。

【0061】圖6係一簡圖，其根據一項實施例繪示極化解碼電路系統622。極化解碼電路系統622可以是圖5中之一解碼器522之部分。極化解碼電路系統622可包括有D向量656、一C向量654、一B向量652、以及一A向量650。極化解碼電路系統622亦可包括有檢查節點650及可變節點662。極化解碼電路系統622亦可包括有懸邊670。

【0062】極化解碼器可藉由從如懸邊670所示之(再)傳輸合併資訊來擴增。極化解碼器可以是任何訊息傳遞演算法；例如一接續抵消解碼器、一清單解碼器、及/或一信念傳播。可將包括有懸邊670之擴增併入任何極化解碼器。

【0063】在極化解碼器電路系統622中，各邊緣可保持形式為LLR之一訊息(例如一訊息清單，例如清單解碼之狀況中之訊息清單)。邊緣乃於極化解碼器電路系統622中展示為於兩端連接至節點之邊緣、及僅於一個末端連接至一節點之懸邊這兩者。

【0064】在圖6中，向量650、652、654、及656代表位元及/或訊息。該等訊息可包括有通道所提供之LLR及/或位元。與向量650、652、654、及656相關聯之訊息分別對應於圖4中之A位元向量450、B位元向量452、C位元向量456、及D位元向量458。

【0065】如上述，已擴增再傳輸包含有除了極化碼字以外，還發送典型處於原始編碼器內部之同位位元。為了在解碼中使用同位位元(例如內部唯一位元或內部位元)，將具有對應於嚴格內部位元位置(例如唯一位元)之附加懸邊670的可變節點662併入解碼器電路系統622。該等唯一位元舉例而言，可包括有圖4中之一位元 c_0 ，其可對應於圖6中之 c_0 訊息、及經由一可變節點662耦合至解碼器電路系統622之一對應懸邊。

【0066】利用與唯一位元相關聯之懸邊670可包括有初始化與懸邊670相關聯之LLR及/或訊息。也就是說，包含有解碼器電路系統622之一解碼器可用所接收位元之LLR來初始化。舉例而言，若將 a_0 凍結至圖4中的零，則可在使正LLR相關聯至二進制0-位元、並使負LLR相關聯至二進制1-位元之架構中，將包含有一相關聯LLR之 a_0 訊息

初始化至無窮大、或一非常大的數字。在一些實例中，解碼器電路系統及/或編碼器電路系統之邊緣上之凍結位元可導致內部位元凍結。如此，可從編碼器選擇供傳輸之位元，鑑於凍結位元之值屬於已知且必然可在解碼器重建，可將凍結位元排除。圖中一位元若未凍結，則可就該位元將其懸邊LLR初始化至所接收LLR之總和，若從未將其傳送則可初始化至零。舉例而言，可在一第一傳輸、一第二傳輸、及一第三傳輸期間，將一第三傳輸上對應於一內部位元之一懸邊⁶⁷⁰用之LLR初始化至用於該位元之一對應之所接收LLR之總和。可利用LLR來判斷接收自一通道之位元向量是否為對該通道提供之位元向量。

【0067】圖7係一簡圖，其根據一項實施例繪示一極化解碼電路系統中之節點。圖7包括有四種不同實例中所示之節點772-1及772-2。圖7亦包括有訊息780-1與780-2及訊息784。

【0068】可將訊息780-1從節點772-2提供至節點772-1。亦可將訊息780-2從節點772-1提供至節點772-2。在一些實例中，可透過節點772-3將訊息780-1從節點772-2提供至節點772-1。可透過節點772-3將訊息780-2從節點772-1提供至節點772-2。

【0069】新增對應於內部位元之可變節點(例如節點773)及懸邊可容許擴增一解碼器中任何現有之訊息傳遞排程。圖7中之邊緣代表圖6中之水平邊緣。節點772-1與772-2(例如節點X與Y)可以是圖6中之任何兩個鄰近節

點。已擴增解碼器可包括有介於節點772-1與772-2之間的節點772-3、及帶有一相關聯訊息784（例如訊息 l_{xY} ）之對應懸邊。在解碼器中，每次造訪產生訊息780-2（例如訊息 m_{xY} ）之節點772-1後，接著造訪新引進之節點772-3，其運算 $l_{xY} + m_{yX}$ 並將結果寫入至節點772-2。也可按照反方向來做。也就是說，造訪產生訊息780-1（例如訊息 m_{yX} ）之節點772-2後，後面接著造訪新引進之節點772-3，其運算 $l_{xY} + m_{yX}$ 並將結果寫入至節點772-1。

【0070】於傳送器，可將一冗餘版本指標用於表明一資料封包之一給定傳輸中傳送的是緩衝區的哪些位元。冗餘版本可予以在與資訊塊（或一輸送塊）相關聯之控制資訊中明確表明，或可隱含地繫結至諸如一子訊框編號或一傳輸編號之一已知參數。舉例而言，冗餘版本指標可等於用於第一傳輸的一、及/或等於用於第二傳輸的二，以此類推。傳輸編號可用在可自解碼傳輸中。

【0071】圖8係一方塊圖，其根據一項實施例繪示可以是eNodeB 電路系統、用戶設備（UE）電路系統、網路節點電路系統、或一些其他電路系統類型之電子裝置電路系統。圖8繪示一電子裝置800，根據各項實施例，其可以是、或可將其併入或按其他方式使其屬於部分之一eNodeB、一UE或一些其他類型之電子裝置。具體而言，電子裝置800可以是可至少部分在硬體、軟體、及/或韌體其中一或多者中實施之邏輯及/或電路系統。在實施例中，電子裝置邏輯可包括有耦合至一控制邏輯873及/或一處理器871之

無線電傳送/傳送器邏輯(例如一第一傳送器邏輯877)及接收/接收器邏輯(例如一第一接收器邏輯883)。在實施例中，傳送/傳送器及/或接收/接收器邏輯可以是收發器邏輯之元件或模組。第一傳送器邏輯877及第一接收器邏輯883可安放於不同裝置中。舉例而言，可將第一傳送器邏輯877併入一第一裝置，同時將第一接收器邏輯883併入一第二裝置，或可將第一傳送器邏輯877及第一接收器邏輯883併入與包括有控制邏輯873、一記憶體879、及/或處理器871之任何組合之一裝置分離的一裝置。電子裝置800可包括有一或多個天線之一或多個天線元件885或與之耦合。電子裝置800及/或電子裝置800之組件可被組配來進行與本揭露中其他地方所述類似之操作。

【0072】 在電子裝置800實施、遭併入、或按其他方式屬於部分之一UE及/或一eNodeB、或其一裝置部分的實施例中，電子裝置800可產生及/或傳送極化碼。處理器871可耦合至第一接收器及第一傳送器。記憶體879可耦合至上有在受執行時產生及/或傳送極化碼之控制器邏輯指令的處理器871。

【0073】 在電子裝置800對/自一UE接收資料、產生資料、及/或傳送資料以實施包括有極化碼之一下行鏈路信號的實施例中，處理器871可耦合至一接收器及一傳送器。記憶體879可耦合至上有在受執行時可有能力基於地理位置組配一V2X通訊之控制器邏輯指令的處理器871。

【0074】 「邏輯」一詞於本文中使用时，可意指為、

屬於部分之、或包括有一特定應用積體電路(A SIC)、一電子電路、處理器871 (共享、專屬、或群組)、及/或記憶體879 (共享、專屬、或群組)，其執行提供所述功能之一或多個軟體或韌體程式、一組合邏輯電路、及/或其他適合的硬體組件。具體而言，邏輯可至少部分在硬體、軟體、及/或韌體中實施、或可以是屬於此硬體、軟體、及/或韌體之一元件。在一些實施例中，此電子裝置邏輯可在一或多個軟體或韌體模組中實施，或與此邏輯相關聯之功能可藉由此一或多個軟體或韌體模組來實施。

【0075】圖9係一方塊圖，其根據一項實施例繪示一種用於進行極化編碼之方法985。方法985包括有：於903，基於一H A R Q 架構來選擇若干已縮短位元之一長度S、及若干已打孔位元之一長度P，於905，經由一極化編碼器模組編碼複數個資訊位元以產生一基碼，具有為N之一長度，減去已縮短位元之數量，於907，經由一交錯器模組，交錯處理極化編碼器模組之一結果以產生包括有該基碼減去該等已縮短位元、減去該數量之已打孔位元、再加上具有為E之一長度之若干擴充位元後之一碼字，於909，對一調變模組提供該碼字以將該碼字除以若干空間串流與若干依調變位元之一乘法之一結果而產生一除法，以及於911，對一通道提供該除法之一結果以傳送一極化碼至一接收裝置。

【0076】該H A R Q 架構可包括有一追逐組合傳輸及/或一H A R Q -IR 傳輸。方法985更包含有將N設定為

$2^{\lceil \log_2(N_{CB}) \rceil}$ 並將E設定為零，其中 N_{CB} 是碼字之一長度。方法985亦包含有將S設定為 $N - N_{CB}$ 並將P設定為零。方法985可更包含有將S設定為零並將P設定為 $N - N_{CB}$ 。

【0077】方法985可更包含有將N設定為 $2^{\lfloor \log_2(N_{CB}) \rfloor}$ ，其中 N_{CB} 是碼字之一長度，並且將E設定為 $N_{CB} - N$ 。方法985亦可包含有將S設定為零並將P設定為零。

【0078】圖10係一方塊圖，其根據一項實施例繪示一種用於進行極化編碼之方法1087。方法1087包含有：於1021，藉由在A資料位元上進行複數個運算來產生至少複數個B內部位元，於1023，藉由在B內部位元上進行複數個運算來產生複數個D碼字位元，其中D碼字位元對應於一極化編碼器之一第一級，而B內部位元對應於該極化編碼器之一第二級，並且其中該第一級與該第二級為該極化編碼器之相異級段，以及於1025，對一通道提供A資料位元、D碼字位元、及B內部位元之一子集以供進行一傳輸。

【0079】HARQ傳輸可以是一追逐組合HARQ傳輸與一HARQ-IR傳輸其中至少一者。A資料位元可包含有資料位元與凍結位元。A資料位元之長度、B內部位元之長度、及D碼字位元之長度可以是同一長度。方法1087更包含有產生一後續HARQ傳輸，其包含有A資料位元、B內部位元、及D碼字位元之一子集。

【0080】HARQ傳輸可包括有A資料位元、B內部位元、及D碼字位元之子集之一循環緩衝區。A資料位元、B

內部位元、及D碼字位元之子集可包括有下列至少一者：
D碼字位元與B內部位元、D碼字位元與一部分B內部位元、B內部位元與一部分D碼字位元、或B內部位元。

【0081】圖11係一方塊圖，其根據一項實施例繪示一種用於一極化解碼器之方法1189。方法1189包含有：於1131就接收自與一HARQ傳輸相關聯之一通道的複數個位元初始化第一複數個LLR，於1133，就與該複數個位元相關聯之複數個懸邊初始化第二複數個LLR，於1135，在第一複數個訊息與第二複數個訊息上進行複數個操作以產生第三複數個LLR，其中該第一複數個訊息包含有該第一複數個LLR，而該第二複數個訊息包含有第二複數個LLR，以及於1137，基於該等第三LLR判定包含有該第一複數個位元與該第二複數個位元之一資訊塊之一估計。

【0082】在一些實例中，該複數個操作包含有加法運算。該複數個操作各亦可包含有用以判定一第一LLR之一絕對值與一第二LLR之一絕對值其中一最小LLR的一最小運算、藉由將該第一LLR之一符號與該第二LLR之一符號相乘以判定一符號的一乘法運算、以及提供帶有該符號之該最小LLR。

【0083】方法1189亦包含有：將出自與出自該第一複數個位元及該第二複數個位元之凍結位元相關聯之該第一複數個LLR及該第二複數個LLR初始化成一預定義值，將出自與出自該第一複數個位元及該第二複數個位元之非凍結位元相關聯之該第一複數個LLR及該第二複數個LLR

的LLR 初始化成與一位元相關聯之所接收LLR 之一總和，以及就未收到之位元將出自該第一複數個LLR 及該第二複數個LLR 之LLR 初始化成零。資訊塊之估計可包含有透過該通道傳送的是哪個碼字。第二複數個位元可與一極化碼之內部位元相關聯。

【0084】圖12係一方塊圖，其根據一項實施例繪示一裝置之組件。在一些實施例中，該裝置可包括有至少如圖12所示耦合在一起的應用電路系統1203、基頻電路系統1205、射頻(RF)電路系統1207、前端模組(FEM)電路系統1209、及一或多個天線1214。這些組件之任何組合或子集舉例而言，可包括於一UE裝置或一eNodeB裝置中。

【0085】應用電路系統1203可包括一或多個應用處理器。舉非限制實例而言，應用電路系統1203可包括有一或多個單核心或多核心處理器。此(等)處理器可包括通用處理器及專屬處理器(圖形處理器、應用處理器等)之任何組合。此(等)處理器可採可操作方式耦合及/或包括有記憶體/儲存器，並且可被組配來執行此記憶體/儲存器中所儲存的指令以允許各種應用程式及/或作業系統在此系統上運行。

【0086】舉非限制實例而言，基頻電路系統1205可包括有一或多個單核心或多核心處理器。基頻電路系統1205可包括有一或多個基頻處理器及/或控制邏輯。基頻電路系統1205可被組配來處理從RF電路系統1207之一接收信號路徑收到之基頻信號。基頻電路系統1205亦可被組配來就

RF 電路系統1207之傳送信號路徑產生基頻信號。基頻電路系統1205可與應用電路系統1203介接，用於產生並處理此等基頻信號，還用於控制RF電路系統1207之運作。

【0087】舉非限制實例而言，基頻電路系統1205可包括有下列至少一者：一第二代(2G)基頻處理器1211A、一第三代(3G)基頻處理器1211B、一第四代(4G)基頻處理器1211C、及/或其他現存世代、及開發中或未來待開發世代(例如第五代(5G)、第六代(6G)等)之(多個)其他基頻處理器1211D。基頻電路系統1205(例如基頻處理器1211A至1211D之一或多者)可處理允許經由RF電路系統1207與一或多個無線電網路進行通訊之各種無線電控制功能。舉非限制實例而言，該等無線電控制功能可包括有信號調變/解調變、編碼/解碼、射頻偏移、其他功能、以及以上的組合。在一些實施例中，基頻電路系統1205之調變/解調變電路系統可經程式規劃以進行傅立葉轉換(FFT)、預編碼、及星座圖映射/解映射功能、其他功能、以及以上的組合。在一些實施例中，基頻電路系統1205之編碼/解碼電路系統可經程式規劃以進行卷積、尾碼消除卷積、渦輪、維特比、低密度同位檢查(LDPC)編碼器/解碼器功能、其他功能、以及以上的組合。調變/解調變及編碼器/解碼器功能的實施例不受限於這些實例，並且可包括其他適合的功能。

【0088】在一些實施例中，基頻電路系統1205可包括有一協定堆疊之元件。舉非限制實例而言，一演進式通用

地面無線電存取網路(E-UTRAN)協定之元素舉例而言,包括有實體(PHY)、媒體存取控制(MAC)、無線電鏈路控制(RLC)、封包資料收斂協定(PDCP)、及/或無線電資源控制(RRC)元素。基頻電路系統1205的中央處理單元(CPU) 1211E可經程式規劃以運行此協定堆疊的元素以供PHY、MAC、RLC、PDCP及/或RRC傳送信令之用。在一些實施例中,基頻電路系統1205可包括有一或多個音訊數位信號處理器(DSP) 1211F。這(多個)音訊DSP 1211F可包括有用於壓縮/解壓縮及回音消除的元件。這(多個)音訊DSP 1211F亦可包括有其他適合的處理元件。

【0089】基頻電路系統1205可更包括有一記憶體/儲存器1211G。記憶體/儲存器1211G可包括有儲存於其上之資料及/或指令以供基頻電路系統1205之處理器進行操作。在一些實施例中,記憶體/儲存器1211G可包括有適合的依電性記憶體及/或非依電性記憶體之任何組合。記憶體/儲存器1211G亦可包括有各種記憶體/儲存器層級的任何組合,包括有,但不限於具有嵌入式軟體指令(例如韌體)之唯讀記憶體(ROM)、隨機存取記憶體(例如動態隨機存取記憶體(DRAM))、快取記憶體、緩衝區等。在一些實施例中,記憶體/儲存器1211G可共享於此等各種處理器之間或專屬於特定處理器。

【0090】在一些實施例中,基頻電路系統1205的組件可適當地組合於一單晶片或一單晶片組中、或設置於同一電路板上。在一些實施例中,基頻電路系統1205及應用電

路系統1203的構成組件中有一些或全部可實施在一起，舉例而言例如實施於一晶片上之一系統(SOC)上。

【0091】 在一些實施例中，基頻電路系統1205可用來進行與一或多種無線電技術相容的通訊。舉例而言，在一些實施例中，基頻電路系統1205可支援與一演進式通用地面無線電存取網路(E-UTRAN)及/或其他無線都會區域網路(WMAN)、一無線區域網路(WLAN)、或一無線個人區域網路(WPAN)之通訊。基頻電路系統1205被組配來支援超過一種無線協定之無線電通訊的實施例可稱為多模式基頻電路系統。

【0092】 RF電路系統1207可允許透過一非固體介質使用已調變電磁輻射與無線網路進行通訊。在各項實施例中，RF電路系統1207可包括有開關、濾波器、放大器等而有助於與此無線網路進行通訊。RF電路系統1207可包括有一接收信號路徑，該接收信號路徑可包括有用以將接收自FEM電路系統1209之RF信號降頻轉換並且對基頻電路系統1205提供基頻信號的電路系統。RF電路系統1207亦可包括有一傳送信號路徑，其可包括有用以將基頻電路系統1205所提供之基頻信號升頻轉換並且對FEM電路系統1209提供RF輸出信號以供進行傳輸的電路系統。

【0093】 在一些實施例中，RF電路系統1207可包括有一接收信號路徑及一傳送信號路徑。RF電路系統1207的接收信號路徑可包括有一混頻器電路系統1213A、一放大器電路系統1213B、以及一濾波器電路系統1213C。RF

電路系統1207的傳送信號路徑可包括有濾波器電路系統1213C及混頻器電路系統1213A。RF電路系統1207可更包括有被組配來將一頻率合成以供該接收信號路徑及該傳送信號路徑之混頻器電路系統1213A使用之一合成器電路系統1213D。在一些實施例中，該接收信號路徑之混頻器電路系統1213A可被組配來基於合成器電路系統1213D所提供的已合成頻率，將接收自FEM電路系統1209的RF信號降頻轉換。放大器電路系統1213B可被組配來放大該已降頻轉換信號。

【0094】濾波器電路系統1213C可包括有被組配來將不需要的信號從該等已降頻轉換信號移除以產生輸出基頻信號之一低通濾波器(LPF)或一帶通濾波器(BPF)。可對基頻電路系統1205提供輸出基頻信號以供進一步處理之用。在一些實施例中，此等輸出基頻信號可包括有零頻基頻信號，但這非為必要條件。在一些實施例中，該接收信號路徑之混頻器電路系統1213A可包含有被動式混頻器，但此等實施例的範疇在這方面並不受限。

【0095】在一些實施例中，該傳送信號路徑之混頻器電路系統1213A可被組配來基於合成器電路系統1213D所提供的已合成頻率而將輸入基頻信號升頻轉換以產生供FEM電路系統1209用的RF輸出信號。此等基頻信號可藉由基頻電路系統1205來提供，並且可藉由濾波器電路系統1213C來濾波。濾波器電路系統1213C可包括有一低通濾波器(LPF)，但此等實施例之範疇在這方面並不受限。

【0096】 在一些實施例中，該接收信號路徑之混頻器電路系統1213A 及該傳送信號路徑之混頻器電路系統1213A 可包括有二或更多個混頻器，並且可布置成分別用於正交降頻轉換及/或升頻轉換。在一些實施例中，該接收信號路徑之混頻器電路系統1213A 及該傳送信號路徑之混頻器電路系統1213A 可包括有二或更多個混頻器，並且可布置成用於影像排斥(例如哈特萊(Hartley)影像排斥)。在一些實施例中，該接收信號路徑之混頻器電路系統1213A 及該傳送信號路徑之混頻器電路系統1213A 可分別布置成用於直接降頻轉換及/或直接轉換。在一些實施例中，該接收信號路徑之混頻器電路系統1213A 及該傳送信號路徑之混頻器電路系統1213A 可組配成用於超外差運作。

【0097】 在一些實施例中，此等輸出基頻信號及此等輸入基頻信號可以是類比基頻信號，但此等實施例的範疇在這方面並不受限。在一些替代實施例中，此等輸出基頻信號及此等輸入基頻信號可以是數位基頻信號。在此類實施例中，RF 電路系統1207 可包括有類比數位轉換器(A/D C)及數位類比轉換器(D/A C)電路系統，而基頻電路系統1205 可包括有一用以與RF 電路系統1207 進行通訊之數位基頻介面。

【0098】 在一些雙模實施例中，可為各頻譜提供一用於處理信號的分離無線電干擾抵消(IC)電路系統，但此等實施例的範疇在這方面並無限制。

【0099】 在一些實施例中，合成器電路系統1213D 可

包括有一分數 N 合成器及一分數 $N/N+1$ 合成器其中一或多者，但此等實施例的範疇在這方面並無限制，因為可以有其他適合類型的頻率合成器。舉例而言，合成器電路系統1213D可包括有一三角積分合成器、一倍頻器、一包含具有一除頻器之一鎖相迴路的合成器、其他合成器、以及以上的組合。

【0100】合成器電路系統1213D可被組配來基於一頻率輸入及一除法器控制輸入而將一輸出頻率合成以供RF電路系統1207之混頻器電路系統1213A使用。在一些實施例中，合成器電路系統1213D可以是一分數 $N/N+1$ 合成器。

【0101】在一些實施例中，頻率輸入可藉由一電壓控制振盪器(VCO)來提供，但這非為必要條件。除法器控制輸入可藉由基頻電路系統1205或應用電路系統1203擇一來提供，端視所欲輸出頻率而定。在一些實施例中，一除法器控制輸入(例如 N)可基於一由應用電路系統1203所指示的通道而經由一查詢表來判定。

【0102】RF電路系統1207的合成器電路系統1213D可包括有一除法器、一延遲鎖定迴路(DLL)、一多工器及一相位累加器。在一些實施例中，此除法器可包括有一雙模數除法器(DMD)，而該相位累加器可包括有一數位相位累加器(DPA)。在一些實施例中，該DMD可被組配來將該輸入信號除以 N 或 $N+1$ (例如基於一進位輸出)以提供一分數分配比。在一些例示性實施例中，該DLL可包括有一組

串級、可調、延遲元件；一檢相器；一電荷泵；以及一D型正反器。在此類實施例中，此等延遲元件可被組配來將一VCO週期分成Nd個相等的相位封包，其中Nd是延遲線中延遲元件的數量。依此作法，此DLL可提供負回授而有助於確保經過此延遲線的總延遲為一個VCO週期。

【0103】在一些實施例中，合成器電路系統1213D可被組配來產生一載波頻率當作輸出頻率。在一些實施例中，此輸出頻率可以是此載波頻率的倍數（例如此載波頻率的兩倍、此載波頻率的四倍等），並且可搭配一正交產生器及除法器電路系統用於在該載波頻率產生具有多個彼此不同相位的多個信號。在一些實施例中，此輸出頻率可以是一LO頻率(f_{LO})。在一些實施例中，RF電路系統1207可包括有一IQ/極化轉換器。

【0104】FEM電路系統1209可包括有一接收信號路徑，該接收信號路徑可包括有被組配來在接收自一或多個天線1214之RF信號上運作、將此等已接收信號放大、以及對RF電路系統1207提供此等放大版已接收信號以供進行進一步處理的電路系統。FEM電路系統1209亦可包括一傳送信號路徑，其可包括被組配來將RF電路系統1207所提供傳輸用信號放大以供一或多個天線1214其中至少一者進行傳輸用的電路系統。

【0105】在一些實施例中，FEM電路系統1209可包括有一被組配來在一傳送模式與一接收模式運作之間進行切換的TX/RX開關。FEM電路系統1209可包括有一接收信

號路徑及一傳送信號路徑。FEM 電路系統1209之接收信號路徑可包括有一用以將已接收RF信號放大並提供此等經放大已接收RF信號作為一輸出(例如送至RF電路系統1207)的低雜訊放大器(LNA)。FEM 電路系統1209之傳送信號路徑可包括有一被組配來將(例如RF電路系統1207所提供之)輸入RF信號放大的功率放大器(PA)、以及一或多個被組配來產生RF信號以供(例如藉由一或多個天線1214進行)後續傳輸之用的濾波器。

【0106】 在一些實施例中，該裝置可包括有附加元件，舉例而言例如記憶體/儲存器、一顯示器、一相機、更多感測器其中一者、一輸入/輸出(I/O)介面、其他元件、以及以上的組合。

【0107】 在一些實施例中，該裝置可被組配來進行如本文中所述的一或多種過程、技術及/或方法、或其部分。

【0108】 圖13係一方塊圖，其根據一些實施例繪示組件。具體而言，圖13展示硬體資源1300的一示意圖，其包括有經由一匯流排1340通訊性耦合之一或多個處理器(或處理器核心) 1310、一或多個記憶體/儲存裝置1320、以及一或多個通訊資源1330。

【0109】 處理器1310(例如一中央處理單元(CPU)、一精簡指令集運算(RISC)處理器、一複雜指令集運算(CISC)處理器、一圖形處理單元(GPU)、諸如一基頻處理器之一數位信號處理器(DSP)、一特定應用積體電路(ASIC)、一射頻積體電路(RFIC)、另一處理器、或以上任

何適當的組合)舉例而言，可包括有一處理器1312及一處理器1314。記憶體/儲存裝置1320可包括有主記憶體、碟片儲存器、或以上任何適當的組合。

【0110】通訊資源1330可包括有經由一網路1308與一或多個週邊裝置1304及/或一或多個資料庫1311進行通訊的互連及/或網路介面組件、或其他適合的裝置。舉例而言，通訊資源1330可包括有線通訊組件(例如用於經由一通用串列匯流排(USB)進行耦合)、蜂巢式通訊組件、近場通訊(NFC)組件、Bluetooth[®]組件(例如Bluetooth[®]低能量)、Wi-Fi[®]組件、以及其他通訊組件。

【0111】指令1350可包含有軟體、一程式、一應用程式、一小型應用程式、一app、或用於令至少一個處理器1310進行本文中所論述方法中任何一或多者的其他可執行碼。指令1350可完全或部分常駐於下列至少一者內：處理器1310(例如：此處理器之快取記憶體內)、記憶體/儲存裝置1320、或以上任何適當的組合。再者，可將指令1350之任何部分從週邊裝置1304及/或資料庫1311之任何組合轉移至硬體資源1300。因此，處理器1310之記憶體、記憶體/儲存裝置1320、週邊裝置1304及資料庫1311為電腦可讀與機器可讀媒體的實例。

例示性實施例

【0112】實例1是一種用於進行極化編碼之裝備。該裝備包括有用以儲存各種資料位元以供用在與一極化編碼器之一第二級相異之該極化編碼器之一第一級中之電子記

憶體。該裝備包括有一或多個基頻處理單元，其設計旨在藉由在該等資料位元上進行各種操作而至少在該極化編碼器之該第一級中產生各種內部位元，其中該等內部位元是在該極化編碼器內部。該裝備包括有一或多個基頻處理單元，其設計旨在藉由在該等內部位元上進行各種操作而在該極化編碼器之該第二級中產生各種碼字位元，其中該等碼字位元對應於一極化編碼器之該第二級，而該等內部位元對應於該極化編碼器之該第一級。該裝備包括有一或多個基頻處理單元，其設計旨在就一混合自動重送請求(HARQ)傳輸，對一實體層之一通道提供該等資料位元、該等碼字位元、及該等內部位元之一子集。

【0113】實例2是實例1之裝備，其中該裝備係一用戶設備(UE)，以及其中該通道係一上行鏈路通道及一側行鏈路通道其中至少一者。

【0114】實例3是實例1之裝備，其中該裝備係一演進式使用者節點(eNodeB)，以及其中該通道係一下行鏈路通道其中至少一者。

【0115】實例4是實例1之裝備，其中該傳輸係一追逐組合HARQ傳輸及一HARQ增量冗餘(HARQ-IR)傳輸其中至少一者。

【0116】實例5是實例1之裝備，其中用於該極化編碼器之該第一級中之該等資料位元包括有設定為一預定值之位元。

【0117】實例6是實例1之裝備，其中該等資料位元之

一長度、該等內部位元之一長度、及該等碼字位元之一長度為同一長度。

【0118】實例7是實例1之裝備，其中該一或多個處理單元更被設計用以產生一後續HARQ傳輸，其包括有與該等資料位元、該等內部位元、及該等碼字位元之該子集不同的該等資料位元、該等內部位元、及該等碼字位元之一後續子集。

【0119】實例8是實例1之裝備，其中該HARQ傳輸包括有等資料位元、該等內部位元、及該等碼字位元之該子集之一循環緩衝區。

【0120】實例9是實例1之裝備，其中該等資料位元、該等內部位元、及該等碼字位元之子集可包括有下列其中一者：該等碼字位元與該等內部位元、該等碼字位元與一部分該等內部位元、該等內部位元與一部分該等碼字位元、或該等內部位元。

【0121】實例10是一種電腦可讀儲存媒體。該電腦可讀儲存媒體上有儲存指令，該等指令在藉由一運算裝置實施時，令該運算裝置：就一極化編碼器所產生、並接收自與一混合自動重送請求(HARQ)傳輸相關聯之一實體層之一通道的各種位元將第一各種對數似然比(LLR)初始化。該電腦可讀儲存媒體上有儲存指令，該等指令在藉由一運算裝置實施時，令該運算裝置：就一極化解碼器之與該各種位元相關聯之各種懸邊將第二各種LLR初始化。該電腦可讀儲存媒體上有儲存指令，該等指令在藉由一運算裝置

實施時，令該運算裝置：在該第一各種LLR及該第二各種LLR上進行各種操作以產生第三各種LLR。該電腦可讀儲存媒體上有儲存指令，該等指令在藉由一運算裝置實施時，令該運算裝置：基於該第三各種LLR來判定包括有含資料位元之第一各種位元及第二各種位元之一資訊塊的一估計。

【0122】實例11是實例10之電腦可讀儲存媒體，其中一用戶設備(UE)或一演進式節點B(eNodeB)包括有該電腦可讀儲存媒體。

【0123】實例12是實例10之電腦可讀儲存媒體，其中該各種操作包括有加法運算。

【0124】實例13是實例10之電腦可讀儲存媒體，其中該各種操作各包括有用以判定一第一LLR之一絕對值與一第二LLR之一絕對值其中一最小LLR的一最小運算、藉由將該第一LLR之一符號與該第二LLR之一符號相乘以判定一符號的一乘法運算、以及提供帶有該符號之該最小LLR。

【0125】實例14是實例10之電腦可讀儲存媒體，其中設計旨在將該第一各種LLR初始化並將該第二各種LLR初始化之該等指令更包括有執行下列之指令：將出自與出自該第一各種位元及該第二各種位元之凍結位元相關聯之該第一各種LLR及該第二各種LLR初始化成一預定義值。如實例10之電腦可讀儲存媒體，其中設計旨在將該第一各種LLR初始化並將該第二各種LLR初始化之該等指

令更包括有執行下列之指令：將與出自該各種位元之非凍結位元相關聯之該第一各種LLR及該第二各種LLR之各者初始化成該等非凍結位元之一對應者之所接收LLR之一總和，以及就未收到之位元將出自該第一各種LLR及該第二各種LLR之LLR初始化成零。

【0126】實例15是實例10之電腦可讀儲存媒體，其中該資訊塊估計包括有透過該通道傳送的是哪個碼字。

【0127】實例16是實例10之電腦可讀儲存媒體，其中該各種位元其中零或多者與一極化編碼之內部位元相關聯。

【0128】實例17是一種用於進行極化編碼之裝備。該裝備包括有用以儲存待由一極化編碼器模組編碼、具有一長度 K 之各種資訊位元的電子記憶體。該裝備包括有一或多個處理單元，其設計旨在基於一混合自動重送請求(HARQ)架構來選擇若干已縮短位元之一長度 S 、及若干已打孔位元之一長度 P ，以及經由該極化編碼器模組編碼該各種資訊位元以產生一基碼字，具有為 N 之一長度，減去已縮短位元之數量。該裝備包括有一或多個處理單元，其設計旨在經由一交錯器模組，交錯處理該極化編碼器模組之一結果以產生一碼字，其包括有該基碼字減去該等已縮短位元、減去該已打孔位元數、再加上長度為 E 之若干擴充位元。該裝備包括有一或多個處理單元，其設計旨在對一調變模組提供該碼字以將該碼字除以若干空間串流與若干依調變位元之一乘法之一結果而產生一除法，以及對一

實體層之一通道提供該除法之一結果以傳送一極化碼至一接收裝置。

【0129】實例18是實例17之裝備，其中該裝備係一用戶設備(UE)或一演進式節點B (eNodeB)其中一者。

【0130】實例19是實例17之裝備，其中該HARQ架構包括有一追逐組合傳輸。

【0131】實例20是實例17之裝備，其中該HARQ架構包括有一HARQ增量冗餘(HARQ-IR)傳輸。

【0132】實例21是實例17之裝備，其中該一或多個處理單元更被設計旨在將 N 設定為 $2^{\lceil \log_2(N_{CB}) \rceil}$ ，其中 N_{CB} 係該碼字之一長度，以及將 E 設定為零。

【0133】實例22是實例17之裝備，其中該一或多個處理單元更被設計旨在將 S 設定為 $N - N_{CB}$ ，以及將 P 設定為零。

【0134】實例23是實例17之裝備，其中該一或多個處理單元更被設計旨在將 S 設定為零，以及將 P 設定為 $N - N_{CB}$ 。

【0135】實例24是實例17之裝備，其中該一或多個處理單元更被設計旨在將 N 設定為 $2^{\lfloor \log_2(N_{CB}) \rfloor}$ ，其中 N_{CB} 係該碼字之一長度，以及將 E 設定為 $N_{CB} - N$ 。

【0136】實例25是實例17之裝備，其中該一或多個處理單元更被設計旨在將 S 設定為零，以及將 P 設定為零。

【0137】實例26是一種方法，其包括有：藉由在各種資料位元上進行各種操作而在該極化編碼器之一第一級中

至少產生各種內部位元，以供在與一極化編碼器之一第二級相異之該極化編碼器之該第一級中使用，其中該等內部位元是在該極化編碼器內部。該方法亦包括有：藉由在該等內部位元上進行各種操作而在該極化編碼器之該第二級中產生各種碼字位元，其中該等碼字位元對應於一極化編碼器之該第二級，而該等內部位元對應於該極化編碼器之該第一級。該方法亦包括有：就一混合自動重送請求(HARQ)傳輸，對一實體層之一通道提供該等資料位元、該等碼字位元、及該等內部位元之一子集。

【0138】實例27是實例26之方法，其中提供包括有：藉由一用戶設備(UE)之一裝備，對一實體層之通道提供該等資料位元、該等碼字位元、及該等內部位元之該子集，以及其中該通道係一上行鏈路通道及一側行鏈路通道其中至少一者。

【0139】實例28是實例26之方法，其中提供包括有：藉由一演進式使用者節點(eNodeB)之一裝備，對一實體層之通道提供該等資料位元、該等碼字位元、及該等內部位元之該子集，以及其中該通道係一下行鏈路通道其中至少一者。

【0140】實例29是實例26之方法，其中該HARQ傳輸係一追逐組合HARQ傳輸及一HARQ增量冗餘(HARQ-IR)傳輸其中至少一者。

【0141】實例30是實例26之方法，其中用於該極化編碼器之該第一級中之該等資料位元包括有設定為一預定值

之位元。

【0142】實例31是實例26之方法，其中該等資料位元之一長度、該等內部位元之一長度、及該等碼字位元之一長度為同一長度。

【0143】實例32是實例26之方法，其更包括有：產生一後續HARQ傳輸，其包括有與該等資料位元、該等內部位元、及該等碼字位元之該子集不同的該等資料位元、該等內部位元、及該等碼字位元之一後續子集。

【0144】實例33是實例26之方法，其中該HARQ傳輸包括有等資料位元、該等內部位元、及該等碼字位元之該子集之一循環緩衝區。

【0145】實例34是實例26之方法，其中該等資料位元、該等內部位元、及該等碼字位元之子集可包括有下列其中一者：該等碼字位元與該等內部位元、該等碼字位元與一部分該等內部位元、該等內部位元與一部分該等碼字位元、或該等內部位元。

【0146】實例35是一種方法，其包括有：就一極化編碼器所產生、並接收自與一混合自動重送請求(HARQ)傳輸相關聯之一實體層之一通道的各種位元將第一各種對數似然比(LLR)初始化。該方法亦包括有：就一極化解碼器之與該各種位元相關聯之各種懸邊將第二各種LLR初始化。該方法亦包括有：在該第一各種LLR及該第二各種LLR上進行各種操作以產生第三各種LLR。該方法亦包括有：基於該第三各種LLR來判定包括有含資料位元之第一

各種位元及第二各種位元之一資訊塊的一估計。

【0147】實例36是實例35之方法，其中該初始化該各種LLR、該初始化該第二各種LLR、該進行該各種操作、及該判定該資訊塊之一估計係藉由一用戶設備(UE)或一演進式節點B(eNodeB)來進行。

【0148】實例37是實例35之方法，其中該各種操作包括有加法運算。

【0149】實例38是實例35之方法，其中該各種操作各包括有用以判定一第一LLR之一絕對值與一第二LLR之一絕對值其中一最小LLR的一最小運算。該各種操作包括有藉由將該第一LLR之一符號與該第二LLR之一符號相乘、及提供帶有該符號之該最小LLR以判定一符號的一乘法運算。

【0150】實例39是實例35之方法，其中初始化該第一各種LLR及初始化該第二各種LLR更包括有：將出自與出自該第一各種位元及該第二各種位元之凍結位元相關聯之該第一各種LLR及該第二各種LLR的LLR初始化成一預定義值。將該第一各種LLR初始化並將該第二各種LLR初始化更包括有：將與出自該各種位元之非凍結位元相關聯之該第一各種LLR及該第二各種LLR之各者初始化成該等非凍結位元之一對應者之所接收LLR之一總和，以及就未收到之位元將出自該第一各種LLR及該第二各種LLR之LLR初始化成零。

【0151】實例40是實例35之方法，其中該資訊塊估計

包括有透過該通道傳送的是哪個碼字。

【0152】實例41是實例35之方法，其中該各種位元之零或多者與一極化編碼之內部位元相關聯。

【0153】實例42是一種方法。該方法包括有用以儲存待由一極化編碼器模組編碼、具有一長度 K 之各種資訊位元的電子記憶體。該方法亦包括有一或多個處理單元，其設計旨在基於一混合自動重送請求(HARQ)架構來選擇若干已縮短位元之一長度 S 、及若干已打孔位元之一長度 P 。該方法亦包括有一或多個處理單元，其設計旨在經由該極化編碼器模組編碼具有一長度 K 之各種資訊位元以產生一基碼字，具有為 N 之一長度，減去已縮短位元之數量。該方法亦包括有一或多個處理單元，其設計旨在經由一交錯器模組，交錯處理該極化編碼器模組之一結果以產生一碼字，其包括有該基碼字減去該等已縮短位元、減去該已打孔位元數、再加上長度為 E 之若干擴充位元。該方法亦包括有一或多個處理單元，其設計旨在對一調變模組提供該碼字以將該碼字除以若干空間串流與若干依調變位元之一乘法之一結果而產生一除法，以及對一實體層之一通道提供該除法之一結果以傳送一極化碼至一接收裝置。

【0154】實例43是實例42之方法，其中該HARQ架構包括有一追逐組合傳輸。

【0155】實例44是實例42之方法，其中該HARQ架構包括有一HARQ增量冗餘(HARQ-IR)傳輸。

【0156】實例45是實例42之方法，其更包括有：將 N

設定為 $2^{\lceil \log_2(N_{CB}) \rceil}$ ，其中 N_{CB} 係該碼字之一長度，以及將 E 設定為零。

【0157】實例46是實例42之方法，其更包括有：將 S 設定為 $N - N_{CB}$ ，以及將 P 設定為零。

【0158】實例47是實例42之方法，其更包括有：將 S 設定為零，以及將 P 設定為 $N - N_{CB}$ 。

【0159】實例48是實例42之方法，其更包括有：將 N 設定為 $2^{\lfloor \log_2(N_{CB}) \rfloor}$ ，其中 N_{CB} 係該碼字之一長度，以及將 E 設定為 $N_{CB} - N$ 。

【0160】實例49是實例42之方法，其更包括有：設定 S 至零，以及 P 至零。

【0161】實例50是至少一種上有儲存電腦可讀指令之電腦可讀儲存媒體，該等電腦可讀指令在受執行時實施如實例26至44中任何一者所例示之方法。

【0162】實例51是一種裝備，其包括有用以進行如實例26至44中任何一者所例示之方法的構件。

【0163】實例52是一種用於進行如實例26至44中任何一者所例示之方法的構件。

【0164】各種技巧、或其某些態樣或部分可採取的形式為諸如軟式磁片、CD-ROM、硬碟機、一非暫時性電腦可讀儲存媒體、或任何其他機器可讀儲存媒體等有形媒體中具體實現的程式碼(即指令)，當諸如一電腦之一機器載入並且執行該程式碼時，該機器變為一用於實踐此等各種技巧之裝備。程式碼若是在可規劃電腦上執行，則此運算

裝置可包括有一處理器、一可由該處理器讀取之儲存媒體(包括有依電性及非依電性記憶體及/或儲存元件)、至少一個輸入裝置、以及至少一個輸出裝置。該依電性及非依電性記憶體及/或儲存元件可以是一RAM、一EPROM、一快閃驅動機、一光學驅動機、一磁性硬碟機、或另一用於儲存電子資料之媒體。該等eNodeB(或其他基地台)及UE(或其他行動電台)亦可包括有一收發器組件、一計數器組件、一處理組件、及/或一時脈組件或計時器組件。本文中所述可實施或利用此等各種技術之一或多個程式可使用一應用程式規劃介面(API)、可再用控制、以及類似者。此類程式可實施成用以與一電腦系統進行通訊之一高階程序性或物件導向程式設計語言。然而，此(等)程式視所欲可實施成組合或機器語言。在任一例中，此語言可為一編譯式或一解譯式語言，並且與硬體實作態樣組合。

【0165】應瞭解的是，本說明書中所述功能單元中有許多可實施成一或多個組件，其係用於更具體強調其實作態樣獨立性之一用語。舉例而言，可將一組件實施成包含自訂超大型積體(VLSI)電路或閘陣列、諸如邏輯晶片等現成半導體、電晶體、或其他分立組件之一硬體電路。一組件亦可實施成諸如可現場規劃閘陣列、可規劃陣列邏輯、可規劃邏輯裝置或類似者等可規劃硬體裝置。

【0166】組件亦可實施成供各種類型之處理器執行的軟體。一經識別可執行碼組件舉例來說，可包含一或多個電腦指令實體或邏輯塊，其舉例來說，可組織成一物件、

一程序或一功能。然而，一經識別組件之執行檔不需要實體位於一處，而是可包含儲存於不同位置的不同指令，其邏輯聯結在一起時，包含此組件並且達成此組件之所述目的。

【0167】一可執行碼組件的確可以是單一指令或許多指令，並且甚至可分布於數個不同碼段、不同程式及數個記憶體裝置。類似的是，運算資料在本文中可於組件內指認並說明，並且可具體實現為任何適合的形式並組織於任何適合類型的資料結構內。此運算資料可收集為單一資料集合，或可分布於不同位置，包括分布於不同儲存裝置，並且可僅作為電子信號至少部分存在於一系統或網路上。此等組件可為被動或主動，包括可操作以進行所欲功能之代理程式。

【0168】整篇本說明書對「一實例」之參照意味著至少一項實施例中包括有搭配此實例所述之一特定特徵、結構或特性。因此，「在一實例中」一詞在整篇本說明書各處表達時不必然全都意指為相同的實施例。

【0169】複數個項目、結構化元件、組成元件、及/或材料於本文中使用时，可為了便利性而在一共同清單中呈現。然而，這些清單應視為彷彿此清單之各成員被個別指認為一不同且唯一的成員。因此，此清單不應有個別成員只因為其存在於一共同群組中且無相左指示，而被視為相同清單中任何其他成員之一實際均等者。另外，各項實施例和實例在本文中可連同替代例意指為其各種組件。據

瞭解，此類實施例、實例及替代例不視為彼此的實際均等例，而是視為有所不同且自主的實施例表示型態。

【0170】雖然前述已為求清楚而某種程度詳細說明，將會顯而易見的是可施作某些變更與修改而不脫離其原理。應知，實施本文中所述之過程與裝備有許多替代方式。因此，本文之實施例應視為說明性而非限制性，而且該等實施例不應受限於本文中給定之細節，而是可在隨附申請專利範圍之範疇及均等論述內作修改。

【符號說明】

【0171】

100...極化編碼鍊polar coding chain

102...K

103...k

104...N-S

105...n-s

106、206...N-S-P+E

107...n-s-p+e

108... $(N-S-P+E)/(N_s * M)$

109... $(n-s-p+e)/(n_s * m)$

110...已縮短極化編碼器模組

112、212...RM & CI模組

114...調變模組

116...通道

118...解調變模組

120...D-R M & C I 模組
122...已縮短極化解碼器模組
204-1、204-2...N-S
230...交錯處理模組
232...率匹配模組
336...曲線圖
338...塊錯誤率(BLER)軸
340...SNR
342、344...初始傳輸
346、348...第二傳輸
410...極化編碼電路系統
450...A位元向量
452...B位元向量
454...C位元向量
456...D位元向量
460...檢查節點
462、662...可變節點
522...解碼器模組
560...HARQ記憶體模組
562...軟組合模組
564...內部位元模組
568...通道LLR 模組
622...極化解碼電路系統
650...檢查節點

652...B向量
654...C向量
656...D向量
670...懸邊
772-1~772-3...節點
780-1~780-2...訊息
784...相關聯訊息
800...電子裝置
871...處理器
873...控制邏輯
877...傳送器邏輯
879...記憶體
883...接收器邏輯
885...天線元件
903~911、1021~1025、1131~1137...步驟
985、1087、1189...方法
1203...應用電路系統
1205...基頻電路系統
1207...射頻(RF)電路系統
1209...前端模組(FEM)電路系統
1211A~1211D...基頻處理器
1211E...中央處理單元
1211F...音訊數位信號處理器
1211G...記憶體/儲存器

- 1213A...混頻器電路系統
- 1213B...放大器電路系統
- 1213C...濾波器電路系統
- 1213D...合成器電路系統
- 1214...天線
- 1300...硬體資源
- 1304...週邊裝置
- 1308...網路
- 1310、1312、1314...處理器
- 1311...資料庫
- 1320...記憶體/儲存裝置
- 1330...通訊資源
- 1340...匯流排
- 1350...指令

【發明摘要】

【中文發明名稱】

用於混合式自動重送請求(HARQ)之傳輸的極化碼

【英文發明名稱】

POLAR CODES FOR HARQ TRANSMISSIONS

【中文】

本揭露提供來進行極化編碼。進行極化編碼可包括有基於一HARQ架構來選擇若干已縮短位元之一長度S、及若干已打孔位元之一長度P，將該資訊位元編碼以產生一基碼，交錯處理已縮短極化編碼器模組之一結果以產生包括有該基碼減去該等已縮短位元、減去該數量之已打孔位元、再加上具有為E之一長度之若干擴充位元後之一碼字，以及對一調變模組提供該碼字以將該碼字除以若干空間串流與若干依調變位元之一乘法之一結果而產生一除法、並且對一通道提供該除法之一結果以傳送一極化碼至一接收裝置。

【英文】

The present disclosure provides for performing polar encoding. Performing polar encoding can include selecting a length S of a number of shortened bits and a length P of a number of punctured bits based on a HARQ scheme, encoding the plurality of information bits to generate a base code, interleaving a result of shortened polar encoder module to generate a codeword which includes the base code minus the shortened bits minus the number of punctured bits plus a number of extension bits with a length of E, and providing the codeword to a modulation module to generate a division of the codeword by a result of a multiplication of a number of spatial streams by a number of bits per modulation and providing a result of the division to a channel to transmit a polar code to a receiving device.

【指定代表圖】 圖1**【代表圖之符號簡單說明】**

100...極化編碼鍊polar coding chain

102...K

103...k

104...N-S

105...n-s

106...N-S-P+E

107...n-s-p+e

108... $(N-S-P+E)/(N_s * M)$

109... $(n-s-p+e)/(n_s * m)$

110...已縮短極化編碼器模組

112...RM&CI模組

114...調變模組

116...通道

118...解調變模組

120...D-RM & C 模組

122...已縮短極化解碼器模組

【特徵化學式】

(無)

【發明申請專利範圍】

【第1項】 一種用於進行極化編碼之裝備，其包含有：
電子記憶體，其用以儲存複數個資料位元以供用在與
一極化編碼器之一第二級相異之該極化編碼器之一第一級
中；以及

一或多個基頻處理單元，其被組配來：

藉由對該等資料位元進行複數個操作而在該極
化編碼器之該第一級中產生至少複數個內部位元，其
中該等內部位元是在該極化編碼器內；

藉由對該等內部位元進行複數個操作而在該極
化編碼器之該第二級中產生複數個碼字位元，其中該
等碼字位元對應於一極化編碼器之該第二級，而該等
內部位元對應於該極化編碼器之該第一級；以及

針對一混合自動重送請求(HARQ)傳輸，提供該
等資料位元、該等碼字位元，及該等內部位元之一子
集至一實體層之一通道。

【第2項】 如請求項1之裝備，其中該裝備係一用戶
設備(UE)，以及其中該通道係一上行鏈路通道及一側行鏈
路通道其中至少一者。

【第3項】 如請求項1之裝備，其中該裝備係一演進
式使用者節點(eNodeB)，以及其中該通道係一下行鏈路通
道其中至少一者。

【第4項】 如請求項1之裝備，其中該傳輸係一追逐
組合(Chase combining)HARQ傳輸及一HARQ增量冗餘

(H A R Q -IR)傳輸其中至少一者。

【第5項】 如請求項1之裝備，其中用於該極化編碼器之該第一級中之該等資料位元包括有設定為一預定值之位元。

【第6項】 如請求項1之裝備，其中該等資料位元之一長度、該等內部位元之一長度、及該等碼字位元之一長度為同一長度。

【第7項】 如請求項1之裝備，其中該一或多個處理單元更被組配來產生一後續H A R Q 傳輸，其包含有與該等資料位元、該等內部位元、及該等碼字位元之該子集不同的該等資料位元、該等內部位元、及該等碼字位元之一後續子集。

【第8項】 如請求項1之裝備，其中該H A R Q 傳輸包括有等資料位元、該等內部位元、及該等碼字位元之該子集之一循環緩衝區。

【第9項】 如請求項1之裝備，其中該等資料位元、該等內部位元、及該等碼字位元之該子集包括有下列其中之一者：

該等碼字位元與該等內部位元；

該等碼字位元與一部分該等內部位元；

該等內部位元與一部分該等碼字位元；以及

該等內部位元。

【第10項】 一種電腦可讀儲存媒體，其具有儲存於其上之指令，當該等指令在藉由一運算裝置實施時，致使該

運算裝置：

針對由一極化編碼器所產生、且從與一混合自動重送請求(HARQ)傳輸相關聯之一實體層之一通道所接收的複數個位元，來初始化第一複數個對數似然比(LLR)；

針對一極化解碼器之與該複數個位元相關聯之複數個懸邊來初始化第二複數個LLR；

對該第一複數個LLR及該第二複數個LLR進行複數個操作以產生第三複數個LLR；以及

基於該第三複數個LLR來判定包含具有資料位元之第一複數個位元及第二複數個位元之一資訊區塊的一估計。

【第11項】如請求項10之電腦可讀儲存媒體，其中一用戶設備(UE)或一演進式節點B(eNodeB)包含有該電腦可讀儲存媒體。

【第12項】如請求項10之電腦可讀儲存媒體，其中該等複數個操作包含有加法運算。

【第13項】如請求項10之電腦可讀儲存媒體，其中該等複數個操作各包含有：

用以判定一第一LLR之一絕對值與一第二LLR之一絕對值之一最小LLR的一最小運算；

藉由將該第一LLR之一符號與該第二LLR之一符號相乘以判定一符號的一乘法運算；以及

提供帶有該符號之該最小LLR。

【第14項】如請求項10之電腦可讀儲存媒體，其中被

組配來初始化該第一複數個LLR 並初始化該第二複數個LLR 之該等指令更包含組配以進行下列動作之指令：

將出自與出自該第一複數個位元及該第二複數個位元之凍結位元相關聯之該第一複數個LLR 及該第二複數個LLR 之LLR 初始化成一預定義值；

將與出自該複數個位元之非凍結位元相關聯之該第一複數個LLR 及該第二複數個LLR 之各者初始化成該等非凍結位元之一對應者之所接收LLR 之一總和；以及

針對未收到之位元將出自該第一複數個LLR 及該第二複數個LLR 之LLR 初始化成零。

【第15項】如請求項10之電腦可讀儲存媒體，其中該資訊區塊估計包含有透過該通道傳送的是哪個碼字。

【第16項】如請求項10之電腦可讀儲存媒體，其中該等複數個位元之零或多者與一極化編碼之內部位元相關聯。

【第17項】一種用於進行極化編碼之裝備，其包含有：電子記憶體，其用以儲存要由一極化編碼器模組編碼之具有一長度 K 之複數個資訊位元；以及

一或多個處理單元，其被組配來：

基於一混合自動重送請求(HARQ)方案來選擇被縮短位元之數目之一長度 S 、及被移除位元之數目之一長度 P ；

經由該極化編碼器模組來編碼該複數個資訊位元以產生一基碼字，其具有為 N 減去被縮短位元之該數目之一長度；

經由一交錯器模組交錯處理該極化編碼器模組之一結果以產生一碼字，其包括有減去該等被縮短位元之該基碼字減去該被移除位元之該數目再加上具有長度為 E 之擴充位元之數目；

提供該碼字至一調變模組以產生將該碼字除以由空間串流之數目與每調變之位元之數目之一乘法之一結果之一除法；以及

提供該除法之一結果至一實體層之一通道以傳送一極化碼至一接收裝置。

【第18項】如請求項17之裝備，其中該裝備係一用戶設備 (UE) 或一演進式節點B (eNodeB) 其中一者。

【第19項】如請求項17之裝備，其中該HARQ 方案包括有一追逐組合傳輸。

【第20項】如請求項17之裝備，其中該HARQ 方案包括有一HARQ 增量冗餘 (HARQ-IR) 傳輸。

【第21項】如請求項17之裝備，其中該一或多個處理單元更被組配來：

設定 N 為 $2^{\lceil \log_2(N_{CB}) \rceil}$ ，其中 N_{CB} 係該碼字之一長度；以及

設定 E 為零。

【第22項】如請求項17之裝備，其中該一或多個處理單元更被組配來：

設定 S 為 $N - N_{CB}$ ；以及

設定 P 為零。

【第23項】如請求項17之裝備，其中該一或多個處理單元更被組配來：

設定S為零；以及

設定P為 $N - N_{CB}$ 。

【第24項】如請求項17之裝備，其中該一或多個處理單元更被組配來：

設定N為 $2^{\lfloor \log_2(N_{CB}) \rfloor}$ ，其中 N_{CB} 係該碼字之一長度；以及

設定E為 $N_{CB} - N$ 。

【第25項】如請求項17之裝備，其中該一或多個處理單元更被組配來：

設定S為零；以及

設定P為零。

