



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I550834 B

(45) 公告日：中華民國 105 (2016) 年 09 月 21 日

(21) 申請案號：101108941

(22) 申請日：中華民國 101 (2012) 年 03 月 15 日

(51) Int. Cl. : **H01L27/12 (2006.01)****H01L21/322 (2006.01)****H01L21/02 (2006.01)**

(30) 優先權：2011/03/16 美國

61/453,409

2011/10/11 美國

61/545,891

(71) 申請人：MEMC 電子材料公司 (美國) MEMC ELECTRONIC MATERIALS, INC. (US)  
美國(72) 發明人：利伯特 傑瑞菲 L LIBBERT, JEFFREY L. (US)；非 盧 FEI, LU (US)；史丹利  
羅伯特 W STANDLEY, ROBERT W. (US)

(74) 代理人：陳長文

(56) 參考文獻：

CN 1245971A

US 2004/0224477A1

US 2009/0110898A1

審查人員：王順德

申請專利範圍項數：15 項 圖式數：16 共 64 頁

(54) 名稱

具有在處置晶圓中之高電阻率區域之絕緣體結構矽及用於生產此種結構之方法

SILICON ON INSULATOR STRUCTURES HAVING HIGH RESISTIVITY REGIONS IN THE  
HANDLE WAFER AND METHODS FOR PRODUCING SUCH STRUCTURES

(57) 摘要

本發明揭示絕緣體上矽(SOI)結構，其具有該絕緣體上矽結構之處置晶圓中之一高電阻率區域。本發明亦提供用於生產此種絕緣體上矽結構之方法。例示性方法涉及形成該處置晶圓之一不均勻熱施體分佈及/或修改該處置晶圓之摻雜劑分佈以在該處置晶圓中形成一新電阻率分佈。方法可涉及一或多個 SOI 生產步驟或電子裝置(例如，RF 裝置)生產步驟。

Silicon on insulator structures having a high resistivity region in the handle wafer of the silicon on insulator structure are disclosed. Methods for producing such silicon on insulator structures are also provided. Exemplary methods involve creating a non-uniform thermal donor profile and/or modifying the dopant profile of the handle wafer to create a new resistivity profile in the handle wafer. Methods may involve one or more SOI manufacturing steps or electronic device (e.g., RF device) manufacturing steps.

指定代表圖：

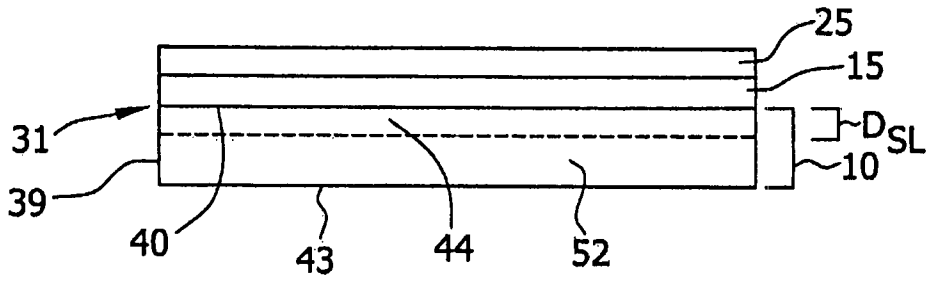


圖 1

符號簡單說明：

- 10 . . . 處置晶圓
- 15 . . . 介電層
- 25 . . . 矽層/薄矽層
- 31 . . . 結構
- 39 . . . 周邊邊緣
- 40 . . . 界面/處置-介電界面
- 43 . . . 後表面
- 44 . . . 表面層
- 52 . . . 塊體層
- $D_{SL}$  . . . 深度

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 1 01 1 089 4 1 i

※申請日： 01. 3. 15 ※IPC 分類：H01L 27/12 (2006.01)

H01L 21/322 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/02 (2006.01)

具有在處置晶圓中之高電阻率區域之絕緣體結構矽及用於生產此種結構之方法

SILICON ON INSULATOR STRUCTURES HAVING HIGH  
RESISTIVITY REGIONS IN THE HANDLE WAFER AND METHODS  
FOR PRODUCING SUCH STRUCTURES

二、中文發明摘要：

本發明揭示絕緣體上矽(SOI)結構，其具有該絕緣體上矽結構之處置晶圓中之一高電阻率區域。本發明亦提供用於生產此種絕緣體上矽結構之方法。例示性方法涉及形成該處置晶圓之一不均勻熱施體分佈及/或修改該處置晶圓之摻雜劑分佈以在該處置晶圓中形成一新電阻率分佈。方法可涉及一或多個SOI生產步驟或電子裝置(例如，RF裝置)生產步驟。

三、英文發明摘要：

Silicon on insulator structures having a high resistivity region in the handle wafer of the silicon on insulator structure are disclosed. Methods for producing such silicon on insulator structures are also provided. Exemplary methods involve creating a non-uniform thermal donor profile and/or modifying the dopant profile of the handle wafer to create a new resistivity profile in the handle wafer. Methods may involve one or more SOI manufacturing steps or electronic device (e.g., RF device) manufacturing steps.

#### 四、指定代表圖：

(一)本案指定代表圖為：第( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

10	處置晶圓
15	介電層
25	矽層/薄矽層
31	結構
39	周邊邊緣
40	界面/處置-介電界面
43	後表面
44	表面層
52	塊體層
$D_{SL}$	深度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明之領域係關於絕緣體上矽結構，且特定而言係關於具有絕緣體上矽結構之處置晶圓中之一高電阻率區域之絕緣體上矽結構。本發明亦係關於用於生產此種絕緣體上矽結構之方法。

本申請案主張2011年3月16日提出申請之美國臨時專利申請案第61/453,409號及2011年10月11日提出申請之美國臨時專利申請案第61/545,891號之權益，該兩個專利皆以引用方式併入本文中。

### 【先前技術】

已發現，高電阻率相當適合射頻(「RF」)應用。特定而言，已發現，高電阻率矽將減小RF電力損失，此有助於一RF系統之主動元件及被動元件，且已發現高電阻率矽將改良隔離性質。具有高電阻率處置晶圓之絕緣體上矽結構(「SOI結構」)之特徵在於相對於高電阻率塊體矽晶圓之增加之良率及增加之裝置效能。

此種SOI結構可用於諸多RF應用中。舉例而言，如Fiorenza等人在「RF Power Performance of an LDMOSFET on High-Resistivity SOI」(IEEE Electron Device Letters, 第26卷, 第1(2005)號)中所報告，具有高電阻率處置晶圓之SOI結構可用於數位邏輯及記憶體皆在同一晶片上之高效能RF電路中。構建於高電阻率SOI結構上之LDMOSFET在經整合之RF電力應用中具有各種用途，包括，舉例而

言，蜂巢式電話、無線LAN、固定無線及耐輻射應用。

構建於高電阻率基板上之SOI結構可係藉由使用一處置晶圓形成，該處置晶圓係藉由所謂之Czochralski方法由自一矽熔融物(其中之雜質可經重複摻雜而增加電阻率)採集之一鑄塊產生。然而，可靠地生產此種處置晶圓係困難的，此乃因矽熔融物及/或坩鍋及類似物中之微量摻雜劑雜質可使電阻率自目標值顯著漂移，且熔融物中之摻雜劑雜質之濃度在採集晶體時將變化，此乃因大多數摻雜劑雜質之偏析係數不等於1。進一步，經Czochralski生長之矽可具有一相對高之填隙氧濃度。在某些裝置處理步驟期間，此氧可凝聚且形成影響晶圓之電阻率之熱施體。另外，高電阻率處置晶圓容易受在介電層(例如，隱埋式氧化物層)附近形成一表面反型層之影響。用於防止基板表面反型之方法(例如，損壞該界面或在該界面處使用一多晶矽層)一般係不合意的，此乃因其係昂貴的且添加了SOI生產處理之複雜性。

對當用於RF應用及特定而言用於高效能之RF電路時呈現經改良之可靠性及良率之SOI結構存在一不斷需要。對於製備此種SOI結構且特定而言允許以一可靠且成本有效方式生產此種結構之方法亦存在一不斷需要。

### 【發明內容】

本發明之一項態樣係關於一種用於製備一絕緣體上矽結構之方法，該絕緣體上矽結構具有一處置晶圓、一矽裝置層及介於該處置晶圓與該矽裝置層之間的一介電層。該處

置晶圓具有一軸線、一半徑、一前表面、一後表面及沿該軸線方向自該前表面延伸至該後表面之一周邊邊緣。該處置晶圓之該前表面與該介電層形成一界面。該處置-介電界面及後表面垂直於該軸線。該處置晶圓進一步包含沿該軸線方向自該處置-介電界面朝向該後表面延伸至一深度 $D_{s1}$ 之一表面層。該表面層包含一高電阻率區域。該處置晶圓包含自該表面層朝向該後表面延伸之一塊體層。該處置晶圓具有在該高電阻率區域中存在一峰值電阻率之一電阻率分佈，該電阻率一般自該峰值電阻率朝向該塊體層減小。該方法包括選擇具有一既定摻雜劑濃度及填隙氧濃度之一處置晶圓。用一第一類型之一摻雜劑摻雜該處置晶圓，該第一類型之該摻雜劑係一p型摻雜劑或n型摻雜劑。藉由如下方法中至少一者在該處置晶圓之該表面層中形成一高電阻率區域：(1)使氧擴散至該處置晶圓中或自該處置晶圓擴散出以在該處置晶圓中形成氧之一不均勻散佈且將具有氧之一不均勻散佈之該晶圓退火以形成熱施體之一不均勻散佈；及(2)用一第二類型之一摻雜劑摻雜該處置晶圓之該表面層，該第二類型之該摻雜劑係一p型或n型摻雜劑且係為不同於該第一類型之一類型。在該施體晶圓及/或該處置晶圓之該前表面中之至少一個表面上形成一介電層。將一施體晶圓與該處置晶圓接合以形成一經接合晶圓，其中該施體晶圓與該處置晶圓沿該軸線以該介電層分離。該介電層在該施體晶圓與介電層之間形成一施體-介電界面且在該介電層與該處置晶圓之前表面之間形成一處

置-介電界面。該經接合晶圓包含位於該施體-介電界面、該處置-介電界面或介於該兩個界面之間的介電層中之一接合界面。自該經接合晶圓移除該施體晶圓之一部分，使得一矽層仍然接合至該介電層以形成該絕緣體上矽結構。

本發明之另一態樣係關於一種絕緣體上矽結構，其包含一處置晶圓、一矽裝置層、介於該處置晶圓與該矽裝置層之間的一介電層。該處置晶圓與該介電層形成一界面且具有一軸線、一半徑、一後表面及沿該軸線方向自處置-介電界面延伸至該後表面之一周邊邊緣。該處置-介電界面及後表面垂直於該軸線。該處置晶圓包含沿該軸線方向自該處置-介電界面朝向該後表面延伸至一深度 $D_{si}$ 之一表面層。該表面層包含一高電阻率區域。該處置晶圓包括自該表面層朝向該後表面延伸之一塊體層。該處置晶圓具有其中在該高電阻率區域中存在一峰值電阻率 $R_{peak}$ 之一電阻率分佈，該電阻率自該峰值電阻率朝向該處置-介電界面且一般自該峰值電阻率朝向該塊體層減小。該峰值電阻率出現在距該界面至少 $1\ \mu\text{m}$ 處。

本發明之再一態樣係關於一種絕緣體上矽結構，其包含一處置晶圓、一矽裝置層、介於該處置晶圓與該矽裝置層之間的一介電層。該處置晶圓與該介電層形成一界面且具有一軸線、一半徑、一後表面及沿該軸線方向自處置-介電界面延伸至該後表面之一周邊邊緣。該處置-介電界面及後表面垂直於該軸線。該處置晶圓包含沿該軸線方向自該處置-介電界面朝向該後表面延伸至一深度 $D_{si}$ 之一表面

層。該表面層包含一高電阻率區域。該處置晶圓包括自該表面層朝向該後表面延伸之一塊體層，該塊體層具有一平均電阻率  $R_{bulk}$ 。該高電阻率區域遍及該高電阻率區域具有超過該塊體之該電阻率  $R_{bulk}$  至少約 50% 之一電阻率，該高電阻率區域具有沿該軸線方向量測之至少約  $1\ \mu\text{m}$  之一厚度  $D_{res}$ 。

本發明之又再一態樣係關於一種絕緣體上矽結構，其包含一處置晶圓、一矽裝置層、介於該處置晶圓與該矽裝置層之間的一介電層。該處置晶圓與該介電層形成一界面且具有一軸線、一半徑、一後表面及沿該軸線方向自處置-介電界面延伸至該後表面之一周邊邊緣。該處置-介電界面及後表面垂直於該軸線。一表面層沿該軸線方向自該處置-介電界面朝向該後表面延伸至一深度  $D_{sl}$ 。該表面層於其中具有一 p-n 接面。該處置晶圓包括自該表面層朝向該後表面延伸之一塊體層。該處置晶圓包含一第一類型之一摻雜劑，一第一類型之該摻雜劑係一 p 型或 n 型摻雜劑。該處置晶圓亦包含一第二類型之一摻雜劑，一第二類型之該摻雜劑係一 p 型或 n 型摻雜劑且係為不同於該第一類型之一類型。該第二類型之該摻雜劑在該處置晶圓之該表面處或附近具有一峰值濃度。一第二類型之該摻雜劑在該前表面處之該濃度超過該第一類型之該摻雜劑在該處置晶圓中之平均濃度。該第二類型之摻雜劑之該濃度一般自該處置晶圓之該前表面朝向該塊體層減小。該第二類型之該摻雜劑之該濃度在該表面層中之一點  $P_{equal}$  處實質上等於該第一類

型之該摻雜劑之該濃度。該第二類型之該摻雜劑之該濃度自  $P_{equal}$  朝向該塊體層小於該第一類型之該摻雜劑之該濃度。

在本發明之又另一態樣中，一種絕緣體上矽結構包含一處置晶圓、一矽裝置層及介於該處置晶圓與該矽裝置層之間的一介電層。該處置晶圓與該介電層形成一界面且具有一軸線、一半徑、一後表面及沿該軸線方向自處置-介電界面延伸至該後表面之一周邊邊緣。該處置-介電界面及後表面垂直於該軸線。一表面層沿該軸線方向自該處置-介電界面朝向該後表面延伸至一深度  $D_{sl}$ 。該處置晶圓包含自該表面層朝向該後表面延伸之一塊體層。該處置晶圓包含一第一類型之一摻雜劑，一第一類型之該摻雜劑係一 p 型或 n 型摻雜劑。該處置晶圓在該表面層中具有氧濃度分佈，使得該處置晶圓能夠在一隨後產生熱施體退火之後旋即在該表面層中形成一 p-n 接面。

關於本發明之上述態樣所提及之特徵存在各種改進方案。並且，亦可將另外特徵併入本發明之上述態樣中。此等改進方案及另外特徵可個別地或以任一組合存在。舉例而言，可將下文關於本發明之所圖解說明實施例中之任一者論述之各種特徵單獨地或以任一組合併入本發明之上文所闡述之態樣中之任一者中。

### 【實施方式】

在該等圖式中，對應參照字元指示對應部分。

根據本發明，提供具有一處置晶圓之 SOI 結構，該處置晶圓具有在介電層界面處或附近具有一高電阻率區域之一

表面層。一般而言，該處置晶圓具有其中在該高電阻率區域中存在一峰值電阻率之一電阻率分佈，其中該電阻率一般朝向該處置晶圓之後表面減小。在某些實施例中，該電阻率朝向該介電-處置界面亦減小。在不受一特定理論約束下，據信，具有此種電阻率分佈之SOI結構可具有較小諧波失真及/或較不易受到處置晶圓表面反型之影響。

現在參照圖1，其展示根據本發明之一或多項實施例產生之一SOI結構31。SOI結構31包括一處置晶圓10、一矽層25及介於該處置晶圓10與矽層25之間的一介電層15。處置晶圓10與介電層15形成一界面40。處置晶圓10一般係一薄圓柱體且具有一軸線、一半徑、一後表面43及沿該軸線方向自處置-介電界面40延伸至後表面43之一周邊邊緣39。處置-介電界面40及後表面43垂直於該軸線。處置晶圓10包括沿該軸線方向自處置-介電界面40朝向後表面43延伸至一深度 $D_{SL}$ 之一表面層44。表面層44包括於其中(未展示)具有一電阻率峰值之一高電阻區域。一塊體層52自表面層44朝向後表面43延伸。處置晶圓10具有其中一峰值電阻率存在於該高電阻率區域中之一電阻率分佈，其中該電阻率自該峰值電阻率朝向塊體層52一般減小。在某些實施例中，該電阻率一般自該峰值電阻率朝向處置-介電界面40亦減小。

熟習此項技術者一般已知多層結構及(特定而言)絕緣體上矽結構及用於生產絕緣體上矽結構之方法(參見，舉例而言，美國專利第5,189,500號、第5,436,175號及第

6,790,747號，該等專利中之每一者皆出於所有相關及一致目的而以引用方式併入本文中)。在用於製作一多層結構之一例示性製程中，製備兩個分離結構、將該兩個分離結構沿一接合界面接合且然後薄化(例如，沿一分離平面藉由分層來移除其中之一部分，該分離平面可係藉由植入及/或藉由蝕刻、研磨或類似製程形成)。一個結構通常稱作「處置」晶圓(或結構)，且另一個結構通常稱作「施體」晶圓(或結構)。在將施體晶圓與處置晶圓接合在一起之前，可在該施體晶圓、處置晶圓或兩者之表面上形成(例如，經沈積或生長)一介電層。就此而言，可使用用於製備一SOI結構之其他方法(諸如，舉例而言磊晶層轉移製程)，而不背離本發明之範疇。

通常，至少施體晶圓且更通常地施體晶圓及處置晶圓兩者皆由單晶矽晶圓組成，然而，應注意，可使用其他開始結構(且特定而言其他施體晶圓結構)，諸如多層結構及/或異質性分層結構，而不背離本發明。

施體晶圓可係單晶矽或一矽鍍合金，且較佳地係一單晶矽晶圓。施體晶圓可含有矽、鍍、砷化鍍、矽鍍、氮化鍍、氮化鋁、及其組合。然而，通常，根據本發明之方法使用之處置晶圓及施體晶圓係單晶矽晶圓且一般係自根據習用Czochralski晶體生長方法生長的一單晶體鑄塊切片之單晶矽晶圓。因此，以下論述出於說明性目的頻繁提及一特定類型之多層結構，亦即SOI結構。就此而言，應注意，根據本發明所用的處置晶圓及/或施體晶圓(及甚至經

受下文中所闡述之拋光及清潔步驟之一塊體矽晶圓)可係適合熟習此項技術者所用的任何直徑，包括(舉例而言)150 mm、200 mm、300 mm、大於300 mm或甚至450 mm直徑之晶圓。

根據本發明之實施例，用一或多種p型摻雜劑或一或多種n型摻雜劑摻雜用於生產本發明之SOI結構之開始處置晶圓。典型之n型摻雜劑包括(舉例而言)磷、砷及銻。典型之p型摻雜劑包括(舉例而言)硼、鋁及鎵。無論該(等)摻雜劑為何物，摻雜劑之總濃度係使得處置晶圓具有至少約50歐姆/公分之一電阻率(亦即，塊體電阻率)。在本發明之某些實施例中，開始基板具有至少約100歐姆/公分、至少約250歐姆/公分、至少約500歐姆/公分、至少約1,000歐姆/公分或甚至至少約5,000歐姆/公分(例如，自約50歐姆/公分至約10,000歐姆/公分、自約100歐姆/公分至約5,000歐姆/公分或自約100歐姆/公分至約1,000歐姆/公分)之一電阻率。

除一或多種p型或n型摻雜劑之外，根據本發明之方法於其中形成一高電阻率區域之開始處置晶圓還將含有氧。一般而言，開始處置晶圓將具有對經Czochralski生長之矽為典型之氧濃度，諸如在約 $1.5 \times 10^{17}$ 至約 $9 \times 10^{17}$ 個原子/cm<sup>3</sup>或自約 $1.5 \times 10^{17}$ 至約 $9 \times 10^{17}$ 個原子/cm<sup>3</sup>(例如，自約3 ppma至約18 ppma且較佳地自約4 ppma至約7 ppma或甚至至約8 ppma)內之氧濃度。在某些實施例中，該氧濃度可甚至低於約3 ppma。然而，應注意，氧濃度可相差巨大，而不背

離本發明之範疇。一般而言，單晶矽晶圓可具有歸屬於通常可藉由Czochralski製程達成之範圍內任何之處或甚至該範圍之外的氧濃度。

一旦選擇處置晶圓，便使該處置晶圓經受一定數目個替代製程步驟中之至少一者(其亦可組合地執行)以形成其中距該處置晶圓之表面一距離(例如，距該表面約1  $\mu\text{m}$ 或更多)地或在該處置晶圓之表面處形成一峰值電阻率之一電阻率分佈，其中該電阻率一般朝向該晶圓塊體減小。用於操控電阻率分佈之製程步驟係基於摻雜劑類型(亦即，p型或n型)及濃度及/或該開始處置晶圓之氧濃度來挑選。

端視摻雜劑之類型及濃度且端視影響熱施體之稍後形成之氧濃度，可藉由向外擴散或向內擴散製程操控處置晶圓中之氧分佈及/或可使摻雜劑濃度變化以形成其中電阻率超過處置晶圓之塊體電阻率的處置晶圓之一高度補償區域。應注意，下文所闡述的用於形成此一高電阻率區域之方法係例示性的且不應按一限制意義考量。就此而言，由於摻雜劑類型、摻雜劑濃度及氧濃度之組合眾多，因而未闡述所有組合。熟習此項技術者藉由參照下文所闡述之例示性方法可判定用於針對非例示性組合在處置晶圓中形成一高電阻率區域之方法。

#### **p型開始處置晶圓**

p型處置晶圓中之高電阻率區域可端視該晶圓中氧之濃度(亦即，相依於由氧形成之熱施體之形成)及p型摻雜劑之濃度而藉由兩個方法中之至少一者形成。p型摻雜劑在該

處置晶圓中充當電子受體。因此，可藉由(1)形成充當在該晶圓形成熱施體之一模板之氧分佈來在該晶圓中達成補償。在使該經氧分佈化之晶圓經受一產生熱施體退火之後，熱施體旋即根據該模板而形成且與該等電子受體組合，藉此影響電阻率分佈。在某些實施例中，晶圓中之熱施體分佈(藉由在熱施體形成之前的氧之向內擴散或向外擴散來操控)係使得在該晶圓厚度內之某一點處熱施體之數目實質上等於摻雜劑受體(亦即，p型摻雜劑)之數目，及/或(2)用n型摻雜劑摻雜該晶圓使得n型摻雜劑(及此外之熱受體(當存在時))之數目實質上等於摻雜劑受體之數目。

在本發明之某些實施例中且如在圖2中所展示，該開始p型晶圓具有一相對低氧濃度使得在使該晶圓經受一產生熱施體之退火時(例如，大約400°C至450°C達1至2小時)，熱施體之數目( $N_{TD}$ )小於受體(亦即，p型摻雜劑)之數目( $N_a$ )。此處置晶圓有效地充當p型晶圓( $N_{eff}$ )。就此而言，應注意，圖2至圖9中之受體( $N_a$ 及偶爾之 $N_{eff}$ )係藉由實線展示，且施體( $N_d$ 及偶爾之 $N_{eff}$ )係展示為虛線。亦應注意，處置晶圓之電阻率與 $1/N_{eff}$ 成正比(亦即，當 $N_{eff}$ 為低時，電阻率為高，且反之亦然)。

根據本發明且如在圖3中所展示，可藉由在產生熱施體退火之前使氧向內擴散以便在該處置晶圓中形成氧之一不均勻散佈來在圖2之晶圓中形成一高電阻率區域。在該處置晶圓之接近表面區域中之額外氧增加此區域中所形成之熱施體數目。熱施體之此增加允許熱施體之數目變得實質

上等於受體之數目，藉此在此區域中補償該晶圓且增加該電阻率。如在圖3中可見， $N_{\text{eff}}$ 在此接近表面區域中接近零，此形成類似於下文所闡述的在圖10中展示的電阻率峰值之一電阻率峰值。就此而言，在較高氧濃度之擴散氧下，該等額外熱施體使得在該晶圓內形成一p-n接面，其中在該p-n接面處達成補償。應理解，出於本發明之目的，一「p-n接面」係作為在(1)熱施體與n型摻雜劑之總和與(2)p型摻雜劑之間的補償之一結果而出現的一接面。亦應注意，在圖3之晶圓之某些實施例中，在前進至處置晶圓之表面時，熱施體之數目可增加，但非係以按照在該處置晶圓前表面處熱施體超過受體之數目之一速率之一速率增加(亦即，在該表面處受體實質上等於或超過熱施體之數目)。在此等實施例中，雖然在該晶圓中未形成一p-n接面，但朝向該表面電阻率增加，從而致使在該表面處而非如在圖3中所展示在距該表面一距離處達成一峰值電阻率。

在本發明之某些實施例中且參照圖4，可藉由用一些n型摻雜劑摻雜p型處置晶圓來在p型處置晶圓中形成高電阻率區域，該摻雜一般係經由處置晶圓之前表面進行。一般而言，該表面摻雜造成在該處置晶圓之該表面處之一最大n型摻雜劑濃度，其中該濃度朝向該處置晶圓裏減小。此摻雜劑分佈補償p型摻雜劑。在某些實施例中，該摻雜劑補償可甚至高得足以使該表面反型，且致使在該處置晶圓內形成一p-n接面。在該晶圓內之一距離處，n型摻雜劑(亦

即，施體)與p型摻雜劑(亦即，受體)之數目變得實質上相等(亦即，在p-n接面處)，從而造成該處置晶圓中之補償及一電阻率峰值。在某些實施例中，該晶圓中之p型摻雜劑與n型摻雜劑之數目在該處置晶圓之該表面處實質上相等，此形成出現在該表面處之電阻率峰值。

應注意，圖4未對熱施體作出解釋。在某些實施例中，處置晶圓中之氧之濃度將足夠高以便影響達成補償所處於之點。就此而言，熱施體與n型摻雜劑具有一加性效應，此乃因兩者皆係電子施體。圖5展示類似於圖4之一晶圓分佈；然而，圖5之分佈展示存在熱施體。如自圖5可見，相對於圖4，熱施體與n型摻雜劑之加性效應致使該處置晶圓之前表面處之電阻率減小且該電阻率峰值出現在距該處置晶圓之該表面更遠處。應理解，在某些實施例中，氧濃度足夠低使得形成微量之熱施體，且該晶圓如同圖4之處置晶圓一樣作用，其中熱施體不顯著影響電阻率分佈。

在某些實施例中且如在圖6中所展示，由於一相對高氧濃度，在一產生熱施體退火之後形成於處置晶圓中之熱施體超過p型摻雜劑之數目。因此，圖6之處置晶圓有效地充當一n型晶圓。根據本發明之實施例，可藉由使氧通過該處置晶圓之前表面自該處置晶圓向外擴散(如下文更詳細解釋)來形成氧之一不均勻散佈及如圖7中所展示之所形成之熱施體而在圖6之晶圓中形成一高電阻率區域(及特定而言在此一區域中之一電阻率峰值)。該向外擴散製程使得在該處置晶圓之該表面附近形成較少熱施體，此允許在此

表面層內補償該晶圓，藉此在該表面附近(或甚至在該表面本身處)形成一電阻率峰值。應注意，較佳地，不用除p型摻雜劑之外的n型摻雜劑摻雜圖6之p型晶圓(特定而言，在該晶圓之該表面層處)，此乃因此種n型摻雜劑需要額外之氧之向外擴散來抵消該等額外n型摻雜劑及達成補償。

在某些實施例中及如圖6中所展示，p型晶圓係其中具有一相對均勻之p型摻雜劑濃度之一p型晶圓；然而，已通過該晶圓之前表面用額外之p型摻雜劑摻雜該晶圓(例如，藉由在如鋁之p型污染物中驅動)。若該晶圓如圖8中所展示含有相對高數目個熱施體(亦即，熱施體超過p型摻雜劑)，則在一隨後產生熱施體退火之後，可藉由使氧自該晶圓向外擴散以便減小在該處置晶圓之該表面附近之熱施體之數目( $N_{TD}$ )來形成一p-n接面。若熱施體之數目最初小於p型摻雜劑(未展示)，則可使氧向內擴散至晶圓中以形成該p-n接面。

就此而言，應理解，可使p型開始處置晶圓經受氧向外擴散、氧向內擴散及/或n型摻雜中之任一組合以在該處置晶圓中達成補償及出現在該補償區域附近之所形成之峰值電阻率。向外擴散、向內擴散及/或摻雜之相對量應足以達成此補償且相依於開始處置晶圓p型摻雜劑濃度及氧濃度。亦應注意，雖然該等電阻率峰值(亦即， $N_{eff}$ 中之驟降)在圖3、圖4、圖5、圖7及圖8中係展示為出現在距該表面一距離處，但該峰值亦可出現在該表面本身。此外，應注意，圖2至圖10中之處置晶圓之該前表面對應於y軸，除

非另有指示。亦應理解，在某些實施例中，作為一或多個退火步驟之一結果，p型或n型摻雜劑本身可自該晶圓向外擴散，且摻雜劑之此向外擴散可影響該晶圓之電阻率分佈，如熟習此項技術者所瞭解。

應注意，圖2至圖8之p型開始處置晶圓可含有一定數目個n型摻雜劑，該等摻雜劑作為一雜質(例如，存在於晶體熔融物中之雜質)存在於該晶圓中且此等摻雜劑可影響該處置晶圓之電阻率分佈。此外，下文所闡述之圖9及圖10之n型開始處置晶圓可含有可影響電阻率分佈之p型摻雜劑雜質。就此而言，應理解，考量在形成晶體時針對n型摻雜劑雜質來補償本文中所闡述之「p型」開始處置晶圓，且反之亦然。

#### n型開始處置晶圓

n型開始處置晶圓(亦即，遍及塊體具有n型摻雜劑之晶圓)不同於p型開始處置晶圓，此乃因不可單獨操控晶圓之熱施體分佈來藉由補償以形成一高電阻率區域。可藉由用一或多種p型摻雜劑摻雜該n型開始晶圓來在該晶圓中形成一高電阻率區域。舉例而言且如在圖9中所展示，該處置晶圓具有一開始n型摻雜劑濃度( $N_d$ )且具有一定數目個熱施體( $N_{TD}$ )。如在圖10中可見，可藉由通過圖9之晶圓之表面用一定數目個p型摻雜劑( $N_a$ )摻雜該晶圓來在該晶圓中形成一高電阻率區域。該等p型摻雜劑在該n型處置晶圓中使得形成一p-n接面，此形成其中晶圓之電阻率增加之一高度補償區域。

應注意，雖然單獨地使氧向外擴散或向內擴散至n型開始處置晶圓中一般不能在該處置晶圓中形成一高電阻率分佈，但向外擴散及/或向內擴散製程可影響該處置晶圓之電阻率分佈。舉例而言，使氧自該處置晶圓之表面向外擴散減小在該晶圓表面處熱施體之數目，藉此減小形成該高度補償區域所用的p型摻雜劑之數目。此外，若使氧向內擴散至晶圓中，則在該晶圓中形成一電阻率峰值將需要相對高數目個p型摻雜劑。

就此而言，應理解，可使n型開始處置晶圓經受p型摻雜、氧向外擴散或氧向內擴散中之任一組合以形成在該處置晶圓中一高電阻率區域。p型摻雜應足以在該晶圓中形成一高度補償區域且相依於開始處置晶圓n型摻雜劑濃度及氧濃度。亦應注意，雖然圖10之電阻率峰值係展示為出現在距該表面一距離處，但該峰值亦可出現在該表面本身處。

#### 氧向內擴散及向外擴散製程及熱施體形成

如上文所論述，在本發明之某些實施例中，期望使氧向外擴散或向內擴散至開始處置晶圓中以影響其中之電阻率分佈。就此而言，可使用熟習此項技術者已知的用於達成氧之向內擴散或向外擴散之任何方法。在本發明之某些實施例中，藉由在協助氧之向外擴散或向內擴散之一組製程條件下將該晶圓退火來達成氧向內擴散或向外擴散，如下文進一步闡釋。

在其中處置晶圓之前表面無氧(例如，於其上未沈積有

氧化物層，諸如一自然氧化物層)之實施例中及在其中該表面含有氧(例如，在SOI生產之後在該處置晶圓之前表面處存在一個氧化物層，諸如一自然氧化物層或介電層)之實施例中可使氧自該處置晶圓向外擴散。在其中無氧化物層之實施例中，可藉由在相對無氧(例如，少於約100 ppm)之一環境中藉由加熱該處置晶圓來使氧自該晶圓之前表面向外擴散。在此等實施例中，向外擴散可出現在高於環境之任一溫度下，其中較高溫度對應於較快之向外擴散速率。在其中處置晶圓不含有一表面氧化物層之實施例中於其中執行向外擴散退火之適合環境包括(舉例而言)對矽實質上為惰性之氣體(例如，惰性氣體)及氫氣。

在其中處置晶圓在其表面上具有一個氧化物層之實施例中，可藉由在於其下氧平衡溶解度限制 $O_{equil}$ 小於塊體氧濃度 $O_i$ 之一溫度下將該晶圓退火來使氧向外擴散。換言之，一般而言，應維持該退火溫度小於平衡氧濃度 $O_{equil}$ 等於或超過塊體氧濃度 $O_i$ 所處之溫度。應注意，該氛圍中之可允許氧量可相依於該退火溫度，且相反地，該退火溫度可係鑒於該氛圍中之氧量來選擇。若該晶圓之表面上存在一個氧化物層，則該環境之氧濃度可相差巨大且適合環境包括(舉例而言)惰性氣體、氫氣及氧氣。

無論處置晶圓在其前表面上是否包括一表面氧化物，向外擴散退火之時間長度相依於自該處置晶圓之前表面至期望使氧擴散至該晶圓中所至之深度。較佳地，該退火之時間長度係至少約10分鐘或至少約30分鐘、至少約1小時、

至少約2小時或至少約4小時(例如，自約10分鐘至約6小時)。應注意，亦可藉由作為該SOI生產製程及/或電子裝置生產製程之一部分出現之熱退火(例如，在約1100°C至1125°C下之高溫接合退火(諸如約一1至4小時之退火))來影響氧分佈。此外，向外擴散退火本身可係在此生產製程期間出現之一退火。

一般而言，退火之長度及退火之溫度應經選擇以足以在處置晶圓之一表面區域中形成一高電阻率區域(例如，其中一峰值電阻率一般出現在接面處或其中晶圓朝向該處置晶圓之前表面越來越多地被補償之一p-n接面)。就此而言，應注意，此等參數亦可相依於該晶圓是否亦用不同於該塊體晶圓摻雜劑之一類型之一摻雜劑摻雜(例如，是否通過一p型處置晶圓之前表面用n型摻雜劑摻雜該晶圓或反之亦然)且亦可相依於該開始處置晶圓氧含量。

關於氧之向內擴散，可藉由在該表面上形成一種氧化物(例如，SOI生產之後的自然氧化物或介電層)且將該晶圓加熱至於其下平衡氧濃度 $O_{equil}$ 超過塊體氧濃度 $O_{bulk}$ 之一溫度使氧通過該晶圓之前表面向內擴散。就此而言，該退火溫度應大於於其下氧平衡濃度 $O_{equil}$ 實質上等於塊體濃度 $O_{bulk}$ 之溫度。應注意，可藉由(舉例而言)在含有氧氣之一氛圍中退火來在該退火本身期間在該晶圓之表面上形成表面氧化物層。在各種實施例中，向內擴散退火之時間長度係至少約10分鐘或至少約30分鐘、至少約1小時、至少約2小時或至少約4小時(例如，自約10分鐘至約6小時)。

類似於上文所闡述之向外擴散製程，一般而言，退火氣體中之氧濃度(若有)、向內擴散退火之時間長度及退火之溫度應經選擇足以在處置晶圓之一表面區域中形成一高電阻率區域。此等參數亦可相依於該晶圓是否亦用不同於塊體晶圓摻雜劑類型之一類型之一摻雜劑摻雜，且亦可相依於該開始處置晶圓氧濃度及該電阻率層之期望厚度。

應注意，上文所敘述之用於氧向外擴散退火及氧向內擴散退火之製程條件係例示性的且可使用所闡述條件之外的條件。可選擇參數之任何組合使得在處置晶圓中達成期望之電阻率分佈。就此而言，此等參數之選擇一般在熟習此項技術者之技能內且可(舉例而言)藉由常規試驗以經驗方式判定此等參數之選擇。

在其中期望向內擴散氧之實施例中(例如，在p型晶圓中，用於形成熱施體)，可藉由執行於其中填隙氧凝聚以形成熱施體之一產生熱施體退火來形成熱施體。就此而言，本文中術語「熱施體」之使用不應限於任何特定結構。此等熱施體可包括(舉例而言)氧凝聚物(例如，至少兩個或三個氧原子之一凝聚物)。

在本發明之各種實施例中，在至少約350°C之一溫度下執行該產生熱施體退火。一般而言，在小於約550°C之一溫度下執行該產生熱施體退火，此乃因超過約550°C之溫度致使熱施體分離回為填隙氧。在某些實施例中，形成熱施體，且然後熱施體因諸如SOI形成或RF處理等隨後處理而分離。在此等實施例中，可執行一第二產生熱施體退火

以在該處置晶圓中形成熱施體(亦即，可在已執行超過550°C之所有處理步驟之後執行一產生熱施體退火)。

該產生熱施體退火可執行達至少約5分鐘或至少約10分鐘、至少約30分鐘或至少約1小時(例如，自約5分鐘至約5小時、自約5分鐘至約3小時或自約30分鐘至約3小時)。一般而言，可在任何環境中執行該產生熱施體退火。例示性環境包括：(舉例而言)惰性氣體(例如，氫氣)、氮氣、氧氣、氫氣及此等氣體之混合物。

應注意，該產生熱施體退火可形成該SOI生產方法之一部分及/或可形成該RF電路生產製程之一部分。一般而言，其中將處置晶圓加熱至自約350°C至約550°C之一溫度之任何製程及其中不發生一隨後分離事件(例如，其中將晶圓加熱至高於約550°C之製程)之任何製程係適合的。在其中該產生熱施體退火形成該裝置生產製程(例如，RF生產製程)之一部分之實施例中，在此生產製程之前SOI結構之處置晶圓在表面層中可具有氧濃度分佈，使得該處置晶圓能夠在一隨後產生熱施體退火後即在該表面層中形成一p-n接面(或，如在其他實施例中，在處置晶圓之前表面處形成一峰值濃度)。此種SOI結構可係n型或p型(亦即，僅含有n型摻雜劑或額外地含有少於p型摻雜劑之一雜質濃度之一定數目個p型摻雜劑或僅含有p型摻雜劑或額外地含有少於n型摻雜劑之一雜質濃度之一定數目個n型摻雜劑)。

此外，應注意，雖然熱施體不能夠在n型開始處置晶圓

中形成一p-n接面，但當n型晶圓含有大量氧且一產生熱施體退火可作為SOI或RF裝置生產之一部分發生時，此種熱施體通常偶爾在此等晶圓中形成。由於該產生熱施體退火不可避免地形成此等製程之一部分，因而在本發明之某些實施例中，使氧向外擴散以控制此等偶爾形成之熱施體之分佈。

就此而言，應注意，執行該產生熱施體退火所處之溫度及執行該產生熱施體退火之時間長度可影響該熱施體分佈，其中在較高溫度及較長時間之退火下形成相對較多熱施體。應組合氧向外擴散或向內擴散參數來選擇退火之溫度及時間長度，且如在某些實施例，與摻雜劑分佈組合來選擇退火之溫度及時間長度以在晶圓中產生期望之電阻率分佈。一般而言，對此等參數之組合之選擇係在熟習此項技術者之技能內。

#### 用於形成一P-N接面之處置晶圓摻雜

如上文所論述，可通過一p型開始處置晶圓之前表面用一定數目個n型摻雜劑摻雜該晶圓以在該處置晶圓之一表面層內形成一重補償區域或甚至一p-n接面，或可用一定數目個p型摻雜劑摻雜一n型開始處置晶圓以形成該接面及所形成之高電阻率區域。可使用任何數目個熟習此項技術者已知的技術來用第二類型之摻雜劑摻雜該處置晶圓。舉例而言，可藉由植入或藉由在施加至該處置晶圓之前表面之摻雜劑原子中「驅動」來摻雜該開始處置晶圓。摻雜劑原子可藉由用含有該等摻雜劑原子之一溶液接觸該晶圓之

前表面或藉由用液體金屬摻雜劑來接觸其或藉由濺鍍來施加至該晶圓之該表面。一旦經施加，即可藉由將該晶圓退火至於其下摻雜劑平衡溶解度超過該塊體中之第二類型之摻雜劑濃度之一溫度來將該第二類型之摻雜劑驅動至該晶圓中。對於典型摻雜劑(例如，硼或磷)，該驅動進入退火可在至少約900°C、至少約1,000°C或甚至至少約1,100°C之一溫度下執行，且退火之時間長度可係至少約15分鐘、至少約30分鐘或甚至至少約1小時。應注意，所敘述之溫度及退火時間長度僅係例示性的且可不限制地使用其他溫度及退火時間長度。

就此而言，應理解，該退火可形成一現有生產製程之一部分且不必係出於將摻雜劑驅動進晶圓中之目的而專門執行的一分離退火。此外，該驅動進入退火可出現在與上文所闡述之產生熱施體退火相同之退火製程中；然而，應注意，為達成摻雜劑之充分擴散，一單獨退火可係較佳的。應注意，在本發明之某些實施例中，並非藉由一單獨製程步驟將第二類型之摻雜劑施加至晶圓之前表面；而是，該晶圓之該表面上之一第二類型之此等雜質係由一或多個現有處理步驟形成之污染物。可產生此等表面污染物之例示性處理步驟包括(舉例而言)晶圓清潔製程及於其中晶圓之前表面曝露至空氣污染物之任何製程(例如，曝露至一清潔室環境中，此可在處置晶圓之表面上積聚硼)。

該摻雜量應經選擇使得在該處置晶圓中形成一p-n接面(或，如在某些實施例中，使得該晶圓朝向該表面被更多

地補償，藉此在該表面處形成一電阻率峰值)。就此而言，該摻雜亦將相依於該處置晶圓中之熱施體分佈。因此，在其中處置晶圓係一n型處置晶圓(亦即，遍及該晶圓，摻雜有一相對均勻濃度之n型摻雜劑)且通過該前表面用p型摻雜劑予以摻雜之實施例中，一般而言，p型摻雜劑之濃度在該晶圓之該表面附近超過n型摻雜劑之濃度，其中p型摻雜劑之濃度朝向該處置晶圓之塊體層一般減小。p型摻雜劑減小至一點 $P_{equal}$ ，在此點處，p型摻雜劑實質上等於n型摻雜劑(及視情況熱施體)之數目。在此點(或區域)處，該晶圓被高度補償，從而形成一峰值電阻率(其可或可不發生於 $P_{equal}$ 處，此相依於是否存在熱施體)。超過該晶圓中之此點，施體之濃度超過p型摻雜劑之濃度。在其中處置晶圓係一p型處置晶圓且通過前表面用n型摻雜劑予以摻雜之實施例中，一般而言，在該晶圓之該表面附近，n型摻雜劑之濃度超過p型摻雜劑之濃度，其中n型摻雜劑之濃度朝向該晶圓之塊體層一般減小，直至兩種類型之摻雜劑之濃度在 $P_{equal}$ 處變得實質上相等為止。自 $P_{equal}$ 前進至該塊體層，p型摻雜劑之濃度一般超過n型摻雜劑之濃度。

應注意，可不限制地使用除所闡述的各別n型及p型摻雜劑之濃度分佈之外的濃度分佈。舉例而言，開始處置晶圓中之第一類型之摻雜劑一般係闡述為相對均勻地遍及該晶圓。然而，該開始摻雜劑之濃度可在該處置晶圓內變化。舉例而言，可用第一類型之摻雜劑將開始處置晶圓摻雜至

僅距該晶圓之表面某一距離 $D_1$ 處。一般而言，在此等實施例中，將一第二類型之摻雜劑驅動至該晶圓中之僅至一距離 $D_2$ 處， $D_2$ 小於 $D_1$ 。

### 處置晶圓電阻率分佈

在圖 11 中展示根據實例 1 製備之數個處置晶圓之電阻分佈。如自圖 11 可見且根據本發明之數個實施例，該處置晶圓具有其中峰值電阻率( $R_{peak}$ )出現在距該處置晶圓之前表面一距離處之一電阻率分佈。然而，應理解，圖 11 之電阻率分佈僅係例示性，且在本發明之其他實施例中，該峰值出現在該晶圓之該表面處。在其中峰值確實出現在距該表面一距離處之實施例中， $R_{peak}$ 可出現在距該表面(或當併入至一 SOI 晶圓中時之介電-處置界面)至少約  $0.1 \mu\text{m}$  或甚至距該表面至少約  $1 \mu\text{m}$  或甚至至少約  $2 \mu\text{m}$  (例如，自約  $0.1 \mu\text{m}$  至約  $15 \mu\text{m}$ 、自約  $1 \mu\text{m}$  至約  $15 \mu\text{m}$ 、自約  $2 \mu\text{m}$  至約  $10 \mu\text{m}$ 、自約  $0.1 \mu\text{m}$  至約  $5 \mu\text{m}$  或自約  $1 \mu\text{m}$  至約  $5 \mu\text{m}$ ) 處。在本發明之某些實施例中，峰值電阻率  $R_{peak}$  係至少約 1,000 歐姆/公分，或如在其他實施例中，至少約 2,000 歐姆/公分、至少約 5,000 歐姆/公分、至少約 7,500 歐姆/公分、至少約 10,000 歐姆/公分或甚至至少約 20,000 歐姆/公分(例如，自約 1,000 歐姆/公分至約 100,000 歐姆/公分、自約 1,000 歐姆/公分至約 50,000 歐姆/公分、自約 1,000 歐姆/公分至約 25,000 歐姆/公分或自約 5,000 歐姆/公分至約 25,000 歐姆/公分)。

此外，就此而言，峰值電阻率  $R_{peak}$  與塊體電阻率  $R_{bulk}$  之

電阻率差可係至少約1,000歐姆/公分、至少約2,000歐姆/公分、至少約5,000歐姆/公分、至少約7,500歐姆/公分或甚至至少約10,000歐姆/公分(例如,自約1,000歐姆/公分至約75,000歐姆/公分、自約1,000歐姆/公分至約25,000歐姆/公分、自約1,000歐姆/公分至約15,000歐姆/公分或自約5,000歐姆/公分至約25,000歐姆/公分)。此外,峰值電阻率 $R_{peak}$ 與塊體電阻率 $R_{bulk}$ 之比率可係至少約2:1、至少約3:1、至少約5:1或至少約7:1(例如,自約2:1至約100:1、自約2:1至約75:1、自約2:1至約50:1、自約3:1至約50:1或自約3:1至約25:1)。

該處置晶圓在其前表面處亦具有一電阻率 $R_{HD}$ ,該前表面在SOI製作之後與該介電層形成一界面。如上文所述,在某些實施例中,電阻率峰值 $R_{peak}$ 出現在該表面/界面處。在此等實施例中, $R_{peak}$ 等於 $R_{HD}$ 。然而,在其他實施例中且如在圖11中所展示,該電阻率自 $R_{peak}$ 至該晶圓之該表面一般減小。在此等實施例中, $R_{peak}$ 與 $R_{HD}$ 之比率可至少約2:1、至少約3:1、至少約5:1或至少約7:1(例如,自約2:1至約100:1、自約2:1至約75:1、自約2:1至約50:1、自約3:1至約50:1或自約3:1至約25:1)。在某些實施例中,自 $R_{peak}$ 與 $R_{HD}$ 之電阻率之差係至少約1,000歐姆/公分、至少約2,000歐姆/公分、至少約5,000歐姆/公分、至少約7,500歐姆/公分或至少約10,000歐姆/公分(例如,自約1,000歐姆/公分至約75,000歐姆/公分、自約1,000歐姆/公分至約25,000歐姆/公分、自約1,000歐姆/公分至約15,000歐姆/公

分或自約5,000歐姆/公分至約25,000歐姆/公分)。

本發明之實施例之處置晶圓一般具有一高電阻率區域，在該高電阻率區域中，該電阻率超過該晶圓塊體中該處置晶圓之電阻率。出於本發明之目的，晶圓塊體之電阻率係在使該晶圓經受用於形成一高電阻率區域之本發明之方法(例如，熱施體形成及在該晶圓中使用一第二類型之摻雜劑)之前該塊體中之平均電阻率。此外，就此而言，在本發明之某些實施例中，該高電阻率區域開始於晶圓之電阻率在某一晶圓深度處超過該塊體電阻率該塊體電阻率之至少約50%時(例如，具有約一2,000歐姆/公分之塊體電阻率之一處置晶圓之高電阻率區域應包括電阻率超過約3,000歐姆/公分之任何軸向區域)。在其他實施例中，該高電阻率區域開始於晶圓之電阻率在某一晶圓深度處超過該塊體電阻率至少約75%、至少約100%、至少約150%或甚至至少約200%時。

本發明之實施例之處置晶圓之高電阻率區域一般係闡述為出現在自處置晶圓之前表面延伸至一深度 $D_{SL}$ 之處置晶圓之一表面區域中。應注意，在某些實施例中，本發明之處置晶圓之高電阻率區域不延伸至該處置晶圓之前表面，此乃因電阻率自該峰值朝向該表面可減小至低於該高電阻率區域之臨限位準(例如，大於該塊體電阻率約50%)或甚至低於該塊體本身之電阻率。因此，應理解，高電阻率區域存在於此表面層內但未必延伸至該處置晶圓之前表面。

就此而言，該表面層之深度 $D_{SL}$ 一般對應於自晶圓之前

表面至該高電阻率區域之最低點(亦即，晶圓塊體與高電阻率區域之間的界面)之距離，或在其中處置晶圓已併入至一SOI結構中之實施例中自介電-處置界面至該高電阻率區域之最低點之距離。在本發明之一或多項實施例中，該表面區域之深度 $D_{SL}$ 係至少約 $5\ \mu\text{m}$ 、至少約 $10\ \mu\text{m}$ 、至少約 $15\ \mu\text{m}$ 、至少約 $20\ \mu\text{m}$ 或甚至至少約 $25\ \mu\text{m}$ (例如，自約 $5\ \mu\text{m}$ 至約 $100\ \mu\text{m}$ 、自約 $5\ \mu\text{m}$ 至約 $50\ \mu\text{m}$ 、自約 $5\ \mu\text{m}$ 至約 $40\ \mu\text{m}$ 或自約 $10\ \mu\text{m}$ 至約 $50\ \mu\text{m}$ )。應注意，該處置晶圓亦包括自該表面層延伸至該處置晶圓之後表面之一塊體層。

如上文所提及，電阻率區域本身之厚度 $D_{res}$ 可小於該表面層之深度 $D_{SL}$ 。在本發明之各種實施例中，電阻率區域之厚度 $D_{res}$ 係至少約 $1\ \mu\text{m}$ 、至少約 $5\ \mu\text{m}$ 、至少約 $10\ \mu\text{m}$ 、至少約 $15\ \mu\text{m}$ 、至少約 $20\ \mu\text{m}$ 或甚至至少約 $25\ \mu\text{m}$ (例如，自約 $1\ \mu\text{m}$ 至約 $100\ \mu\text{m}$ 、自約 $1\ \mu\text{m}$ 至約 $50\ \mu\text{m}$ 、自約 $5\ \mu\text{m}$ 至約 $40\ \mu\text{m}$ 或自約 $10\ \mu\text{m}$ 至約 $50\ \mu\text{m}$ )。

應注意，圖11中所展示之電阻率分佈及上文所闡述之分佈可係在將處置晶圓併入至一SOI結構之前、在併入至一SOI結構之後或在於該SOI結構之表面上形成一RF裝置之後的一處置晶圓之分佈。就此而言，應理解，術語「下部」、「上部」及/或「底部」不應按一限制意義考量，且此等術語不意欲指代處置晶圓及/或SOI結構之任何特定定向。

應理解，該等處置晶圓(在SOI生產之前或之後)在執行一產生熱施體退火(例如，約 $450^\circ\text{C}$ 退火達約2個小時)之前

或在執行此一產生熱施體退火之後可具有上文所闡述的及/或在該等圖(例如,圖11、圖15及/或圖16)中所展示的電阻率分佈。此外,雖然已參照處置晶圓之「前表面」來闡述本發明之某些實施例,但應理解,可將具有期望特徵之處置晶圓併入至一SOI結構中且此「前表面」與該介電層形成一界面(亦即,在接合製程期間或之後形成一介電-處置界面)。本文中處置晶圓之「前表面」之提及一般可與「介電-處置界面」互換且術語「前表面」不應按一限制意義考量。

### SOI結構生產

根據熟習此項技術者之用於形成一SOI結構之方法中之任一者,將上文所闡述的各種實施例中之處置晶圓併入一SOI結構中。就此而言,應理解,上文所闡述的該等製程步驟中之一或多者可形成該SOI生產製程之部分(例如,產生熱施體退火、摻雜劑「驅動進入」退火及類似物)。用於形成一SOI結構之例示性方法包括晶圓接合製程(例如,在將一介電層附接至一施體晶圓與處置晶圓中之一個表面上之情形下將該施體晶圓與該處置晶圓接合且藉由蝕刻及/或研磨或藉由劈開來移除該施體晶圓之一部分)及SIMOX製程,在該SIMOX製程中,將氧離子植入至一塊體矽基板中以形成一經損壞區域,藉由高溫退火將該經損壞區域轉換為一隱埋式氧化物層。

在圖12至圖14中展示且在下文論述根據於其中使用上文所闡述的具有一電阻率分佈(例如,具有出現在SOI生產之

前、SOI生產之後或在裝置(例如，RF裝置)生產之後的期望之電阻率)之一處置晶圓之一晶圓接合製程生產之一SOI晶圓。根據該接合製程，可在將施體晶圓與處置晶圓接合在一起之前，在該施體晶圓、該處置晶圓或兩者之表面上形成(例如，經沈積或生長)一介電層。就此而言，該等SOI結構及用於製備該等SOI結構之方法在本文中闡述為在施體晶圓上沈積或生長一介電層且闡述為使該處置晶圓之該表面接合至該介電層之該表面。然而，應理解，替代地或除在該施體晶圓上生長或沈積介電層之外，該介電層還可生長或沈積於該處置晶圓上，且此等結構可不受限制地以各種配置中之任一者接合。不應按限制意義考量本文中僅對在處置晶圓上沈積介電層之提及。

參照圖12，在一施體晶圓12之一經拋光前表面上形成(例如，沈積或生長)一介電層15(例如，一種矽氧化物及/或矽氮化物)。介電層15可係根據諸如熱氧化(例如，濕式氧化或乾式氧化)、化學汽相沈積或此等技術中之一組合等此項技術中任何已知技術來施加。應注意，在圖12中介電層係展示為僅在施體晶圓12之前表面上，但在在處置晶圓之所有表面上生長該介電層可更具實用性。

一般而言，介電層15生長為足以在最終結構中提供期望絕緣性質之一實質均勻厚度。然而，通常，該介電層具有至少約1 nm且小於約5,000 nm、小於約3,000 nm、小於約1,000 nm、小於約500 nm、小於約300 nm、小於約200 nm、小於約150 nm、小於約100 nm或甚至小於約50 nm之

一厚度。介電層 15 可係適合用於一 SOI 結構中之任何電絕緣材料，諸如包含  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$  或氧化鋁或氮化鋁或甚至氧化鎂之一材料。在一項實施例中，介電層 15 係  $\text{SiO}_2$  (亦即，本質上由  $\text{SiO}_2$  組成之介電層)。

就此而言，應理解，雖然本文中將 SOI 結構闡述為具有一介電層，但在某些實施例中，省略該介電層且將處置晶圓與施體晶圓「直接接合」。不應按一限制意義考量本文中對此等介電層之提及。可使用熟習此項技術者已知的若干技術中之任一者來生產此種直接接合結構。

在某些實施例中，在處置晶圓之前表面下方之一實質上統一特定深度處植入離子(例如，氫原子、氦原子或氫原子與氦原子之一組合)以界定一劈開平面 17。應注意，當植入離子之組合時，該等離子可同時或依序植入。可使用此項技術中的已知手段來達成離子植入。舉例而言，可以類似於在美國專利第 6,790,747 號中所揭示之製程之一方式達成此植入。植入參數可包括(舉例而言)在(舉例而言)約 20 keV 至約 125 keV 或約 40 keV 至約 125 keV 之一總能量下約  $1 \times 10^{15}$  個離子/cm<sup>2</sup> 至約  $1 \times 10^{17}$  個離子/cm<sup>2</sup> (例如，自約  $1 \times 10^{16}$  個離子/cm<sup>2</sup> 至約  $7.5 \times 10^{16}$  個離子/cm<sup>2</sup>) 之一總劑量之離子之植入(例如，在 20 keV 之一能量及  $2.4 \times 10^{16}$  個離子/cm<sup>2</sup> 之一劑量下植入  $\text{H}_2^+$ )。當使用離子之一組合時，可相應地在該離子組合之間調整該劑量(例如，可在 36 keV 之一能量及約  $1 \times 10^{16}$  個離子/cm<sup>2</sup> 之一劑量下植入  $\text{He}^+$ ，後跟在 48 keV 之一能量及約  $5 \times 10^{15}$  個離子/cm<sup>2</sup> 之一劑量下植入  $\text{H}_2^+$ )。

當植入係在沈積介電層之前執行時，在施體晶圓上之介電層之隨後生長及沈積適合在足夠低之一溫度下執行以防止在該施體層中沿平面 17 之過早(亦即，在晶圓接合製程步驟之前)分離或劈開。該分離或劈開溫度係植入種類、植入劑量及植入材料之一複雜函數。然而，通常，可藉由將一沈積溫度或生長溫度維持在低於約 500°C 來避免過早分離或劈開。

現在參照圖 13，然後藉由一親水性接合製程將介電層 15 之前表面接合至處置晶圓 10 之前表面以形成一經接合晶圓 20(其可視情況亦在其上形成有一介電層(例如，氧化物層))。介電層 15 及處置晶圓 10 可係藉由將該等晶圓之表面曝露至含有(舉例而言)氧或氮之一電漿而接合在一起。曝露至電漿在經常稱作表面活化之一製程中修改該等表面之結構。然後將該等晶圓按壓在一起且在兩者之間形成在接合界面 18 處之一接合。

在接合之前，可視情況使介電層及處置晶圓之表面經受清潔及/或一簡短蝕刻或平面化，以便使用此項技術中已知的技術使其表面為接合做好準備。在不遵循一特定理論之情形下，一般據信該 SOI 結構之矽表面之品質至少部分地係在接合之前該表面之品質之一函數。另外，在接合之前兩個表面之品質將直接影響所形成之接合界面之品質或強度。

因此，在某些例項中，可使該介電層及/或處置晶圓經

受以下程序中之一或多者以便在接合之前獲得(舉例而言)一低表面粗糙度(例如,小於約0.5 nm均方根(RMS)之一粗糙度):(i)藉由(舉例而言)CMP之平面化及/或(ii)藉由(舉例而言)一濕式化學清潔程序(諸如,一親水性表面製備製程)(例如,一RCA SC-1清潔製程,其中在約65°C下使該等表面與按(舉例而言)1:2:50之一比率含有氫氧化銨、過氧化氫及水之溶液接觸達約20分鐘,後跟一去離子水沖洗及乾燥)之清潔。亦可視情況在該濕式清潔製程之後或代替該濕式清潔製程使該等表面中之一者或兩者經受一電漿活化以增加所形成之接合強度。該電漿環境可包括(舉例而言),氧氣、氮氣、氫氣、氬氣、乙硼烷或磷化氫。

一般而言,可本質上使用此項技術中已知的任何技術達成晶圓接合,只要用以達成該接合界面之形成的能量足以確保在隨後處理期間(亦即,藉由在施體晶圓中沿劈開平面或分離平面17之分離之層轉移)維持該接合界面之完整性即可。然而,通常,藉由在大氣壓下或在一減小壓力(例如,約50毫托)下且在室溫下接觸介電層及處置晶圓之表面(視情況其上具有另一介電層)後跟在一提高溫度(例如,至少約200°C、至少約300°C、至少約400°C或甚至至少約500°C)下加熱達一充分時間段(例如,至少約10秒鐘、至少約1分鐘、至少約15分鐘、至少約1小時或甚至至少約3小時)來達成晶圓接合。舉例而言,可在約350°C下達2小時來進行該加熱。該所形成界面可具有大於約500 mJ/m<sup>2</sup>、大於約1000 mJ/m<sup>2</sup>、大於約1500 mJ/m<sup>2</sup>或甚至大於

約  $2000 \text{ mJ/m}^2$  之一接合強度。該提高溫度致使在施體晶圓與處置晶圓之鄰接表面之間形成共價鍵，因此鞏固施體晶圓與處置晶圓之間的接合。與加熱該經接合晶圓或使該經接合晶圓退火同時地，早先植入於施體晶圓中之離子削弱該劈開平面。然後沿該劈開平面自該經接合晶圓分離(亦即，劈開)施體晶圓之一部分以形成SOI結構。

在已形成該接合界面後，使所形成之經接合結構經受足以在該施體晶圓內沿分離平面或劈開平面誘發一破裂之條件(圖14)。一般而言，可使用此項技術中之已知技術達成此破裂，諸如熱誘發或機械誘發劈開技術。然而，通常，藉由在一惰性(氫氣或氮氣)氛圍或環境條件下在至少約  $200^\circ\text{C}$ 、至少約  $300^\circ\text{C}$ 、至少約  $400^\circ\text{C}$ 、至少約  $500^\circ\text{C}$ 、至少約  $600^\circ\text{C}$ 、至少約  $700^\circ\text{C}$  或甚至至少約  $800^\circ\text{C}$  (該溫度係在(舉例而言)約  $200^\circ\text{C}$  至約  $800^\circ\text{C}$ 、或自約  $250^\circ\text{C}$  至約  $650^\circ\text{C}$  之範圍中)之一溫度下使該經接合結構退火達至少約 10 秒鐘、至少約 1 分鐘、至少約 15 分鐘、至少約 1 小時或甚至至少約 3 小時之一時間段(其中較高溫度需要較短退火時間，且反之亦然)來達成該破裂。

就此而言，應注意，在一替代實施例中，可單獨地或除退火之外還藉由機械力來誘發或達成此分離。舉例而言，可將該經接合晶圓放置於一固定裝置中，在該固定裝置中，垂直於該經接合晶圓之對置側施加機械力以便推動該施體晶圓之一部分與該經接合晶圓分開。根據某些方法，利用吸杯來施加機械力。藉由在該經接合晶圓之邊緣處在

該劈開平面處施加一機械楔以便起始一裂縫沿該劈開平面之蔓延來起始施體晶圓之該部分之分離。吸杯所施加之機械力然後自該經接合晶圓推動該施體晶圓之該部分，因此形成一SOI結構。

參照圖14，在分離時，形成兩個結構30、31。由於在施體晶圓12中沿劈開平面17(圖13)發生經接合結構20之分離，因而施體晶圓之一部分餘留兩個結構之部分(亦即，施體晶圓之一部分與該介電層一起轉移)。結構30包含施體晶圓之一部分。結構31係絕緣體上矽結構且包括處置晶圓16、介電層15及一矽層25。

所形成之SOI結構31包括安置於介電層15頂部上之一薄矽層25(劈開後餘留的施體晶圓之部分)及處置晶圓10。該SOI結構(亦即，施體晶圓之該薄矽層)之劈開表面具有一粗糙表面，可藉由額外處理來使該粗糙表面平滑。可使結構31經受額外處理以產生具有期望特徵之一矽層表面用於於其上之裝置製作。此等特徵包括(舉例而言)：減小之表面粗糙度及/或一減小之光點缺陷密集度。另外，薄矽層25可經進一步處理以藉由(舉例而言)磊晶沈積來沈積額外矽以增加該層之厚度。

亦可藉由將兩個晶圓接合且分別藉由如在BGSOI或BESOI製程中之研磨及/或蝕刻來移除該等經接合晶圓中之一者之一部分來製備SOI結構。舉例而言，可藉由將一個晶圓接合至另一晶圓(其中之一者係上文所闡述之處置晶圓)來製備SOI結構，且然後使用已知晶圓薄化技術蝕刻掉

該等晶圓中之一者之一大部分來獲得該裝置層。(參見，例如美國專利第5,024,723號及第5,189,500號，該等專利出於所有相關及一致目的而以引用方式併入本文中)。在該BESOI生產製程之前、該BESOI製程之後或在使用該BESOI製程製備之SOI結構製作一電子裝置之後，該處置晶圓可具有上文所闡述之一電阻率分佈。

在本發明之某些實施例中且作為上文所闡述之經接合晶圓方法之一替代方案，使用一SIMOX方法製備絕緣體上矽結構，在該SIMOX方法中，使一塊體晶圓經受在此項技術中為標準的一離子植入製程(參見，例如美國專利第5,436,175號及 Plasma Immersion Ion Implantation for Semiconductor Processing, Materials Chemistry and Physics 46 (1996) 132-139，其兩者出於所有相關及一致目的而以引用方式併入本文中)。就此而言，應理解，根據SIMOX方法所使用的塊體矽晶圓可係上文所闡述的「處置」晶圓且不應按一限制意義考量術語「處置晶圓」。在此等SIMOX方法中，可在隱埋式氧化物層形成(例如，接近1325°之退火)期間發生氧向內擴散至處置晶圓中。可藉由一隨後較低溫度退火發生向外擴散。可藉由一離子植入方法植入摻雜劑。

#### 電子裝置(例如，RF裝置)之生產

就此而言，應理解，可將上文所闡述之SOI結構及處置晶圓併入至一電子裝置中且上文所闡述之SOI結構及處置晶圓尤其適合用於生產一射頻(RF)裝置。此種電子裝置

(例如，RF裝置)可經由矽裝置層、介電層(例如，隱埋式氧化物層)及處置晶圓中之至少一者形成有溝道及/或觸點。此外，可在此種裝置之生產中在該矽層之表面上形成觸點及/或閘極結構。亦應理解，該裝置生產製程本身可形成用於製備上文所闡述之具有一電阻率分佈之一處置晶圓之製程之一部分(例如，產生熱施體退火及/或摻雜劑「驅動進入」退火可係裝置生產製程之一部分)。另一選擇係，處置晶圓在裝置(例如，RF裝置)生產製程之前可具有期望之電阻率。構建於具有上文所闡述的具有一電阻率分佈之一處置晶圓之一SOI結構上之裝置之特徵可在於減小之信號失真、頻率回應及/或電力損失。

#### 實例

藉由以下實例進一步圖解說明本發明之製程。不應按一限制意義來審視此等實例。

**實例1：**在一表面層中具有一電阻率峰值之處置晶圓之生產

製備兩個處置晶圓且針對每一晶圓判定一擴展電阻分佈(SRP)。每一處置晶圓在使該晶圓經受於其中使電阻率分佈改動之一製程之前係一n型晶圓。將每一n型晶圓曝露至p型表面污染物及/或氧向外擴散或向內擴散製程中(後跟產生熱施體退火)以改動該處置晶圓之電阻率分佈且在該處置晶圓之一表面層中形成一幾乎完全補償區域或一p-n界面(亦即，具有一電阻率峰值之高電阻率區域)。應注意，圖11中之具有一最高峰值之分佈及具有最低峰值之分佈係同一晶圓但該SRP經兩次量測(一個SRP係在室內判定且另

一個係在一試驗室外判定)。

在圖 11 中展示 SRP 分析之結果，如自圖 11 可見，每一晶圓具有自約 900 歐姆/公分至約 1,500 歐姆/公分之一塊體電阻率及至少約 9,000 歐姆/公分之一電阻率峰值。一般而言，該電阻率峰值出現在距處置晶圓之前表面約 1  $\mu\text{m}$  與約 5  $\mu\text{m}$  之間。據信，該等電阻率分佈主要受來自該等晶圓之前表面之 p 型污染物(例如，硼及/或鋁)之向內擴散影響。

### 實例 2：一處置晶圓中之一 p-n 接面之形成

藉由圖 15 及圖 16 中之一虛線(在圖例中未標記)展示數個處置晶圓之電阻率分佈。將數個參數(p-n 接面之 p 型側及 n 型側之塊體氧及電阻率)模型化以圖解說明處置晶圓之電阻率分佈之產生。基於該等晶圓中之摻雜劑分佈及氧分佈將此等參數模型化。在圖 15 中展示已經受氧向外擴散製程及一產生熱施體退火及其中在退火之前在其表面處含有鋁(一第二 p 型摻雜劑)之一(經硼摻雜之) p 型晶圓之電阻率分佈。填隙氧之初始濃度係 7 ppma。在退火之前，p 型開始處置晶圓具有約 4,000 歐姆/公分之一電阻率。在 1125°C (亦即，一典型 SOI 平滑退火之退火條件)下執行(亦即，模擬)氧向外擴散製程達 4 小時。在 460°C 下執行產生熱施體退火達 2 小時。該晶圓表面處之鋁濃度係  $3 \times 10^{12}$  個原子/ $\text{cm}^3$ 。在氧向外擴散退火期間，將鋁「驅動進入至」該晶圓中。(亦即，在同一退火製程期間發生向外擴散退火及驅動進入退火)。

在圖 15 中亦展示在產生熱施體退火之前的晶圓中之氧分

佈。如自圖 15 可見，氧濃度朝向晶圓之前表面減小(亦即，晶圓已經歷一向外擴散製程)。圖 15 中之「p 型電阻率」趨勢線展示處置晶圓之其中 p 型摻雜劑之濃度超過 n 型摻雜劑之濃度之部分中之處置晶圓之模型化相對電阻率改變。「n 型電阻率」趨勢線展示處置晶圓之其中 n 型摻雜劑(包括熱施體)之濃度超過 p 型摻雜劑之濃度之部分中之處置晶圓之模型化相對電阻率改變。如自圖 15 可見，模型化電阻率峰值相對靠近處置晶圓中之實際電阻率峰值(「處置晶圓電阻率」)發生。晶圓表面處之晶圓之電阻率因額外之 p 型摻雜劑(鋁)而相對低。朝向晶圓之後表面前進(至約 10  $\mu\text{m}$  深度)，鋁摻雜劑(亦即，受體)之濃度減小且熱施體增加，此造成補償及一形成之電阻率峰值。自峰值電阻率前進至後表面，因顯著之熱施體形成，施體超過受體。

在圖 16 中展示另一(經硼摻雜之) p 型晶圓之電阻率分佈。亦展示數個模型化參數來演示如何可達成該電阻率分佈。圖 16 之晶圓已經受一向內擴散製程及一產生熱施體退火(或形成其中氧濃度自處置晶圓之表面減小之氧分佈之一製程)，且其中在退火之前在其表面處含有鋁(一第二 p 型摻雜劑)。填隙氧之初始濃度係 5 ppma。在退火之前，p 型開始處置晶圓具有約 4,000 歐姆/公分之一電阻率。在 1125 $^{\circ}\text{C}$  (亦即，一典型 SOI 平滑退火之退火條件)下執行(亦即，模擬)氧向內擴散製程達 4 小時。在 400 $^{\circ}\text{C}$  下執行產生熱施體退火達 2 小時。該晶圓表面處之鋁濃度係  $3 \times 10^{12}$  個原子/ $\text{cm}^3$ 。在氧向內擴散退火期間，將鋁「驅動進入至」

該晶圓中。(亦即，在同一退火製程期間發生向內擴散退火及驅動進入退火)。

在圖 16 中亦展示在產生熱施體退火之前的晶圓中之氧分佈。如自圖 16 可見，氧濃度朝向晶圓之前表面增加(亦即，晶圓已經歷一向內擴散製程)。圖 16 中之「p 型電阻率」趨勢線展示其中 p 型摻雜劑之濃度超過 n 型摻雜劑之濃度(亦即，整個晶圓)的處置晶圓之部分中之處置晶圓之模型化相對電阻率改變。如自圖 16 可見，在該處置晶圓之所有部分中，p 型摻雜劑超過 n 型摻雜劑(例如，熱施體)，且作為一結果，未展示「n 型電阻率」之趨勢線。該晶圓表面處之電阻率相對低，此乃因鋁摻雜劑抵消來自該表面附近之熱施體之補償。隨著鋁摻雜劑濃度自該表面減小，該等熱施體造成補償及電阻率之一增加。深入至該處置晶圓中，熱施體之數目進一步減小，此造成峰值電阻率且自該峰值朝向該處置晶圓之後表面開始減小。如自圖 16 可見，模型化電阻率峰值相對靠近處置晶圓中之實際電阻率峰值(「處置晶圓電阻率」)發生。

在介紹本發明或其較佳實施例之要素時，冠詞「一(a)」、「一(an)」、「該(the)」及「該(said)」意欲指該等要素中之一或多者。術語「包含(comprising)」、「包括(including)」及「具有(having)」意欲具有包括性且意指除所列舉要素外亦可存在另外要素。

由於可在以上設備及方法中作出各種改變而不背離本發明之範疇，因此以上說明所含有及附圖中所展示之所有內

容皆意欲應解釋為說明性而不應按一限制意義解釋。

### 【圖式簡單說明】

圖1係具有一處置晶圓之一絕緣體上矽結構，該處置晶圓具有於其中(但如上文所解釋未必在表面本身處)具有一高電阻率區域之一表面層；

圖2係展示一例示性p型處置晶圓中之受體(p型摻雜劑)及熱施體之數目之一曲線圖，該處置晶圓遍及晶圓塊體具有一大體均勻之高電阻率，可使該處置晶圓經受進一步處理以根據本發明之實施例在一表面層中形成具有一電阻率峰值之一電阻率分佈；

圖3係展示在使圖2之處置晶圓經受氧向內擴散製程及產生熱施體退火之後的受體(p型摻雜劑)及熱施體之數目之一曲線圖；

圖4係展示在一驅動進入退火之後經用n型摻雜劑遍及其前表面摻雜之一例示性p型處置晶圓中之受體(p型摻雜劑)及施體(n型摻雜劑)之數目之一曲線圖；

圖5係展示在一驅動進入退火之後經用n型摻雜劑遍及其前表面摻雜之一例示性p型處置晶圓中之受體(p型摻雜劑)、施體(n型摻雜劑)及熱施體之數目之一曲線圖；

圖6係展示一例示性p型處置晶圓中之受體(p型摻雜劑)及熱施體之數目之一曲線圖，該處置晶圓遍及晶圓塊體具有一大體均勻之高電阻率，可使該處置晶圓經受進一步處理以根據本發明之實施例在一表面層中形成具有一電阻率峰值之一電阻率分佈；

圖 7 係展示在使圖 7 之處置晶圓經受氧向外擴散製程及產生熱施體退火之後的受體 (p 型摻雜劑) 及熱施體之數目的一曲線圖；

圖 8 係展示在使具有 p 型表面污染物之一處置晶圓經受氧向外擴散製程、產生熱施體退火及驅動進入退火之後的受體 (p 型摻雜劑) 及熱施體之數目的一曲線圖；

圖 9 係展示適合根據本發明之實施例在一表面層中形成具有一電阻率峰值之一電阻率分佈之一例示性 n 型處置晶圓中之施體 (n 型摻雜劑) 及熱施體之數目的一曲線圖；

圖 10 係展示在圖 8 之處置晶圓經用 p 型摻雜劑遍及其前表面摻雜之後、在一驅動進入退火之後的施體 (n 型摻雜劑)、受體 (p 型摻雜劑) 及熱施體之數目的一曲線圖；

圖 11 係展示根據實例 1 產生的兩個處置晶圓之電阻率分佈之一曲線圖；

圖 12 係於其上安置有一介電層之一施體晶圓之剖面圖；

圖 13 係施體晶圓及接合至一處置晶圓之介電層之一剖面圖；

圖 14 係在於劈開平面處劈開該施體晶圓時之 SOI 結構之一剖面圖；

圖 15 係展示根據實例 2 產生之一第一處置晶圓之電阻率分佈及模型化氧含量及 p 型與 n 型電阻率之一曲線圖；及

圖 16 係展示根據實例 2 產生之一第二處置晶圓之電阻率分佈及模型化氧含量及 p 型與 n 型電阻率之一曲線圖。

#### 【主要元件符號說明】

10	處置晶圓
12	施體晶圓
15	介電層
17	劈開平面/平面/劈開平面或分離平面
18	接合界面
20	經接合晶圓/經接合結構
25	矽層/薄矽層
30	結構
31	結構
39	周邊邊緣
40	界面/處置-介電界面
43	後表面
44	表面層
52	塊體層
$D_{SL}$	深度

## 七、申請專利範圍：

1. 一種用於製備一絕緣體上矽結構(SOI)之方法，該絕緣體上矽結構包含一處置晶圓、一矽裝置層、介於該處置晶圓與該矽裝置層之間的一介電層，該處置晶圓具有一軸線、一半徑、一前表面、一後表面及沿軸線方向自該前表面延伸至該後表面之一周邊邊緣，其中該處置晶圓之該前表面與該介電層形成一界面，其中該處置-介電界面及該後表面垂直於該軸線，且其中該處置晶圓進一步包含沿該軸線方向自該處置-介電界面朝向該後表面延伸至一深度  $D_{s1}$  之一表面層及自該表面層朝向該後表面延伸之一塊體層，該表面層包含一高電阻率區域，該處置晶圓具有其中在該高電阻率區域中存在一峰值電阻率  $R_{peak}$  之一電阻率分佈，該電阻率一般自該峰值電阻率朝向該塊體層減小，該方法包含：

選擇具有一既定摻雜劑濃度及填隙氧濃度之一處置晶圓，該處置晶圓係用一第一類型之一摻雜劑摻雜，該第一類型之該摻雜劑係一 p 型或 n 型摻雜劑；

藉由下述步驟而在該處置晶圓之該表面層中形成一高電阻率區域：

使氧擴散至該處置晶圓中或自該處置晶圓擴散出以在該處置晶圓中形成氧之一不均勻散佈且將具有氧之一不均勻散佈之該晶圓退火以形成熱施體之一不均勻散佈；

在該施體晶圓之至少一個表面及/或該處置晶圓之該前

表面中上形成一介電層；

將一施體晶圓與該處置晶圓接合以形成一經接合晶圓，其中該施體晶圓與該處置晶圓沿該軸線藉由該介電層分離，該介電層在該施體晶圓與該介電層之間形成一施體-介電界面，且在該介電層與該處置晶圓之該前表面之間形成一處置-介電界面，該經接合晶圓包含位於該施體-介電界面、該處置-介電界面或介於該兩個界面之間的介電層處之一接合界面；及

自該經接合晶圓移除該施體晶圓之一部分，使得一矽層保持接合至該介電層以形成該絕緣體上矽結構。

2. 如請求項1之方法，其中該峰值電阻率一般自該峰值電阻率至該處置-介電界面減小。
3. 如請求項1或2之方法，其中在形成該高電阻率區域之前該處置晶圓具有至少50歐姆/公分之一塊體電阻率。
4. 如請求項1或2之方法，其中用於形成熱施體之該退火步驟係一絕緣體上矽生產製程或電子裝置生產製程之一部分。
5. 如請求項1或2之方法，其中該處置晶圓為p型並藉由本質上由如下組成之一方法形成該處置晶圓中之一高電阻率區域：

使氧通過該處置晶圓之前表面將擴散至該處置晶圓中；及

執行其中氧凝聚且形成熱施體之一產生熱施體退火。

6. 如請求項1或2之方法，其中該處置晶圓為p型並藉由本

質上由如下組成之一方法形成該處置晶圓中之一高電阻率區域：

使氧通過該處置晶圓之前表面自該處置晶圓擴散出；

執行其中氧凝聚且形成熱施體之一產生熱施體退火。

7. 如請求項1或2之方法，其中使氧通過該處置晶圓之前表面擴散至該處置晶圓中或自該處置晶圓擴散出以在該處置晶圓中形成氧之一不均勻散佈，且將具有氧之一不均勻散佈之該晶圓退火以形成熱施體，該產生熱施體退火係該SOI生產製程之一部分或一射頻裝置生產製程之一部分。
8. 如請求項1或2之方法，其中該峰值電阻率 $R_{peak}$ 出現在距該處置-介電界面至少 $0.1\ \mu\text{m}$ 處。
9. 如請求項1或2之方法，其中 $R_{peak}$ 係至少1000歐姆/公分。
10. 如請求項1或2之方法，其中該塊體層具有一平均電阻率 $R_{bulk}$ ，且 $R_{peak}$ 與 $R_{bulk}$ 之比率係至少2:1。
11. 如請求項1或2之方法，其中該塊體層具有一平均電阻率 $R_{bulk}$ ，且自該 $R_{peak}$ 與該 $R_{bulk}$ 之電阻率差係至少1,000歐姆/公分。
12. 如請求項1或2之方法，其中該處置晶圓在該處置-介電界面處具有一電阻率 $R_{HD}$ ，且 $R_{peak}$ 與 $R_{HD}$ 之比率係至少2:1。
13. 如請求項1或2之方法，其中該處置晶圓在該處置-介電界面處具有一電阻率 $R_{HD}$ ，且自該 $R_{peak}$ 與該 $R_{HD}$ 之電阻率差係至少1,000歐姆/公分。

14. 如請求項1或2之方法，其中該塊體層具有一平均電阻率  $R_{bulk}$ ，該高電阻率區域遍及該高電阻率區域具有超過該塊體之該電阻率  $R_{bulk}$  至少 50% 之一電阻率，該高電阻率區域具有沿該軸線方向量測之至少  $1\ \mu\text{m}$  之一厚度  $D_{res}$ 。
15. 一種用於製備一射頻裝置之方法，該方法包含根據請求項1至14之任一方法形成一SOI結構，及使該SOI結構經受進一步處理以在該SOI結構上形成一射頻裝置。

八、圖式：

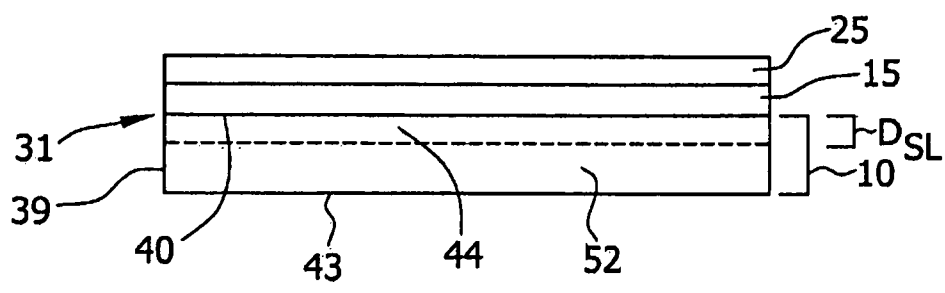


圖 1

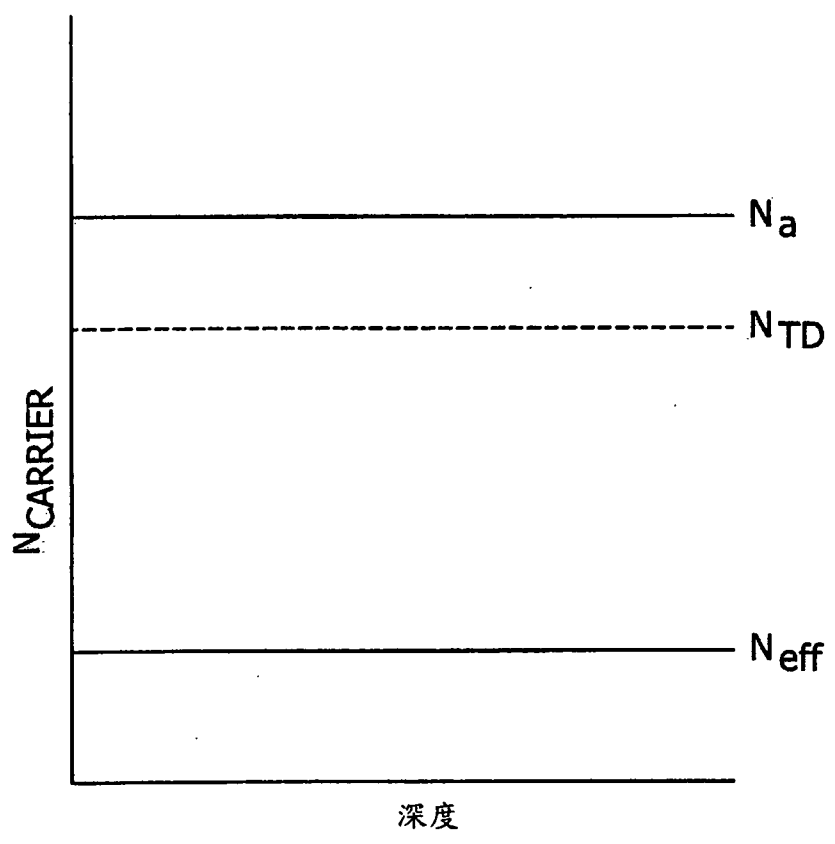


圖 2

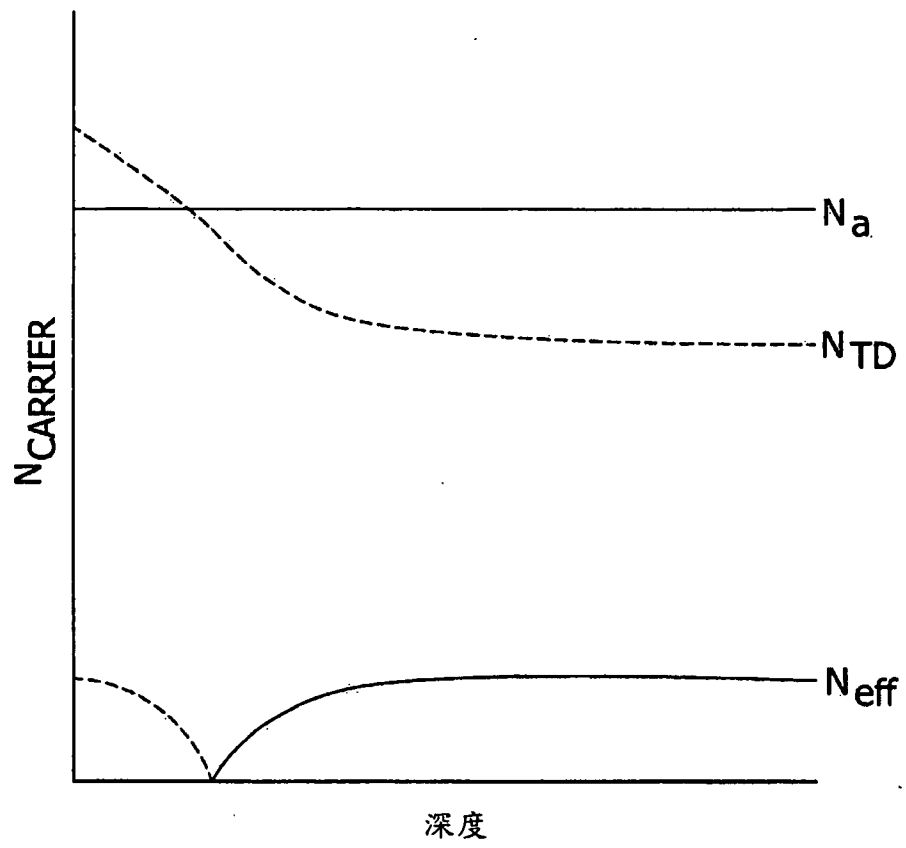


圖 3

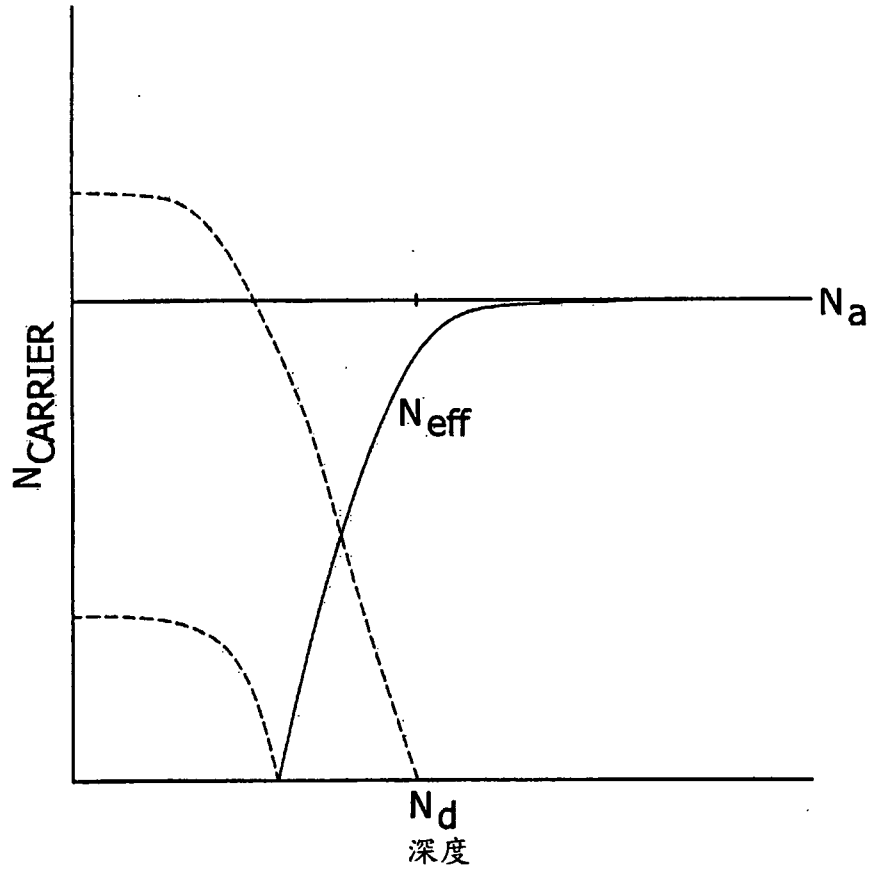


圖 4

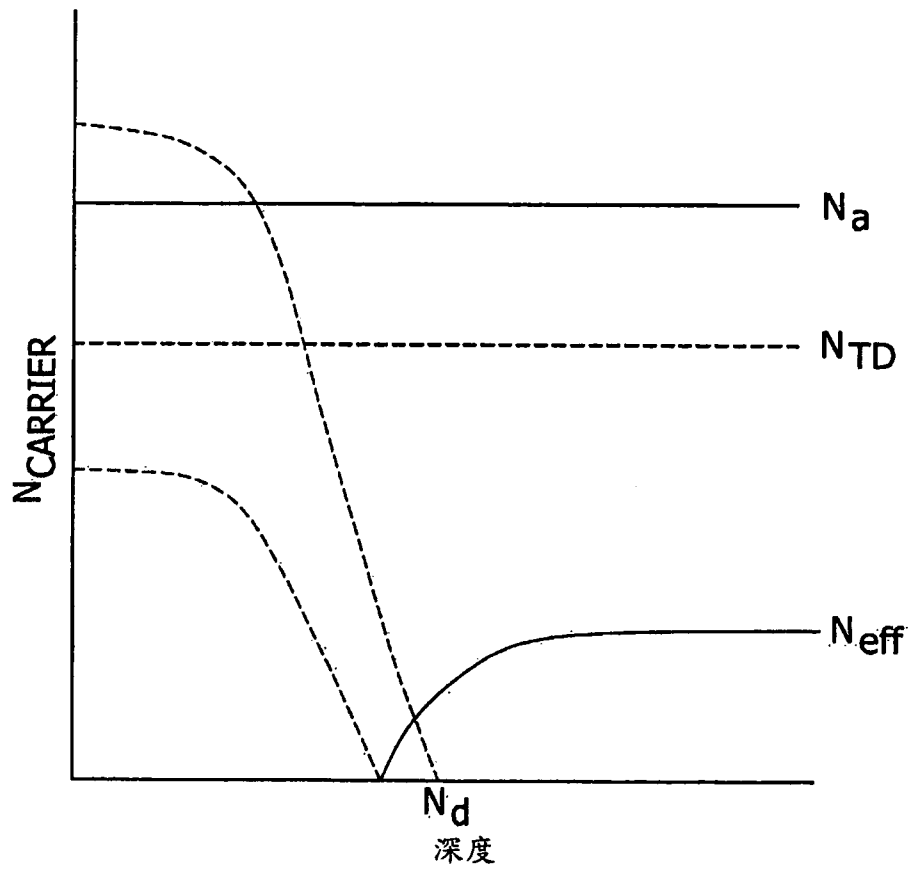


圖 5

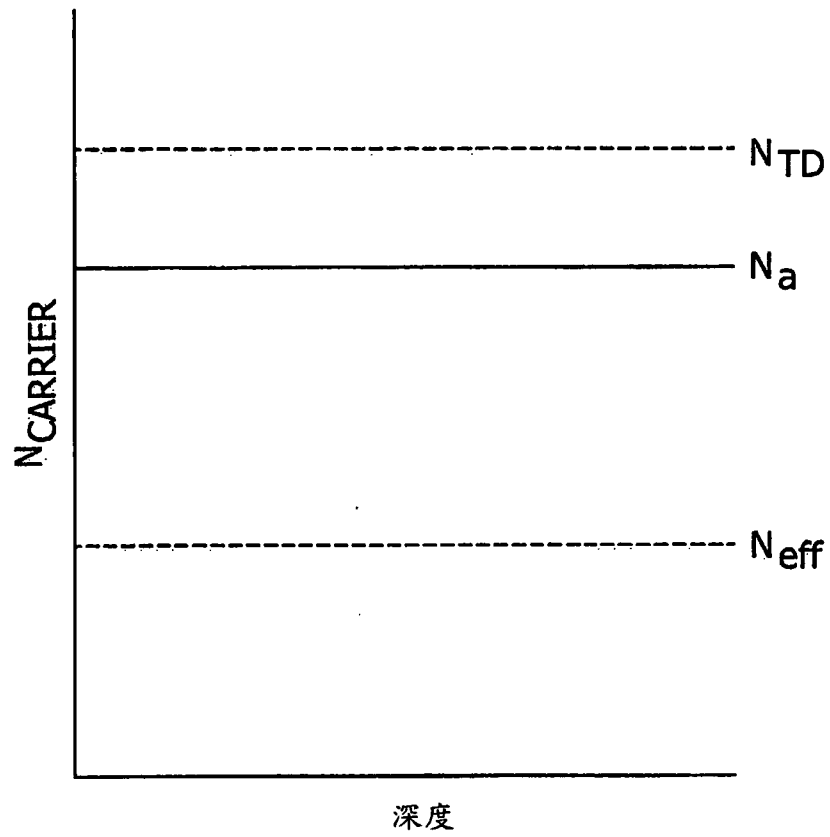


圖 6

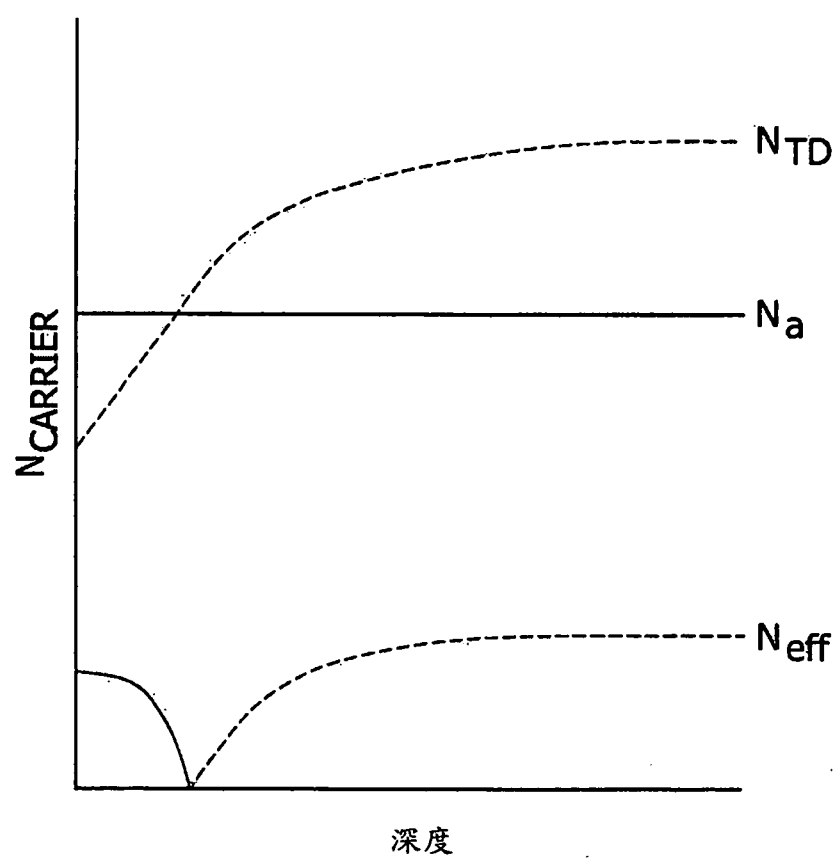
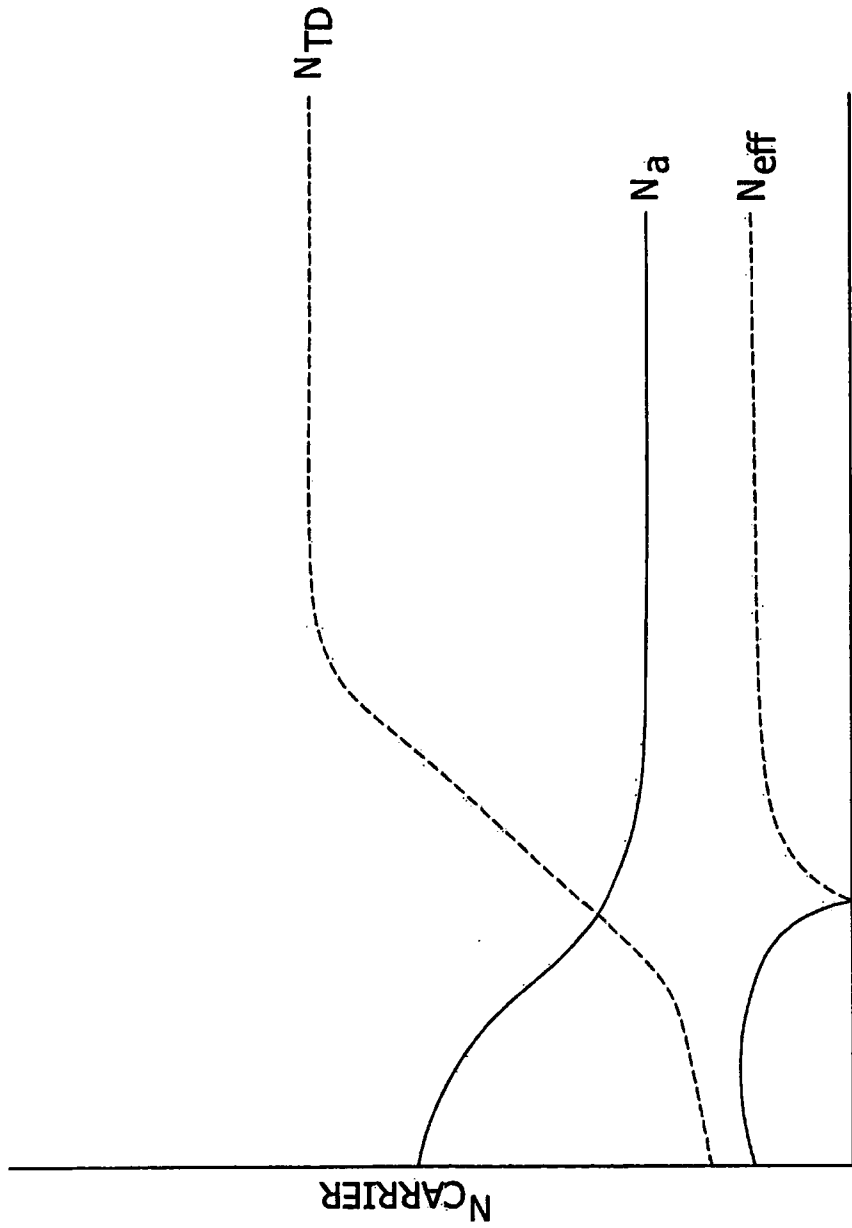


圖 7



深度  
圖 8

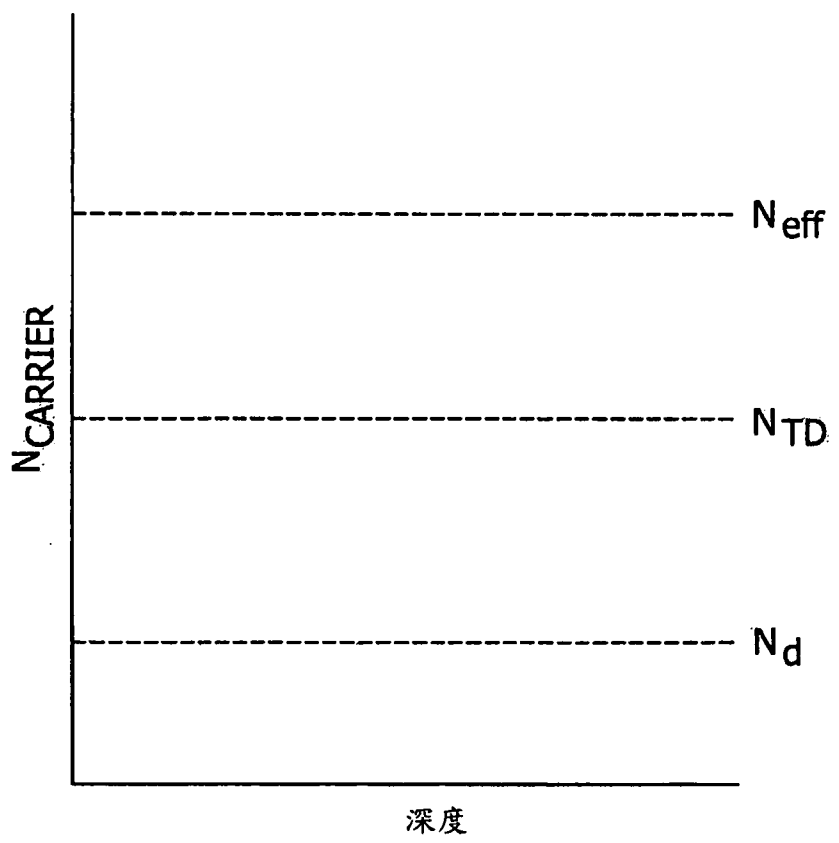


圖 9

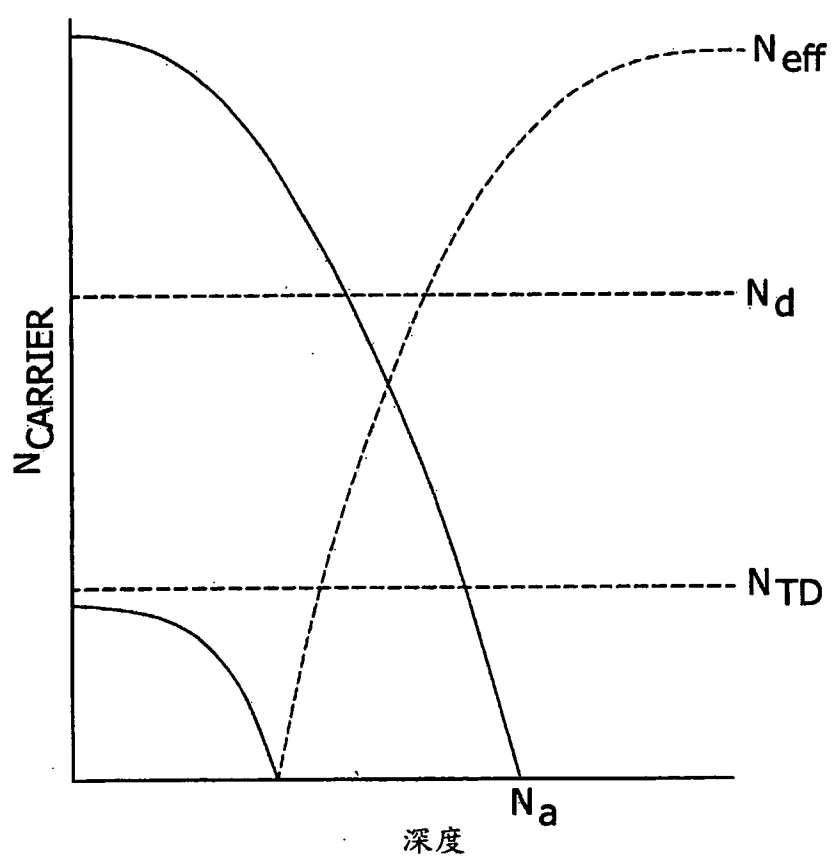


圖 10

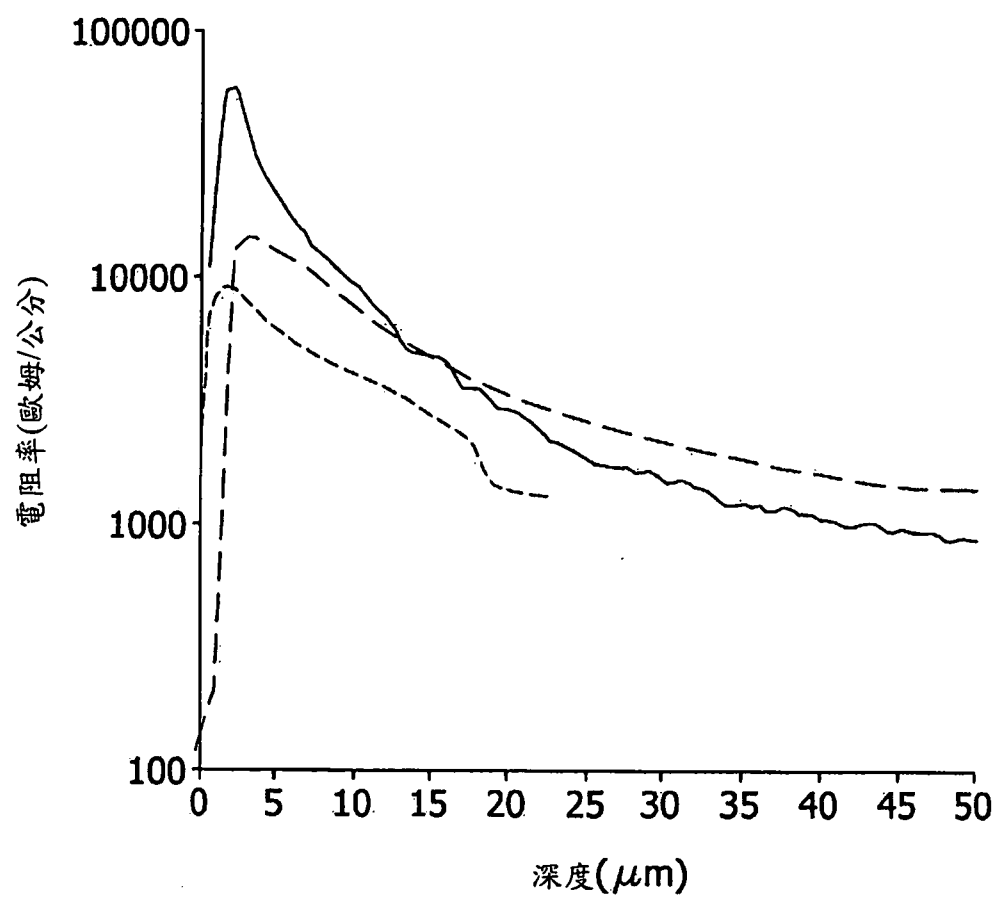


圖 11

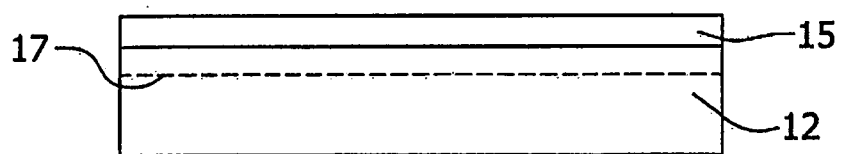


圖 12

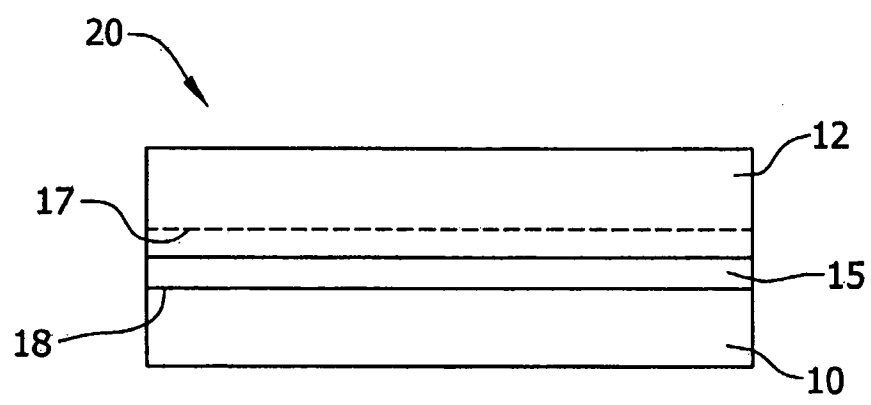


圖 13

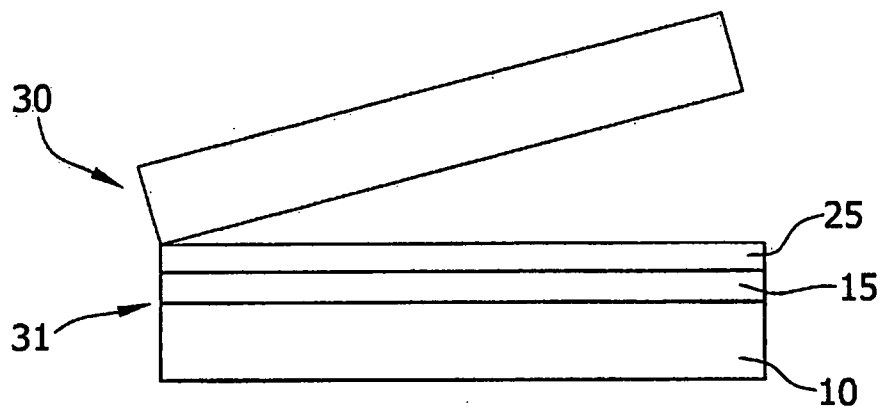


圖 14

— p 型電阻率  
 - - - n 型電阻率  
 - · - · 處置晶圓電阻率  
 - · - · [O<sub>i</sub>]CM<sup>-3</sup>

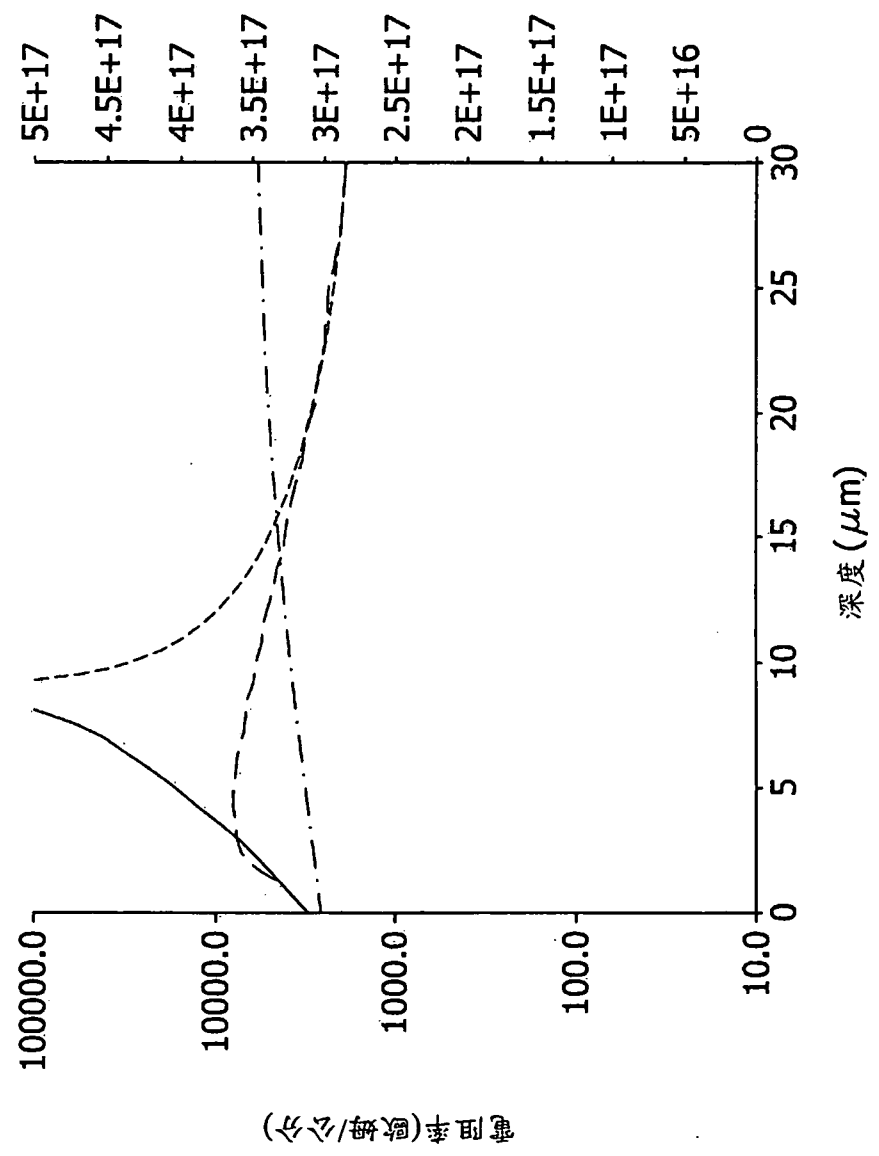


圖 15

—— p 型電阻率  
----- n 型電阻率  
- - - - 處置晶圓電阻率  
- · - · -  $|O_i|CM^{-3}$

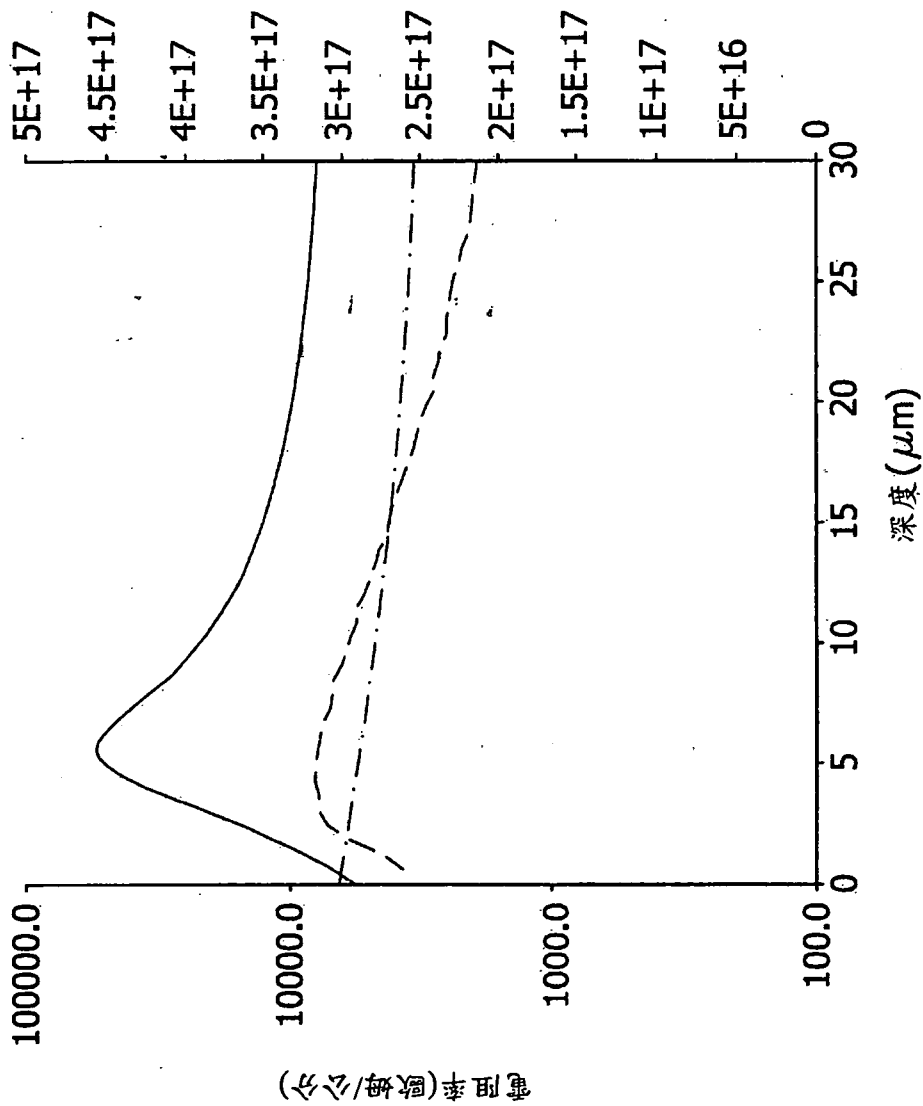


圖 16