

【特許請求の範囲】

【請求項 1】

A G C 電圧に従って利得を変える A G C 増幅器と、該 A G C 増幅器から出力される信号を復調して I 軸信号および Q 軸信号を出力する復調器と、該復調器から出力される I 軸信号および Q 軸信号をそれぞれデジタル信号に変換するアナログ・デジタル変換器とを含む無線装置受信部の自動利得制御回路において、該回路は、前記アナログ・デジタル変換器から出力される I 軸信号および Q 軸信号の各デジタル信号の希望チャンネル信号成分をそれぞれ通過させるデジタルフィルタと、該デジタルフィルタを通過したデジタル信号の希望チャンネル信号成分の合計パワーを算出し、該パワーのレベルに応じて変化する前記 A G C 電圧を生成する A G C 機能手段とを含むことを特徴とする自動利得制御回路。

10

【請求項 2】

A G C 電圧に従って利得を変える A G C 増幅器と、該 A G C 増幅器から出力される信号を復調して I 軸信号および Q 軸信号を出力する復調器と、該復調器から出力される I 軸信号および Q 軸信号をそれぞれデジタル信号に変換するアナログ・デジタル変換器とを含む無線装置受信部の自動利得制御回路において、該回路は、前記アナログ・デジタル変換器から出力される I 軸信号および Q 軸信号の各デジタル信号の希望チャンネル信号成分をそれぞれ通過させるデジタルフィルタと、該デジタルフィルタを通過した各デジタル信号の希望チャンネル信号成分の合計パワーを算出する第 1 の A G C 機能手段と、前記アナログ・デジタル変換器でデジタル化された I 軸信号および Q 軸信号の各デジタル信号の合計パワーを算出する第 2 の A G C 機能手段と、該第 2 の A G C 機能手段で算出されたパワーから前記第 1 の A G C 機能手段で算出されたパワーを減算して隣接チャンネル信号成分のパワーを算出し、該隣接チャンネル信号成分のパワーが閾値より小さい場合は、前記第 1 の A G C 機能回路で算出されたパワーに応じて変化する前記 A G C 電圧を生成し、隣接チャンネル信号成分のパワーが前記閾値より大きい場合は、前記第 1 A G C 機能回路で算出されたパワーと前記第 2 の A G C 機能回路で算出されたパワーとを含むパワーに応じて変化する前記 A G C 電圧を生成する A G C 判定手段とを含むことを特徴とする自動利得制御回路。

20

【請求項 3】

請求項 2 に記載の自動利得制御回路において、該回路はさらに、前記第 1 の A G C 機能手段で算出されたパワーを予め定められた第 1 の期間毎に入力して前記 A G C 判定手段に出力する第 1 の平均処理手段と、前記第 2 の A G C 機能手段で算出されたパワーを予め定められた第 2 の時間毎に入力して前記 A G C 判定手段に出力する第 2 の平均処理手段とを含み、前記 A G C 判定手段は、前記第 1 の平均処理手段および第 2 の平均処理手段からそれぞれ出力されるパワーに基づいて前記 A G C 電圧を生成することを特徴とする自動利得制御回路。

30

【請求項 4】

請求項 3 に記載の自動利得制御回路において、前記第 1 の平均処理手段における第 1 の期間は、前記第 2 の平均処理手段における第 2 の期間より長いことを特徴とする自動利得制御回路。

40

【請求項 5】

A G C 電圧に従って利得を変える A G C 増幅器と、該 A G C 増幅器から出力される信号を復調して I 軸信号および Q 軸信号を出力する復調器と、切替信号に従って減衰量を第 1 の減衰量または該第 1 の減衰量より大きい第 2 の減衰量に切り替えて前記復調器から出力される I 軸信号および Q 軸信号のそれぞれに対して減衰を与える可変アッテネータを含む可変抵抗器と、該可変抵抗器から出力される I 軸信号および Q 軸信号をそれぞれデジタル信号に変換するアナログ・デジタル変換器とを含む無線装置受信部の自動利得制御回路において、該回路は、

50

前記アナログ・デジタル変換器から出力される I 軸信号および Q 軸信号のデジタル信号の希望チャンネル信号成分をそれぞれ通過させるデジタルフィルタと、
 該デジタルフィルタを通過した各デジタル信号の希望チャンネル信号成分の合計パワーを算出する第 1 の A G C 機能手段と、
 前記アナログ・デジタル変換器でデジタル化された I 軸信号および Q 軸信号の各デジタル信号の合計パワーを算出する第 2 の A G C 機能手段と、
 前記第 1 の A G C 機能手段で算出されたパワーに応じて変化する前記 A G C 電圧を生成する手段と、前記第 2 の A G C 機能手段で算出されたパワーから前記第 1 の A G C 機能手段で算出されたパワーを減算して隣接チャンネル信号成分のパワーを算出し、該隣接チャンネル信号成分のパワーが閾値を超えた時前記可変抵抗器の減衰量を第 2 の減衰量に切り替え、該パワーが前記閾値より低下した時前記可変抵抗器の減衰量を第 1 の減衰量に切り替える前記切替信号を生成する手段とを有する A G C 判定手段とを含みことを特徴とする自動利得制御回路。

10

20

30

40

50

【請求項 6】

直交変調された受信信号を復調して I 軸信号と Q 軸信号を出力する復調器と、第 1 の切替信号に従って減衰量を第 1 の減衰量または該第 1 の減衰量より大きい第 2 の減衰量に切り替えて前記復調器から出力される I 軸信号に減衰を与える第 1 の可変抵抗器と、第 2 の切替信号に従って減衰量を第 1 の減衰量または該第 1 の減衰量より大きい第 2 の減衰量に切り替えて前記復調器から出力される Q 軸信号に減衰を与える第 2 の可変抵抗器と、前記第 1 の可変抵抗器から出力される I 軸信号の希望チャンネル信号成分を通過させる第 1 のローパスフィルタと、前記第 2 の可変抵抗器から出力される Q 軸信号の希望チャンネル信号成分を通過させる第 2 のローパスフィルタとを含む無線装置受信部の自動利得制御回路において、該回路は、

前記第 1 のローパスフィルタから出力される I 軸信号の希望チャンネル信号成分を通過させる第 3 のローパスフィルタと、

前記第 2 のローパスフィルタから出力される Q 軸信号の希望チャンネル信号成分を通過させる第 4 のローパスフィルタと、

前記第 3 のローパスフィルタから出力される I 軸信号に所定の遅延を与える第 1 の遅延手段と、

前記第 4 のローパスフィルタから出力される I 軸信号に所定の遅延を与える第 2 の遅延手段と、

前記第 1 の遅延手段を通過した信号のレベルを調整する第 1 の可変利得増幅手段と、

前記第 2 の遅延手段を通過した信号のレベルを調整する第 2 の可変利得増幅手段と、

前記第 1 の可変利得増幅手段から出力される信号から、前記第 3 のローパスフィルタから出力される信号を減算して隣接チャンネル信号成分を算出し、該隣接チャンネル信号成分が閾値を超えた時前記第 1 の可変抵抗器の減衰量を第 2 の減衰量に切り替え、該隣接チャンネル信号成分が前記閾値より低下した時前記第 1 の可変抵抗器の減衰量を第 1 の減衰量に切り替える前記第 1 の切替信号を生成する第 1 の比較手段と、

前記第 2 の可変利得増幅手段から出力される信号から、前記第 4 のローパスフィルタから出力される信号を減算して隣接チャンネル信号成分を算出し、該隣接チャンネル信号成分が前記閾値を超えた時前記第 2 の可変抵抗器の減衰量を第 2 の減衰量に切り替え、該隣接チャンネル信号成分が前記閾値より低下した時前記第 2 の可変抵抗器の減衰量を第 1 の減衰量に切り替える前記第 2 の切替信号を生成する第 2 の比較手段とを含むことを特徴とする自動利得制御回路。

【請求項 7】

直交変調された受信信号を復調して I 軸信号と Q 軸信号を出力する復調器と、第 1 の切替信号に従って減衰量を第 1 の減衰量または該第 1 の減衰量より大きい第 2 の減衰量に切り替えて前記復調器から出力される I 軸信号に減衰を与える第 1 の可変抵抗器と、第 2 の切替信号に従って減衰量を第 1 の減衰量または該第 1 の減衰量より大きい第 2 の減衰量に切り替えて前記復調器から出力される Q 軸信号に減衰を与える第 2 の可変抵抗器と、前記第

1の可変抵抗器および第2の可変抵抗器から出力されるI軸信号およびQ軸信号をそれぞれデジタル信号に変換するアナログ・デジタル変換器とを含む無線装置受信部の自動利得制御回路において、該回路は、

前記第1の可変抵抗器から出力されるI軸信号の隣接チャネル信号成分を通過させる第1のハイパスフィルタと、

前記第2の可変抵抗器から出力されるQ軸信号の隣接チャネル信号成分を通過させる第2のハイパスフィルタと、

前記第1のハイパスフィルタから出力されるI軸信号の隣接チャネル信号成分のパワーを算出し、該パワーが閾値を超えた時前記第1の可変抵抗器の減衰量を第2の減衰量に切り替え、該パワーが前記閾値より低下した時前記第1の可変抵抗器の減衰量を第2の減衰量に切り替える前記第1の切替信号を生成する第1の比較手段と、

10

前記第2のハイパスフィルタから出力されるQ軸信号の隣接チャネル信号成分のパワーを算出し、該パワーが前記閾値を超えた時前記第2の可変抵抗器の減衰量を第2の減衰量に切り替え、該パワーが前記閾値より低下した時前記第2の可変抵抗器の減衰量を第2の減衰量に切り替える前記第2の切替信号を生成する第2の比較手段とを含むことを特徴とする自動利得制御回路。

【請求項8】

直交変調された受信信号を復調してI軸信号とQ軸信号を出力する復調器と、第1の切替信号に従って減衰量を第1の減衰量または該第1の減衰量より大きい第2の減衰量に切り替えて前記復調器から出力されるI軸信号に減衰を与える第1の可変抵抗器と、第2の切替信号に従って減衰量を第1の減衰量または該第1の減衰量より大きい第2の減衰量に切り替えて前記復調器から出力されるQ軸信号に減衰を与える第2の可変抵抗器と、前記第1の可変抵抗器および第2の可変抵抗器から出力されるI軸信号およびQ軸信号をそれぞれデジタル信号に変換するアナログ・デジタル変換器とを含む無線装置受信部の自動利得制御回路において、該回路は、

20

前記第1の可変抵抗器から出力されるI軸信号のピーク値を検知する第1のピーク検知手段と、

前記第2の可変抵抗器から出力されるQ軸信号のピーク値を検知する第2のピーク検知手段と、

前記第1のピーク検知手段で検知されたI軸信号のピーク値が予め定められた時間連続して閾値を超える時前記第1の可変抵抗器の減衰量を第2の減衰量に切り替え、前記I軸信号のピーク値が前期時間連続して前記閾値を超えない時前記第1の可変抵抗器の減衰量を第1の減衰量に切り替える前記第1の切替信号を生成する第1の比較手段と

30

前記第2のピーク検知手段で検知されたQ軸信号のピーク値が予め定められた時間連続して前記閾値を超える時前記第2の可変抵抗器の減衰量を第2の減衰量に切り替え、前記Q軸信号のピーク値が前記時間連続して前記閾値を超えない時前記第2の可変抵抗器の減衰量を第1の減衰量に切り替える前記第2の切替信号を生成する第2の比較手段とを含むことを特徴とする自動利得制御回路。

【請求項9】

請求項5ないし8のいずれかに記載の自動利得制御回路において、前記可変抵抗器における減衰量の切り替えは、前記アナログ・デジタル変換器に供給されるサンプリングクロックの周期の中間点で行うことを特徴とする自動利得制御回路。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CDMA(Code Division Multiple Access)無線通信装置の受信部で使用される自動利得制御回路(以下、AGC回路という)に関する。

【0002】

【従来の技術】

50

C D M A 無線通信装置の受信部は、たとえば、受信ミキサ、S A W フィルタ、A G C 増幅器、直交変調信号を復調する復調器、アナログ・デジタル変換器、A G C 機能回路等を含み、アンテナにより受信した高周波信号を受信ミキサにより I F (中間周波数) 信号に変換し、S A W フィルタにより希望チャンネル信号を選択して A G C 増幅器によりレベル調整し、レベル調整した信号を復号器により復調して I 軸信号および Q 軸信号を生成し、生成した I 軸信号および Q 軸信号をアナログ・デジタル変換回路によりデジタル化するものであった。そして、A G C 機能回路により、デジタル化された I 軸信号および Q 軸信号のパワーを算出して予め定められた閾値 (R E F P O W E R) と比較し、閾値との差に応じて A G C 増幅器の利得を制御することによりアナログ・デジタル変換器の入力レベルを一定にしていた。

10

【 0 0 0 3 】

【 発明が解決しようとする課題 】

しかしながら、上記の C D M A 無線通信装置の受信部は、たとえば、W - C D M A (W i d e b a n d - C D M A) 方式の場合には、キャリア周波数が互いに異なる通信帯域が 5 M H z のチャンネルを 1 2 チャンネル分受信できるように 6 0 M H z (たとえば、下り回線の場合は 2 1 1 0 M H z ~ 2 1 7 0 M H z) の周波数帯域を備えているので、アンテナにより受信された隣接チャンネル信号は、希望チャンネル信号と同様に途中のフィルタ等で減衰を受けることなく S A W フィルタの入力端まで到達しこの S A W フィルタによりはじめて減衰を受ける。このため、隣接チャンネル信号は、受信レベルが希望チャンネル信号より極めて高い場合には、S A W フィルタにより減衰を受けても希望チャンネル信号よりもなおレベルが高い場合も生じる。このような場合、アナログ・デジタル変換器の出力には、希望チャンネル信号の I 軸信号および Q 軸信号の外に隣接チャンネル信号の成分も含まれることになる。

20

【 0 0 0 4 】

一方、上記の A G C 機能回路では、アナログ・デジタル変換器から出力されるすべての信号について、希望チャンネル信号と隣接チャンネル信号の成分を区別することなくそのパワーを算出している。このため、隣接チャンネル信号の受信レベルが希望チャンネル信号の受信レベルより大きい場合には、主として隣接チャンネル信号のレベルに応じて A G C 制御が行われることになる。

【 0 0 0 5 】

したがって、A G C 機能回路における閾値が比較的小さい値に設定されている場合に隣接チャンネル信号のレベルが大きくなると、アナログ・デジタル変換器に入力される希望チャンネル信号のレベルが所定の値より低下して信号誤り率を増大させ、また、A G C 機能回路における閾値を大きい値に設定すると、アナログ部を構成する A G C 増幅器、復調器の入力信号レベルが増大して非直線歪を発生させ、結果として信号誤り率を増大させる場合が生ずるといった問題があった。

30

【 0 0 0 6 】

本発明は、このような従来の技術の問題点を解決するもので、隣接チャンネル信号の受信レベルが大きい場合でも、信号誤り率の増大を防止できる A G C 回路を提供することを目的とする。

40

【 0 0 0 7 】

【 課題を解決するための手段 】

本発明は上記の問題を解決するために、A G C 電圧に従って利得を変える A G C 増幅器と、A G C 増幅器から出力される信号を復調して I 軸信号および Q 軸信号を出力する復調器と、復調器から出力される I 軸信号および Q 軸信号をそれぞれデジタル信号に変換するアナログ・デジタル変換器とを含む無線装置受信部の自動利得制御回路は、アナログ・デジタル変換器から出力される I 軸信号および Q 軸信号の各デジタル信号の希望チャンネル信号成分をそれぞれ通過させるデジタルフィルタと、デジタルフィルタを通過したデジタル信号の希望チャンネル信号成分の合計パワーを算出し、このパワーのレベルに応じて変化させる A G C 電圧を生成する A G C 機能手段とを含むことを特徴とする。

50

【 0 0 0 8 】

また、本発明は、A G C 電圧に従って利得を変えるA G C 増幅器と、A G C 増幅器から出力される信号を復調してI軸信号およびQ軸信号を出力する復調器と、復調器から出力されるI軸信号およびQ軸信号をそれぞれデジタル信号に変換するアナログ・デジタル変換器とを含む無線装置受信部の自動利得制御回路は、アナログ・デジタル変換器から出力されるI軸信号およびQ軸信号の各デジタル信号の希望チャンネル信号成分をそれぞれ通過させるデジタルフィルタと、デジタルフィルタを通過した各デジタル信号の希望チャンネル信号成分の合計パワーを算出する第1のA G C 機能手段と、アナログ・デジタル変換器でデジタル化されたI軸信号およびQ軸信号の各デジタル信号の合計パワーを算出する第2のA G C 機能手段と、第2のA G C 機能手段で算出されたパワーから第1のA G C 機能手段で算出されたパワーを減算して隣接チャンネル信号成分のパワーを算出し、この隣接チャンネル信号成分のパワーが閾値より小さい場合は、第1のA G C 機能回路で算出されたパワーに応じて変化するA G C 電圧を生成し、隣接チャンネル信号成分のパワーが閾値より大きい場合は、第1 A G C 機能回路で算出されたパワーと第2のA G C 機能回路で算出されたパワーとを含むパワーに応じて変化するA G C 電圧を生成するA G C 判定手段とを含むことを特徴とする。

10

【 0 0 0 9 】

【 発明の実施の形態 】

次に添付図面を参照して本発明によるA G C 回路の実施例を詳細に説明する。図1は、本発明によるA G C 回路の第1の実施例を示すブロックである。図1において、受信ミキサ10、S A W フィルタ12、A G C 増幅器14、復調器16、直流増幅器18、アナログフィルタ20およびアナログ・デジタル変換器(A D C)22は、C D M A 無線通信装置の受信部の一部分であり、デジタルフィルタ24およびA G C 機能回路26は、A G C 回路を構成している。なお、直流増幅器18、アナログフィルタ20、アナログ・デジタル変換器(A D C)22およびデジタルフィルタ24は、I軸信号およびQ軸信号を別々に平行して処理するものとする(他の実施例も同様である)。また、接続線に付した参照番号はその接続線に現れる信号を示す(他の図についても同様である)。

20

【 0 0 1 0 】

受信ミキサ10は、高周波信号100をI F信号に変換する周波数変換器であり、ダブルスーパーヘテロダイン方式の場合は2番目の受信ミキサに該当する。受信ミキサ10に接続されたS A W フィルタ12は、たとえば、通過帯域が5 M H z のバンドパスフィルタであり、受信ミキサ10により周波数変換された信号から所望のチャンネル信号(希望チャンネル信号)を選択し、他のチャンネル信号(隣接チャンネル信号)を減衰させる表面弾性波フィルタである。S A W フィルタ12に接続されたA G C 増幅器12は、A G C 機能回路26から出力されるA G C 電圧102に従って内蔵する増幅器の利得を制御するものである。

30

【 0 0 1 1 】

A G C 増幅器12に接続された復調器16は、直交変調された信号を復調する復調器であり、A G C 増幅器12から出力される信号を復調してI軸信号およびQ軸信号を出力する。復調器16に接続された直流増幅器18は、復調器16から出力されるI軸信号およびQ軸信号を増幅する増幅回路であり、直流増幅器18に接続されたアナログフィルタ20は、直流増幅器18から出力されるI軸信号およびQ軸信号から不要波を除去するフィルタである。アナログフィルタ20に接続されたアナログ・デジタル変換器22は、アナログフィルタ20から出力されるI軸信号およびQ軸信号をアナログ信号からデジタル信号に変換し、I軸信号の振幅値を示すデータI およびQ軸信号の振幅値を示すデータQ からなるデータ106を出力するものである。

40

【 0 0 1 2 】

また、アナログ・デジタル変換器22に接続されたデジタルフィルタ24は、アナログ・デジタル変換器22から出力される信号から隣接チャンネル信号成分を除去し、希望チャンネル信号のデータI およびQ を選択して出力する狭帯域のローパスフィルタである。デ

50

デジタルフィルタ 24 に接続された A G C 機能回路 26 は、デジタルフィルタ 24 から出力されるデータ I および Q を使用して、アナログ・デジタル変換器 22 に入力される I 軸信号および Q 軸信号の一定期間 T におけるパワー P 1 を計算式 $(I^2 + Q^2)^{1/2}$ に従ってその周期 T 毎に算出し、算出した P 1 と予め定められた閾値 (R E F P O W E R) 104 とを比較してその差を求め、その差に基づいて A G C 電圧 100 を生成して A G C 増幅器 14 に出力するものである。

【 0 0 1 3 】

このように構成された受信部では、A G C 機能回路 26 で生成した A G C 電圧 102 により A G C 増幅回路 14 の利得を制御することにより、アナログ・デジタル変換器 22 の入力レベルを A G C 機能回路 26 に設定された閾値 104 に対応した値に保持する。本実施例では、特にアナログ・デジタル変換器 22 にデジタルフィルタ 24 を接続して希望チャンネル信号のデータ I および Q のみを取り出し、このデータに基づいて A G C 制御電圧 102 を生成して A G C 制御を行っている。したがって、隣接チャンネル信号のレベルが増大した場合でも、アナログ・デジタル変換器 22 の入力における希望チャンネル信号のレベルは一定に制御され、アナログ・デジタル変換の分解能以下に低下することはない。

【 0 0 1 4 】

図 2 は、本発明による A G C 回路の第 2 の実施例を示すブロック図である。この実施例は、A G C 回路をデジタルフィルタ 24、A G C 機能回路 26、28 および A G C 判定部 30 により構成したものであり、アナログ・デジタル変換器 22 にデジタルフィルタ 24 および A G C 機能回路 28 を接続し、デジタルフィルタ 24 に A G C 機能回路 26 を接続し、A G C 機能回路 26 および 28 に A G C 判定部 30 を接続している。本実施例は、このような構成により、隣接チャンネル信号のレベルが増大した場合にも、アナログ部において非直線歪みが発生しないように A G C 制御を行うものである。なお、図 1 と同じものには同じ参照符号を付してある。

【 0 0 1 5 】

図 2 の A G C 機能回路 26 は、デジタルフィルタ 24 から出力されるデータ 106 (データ I および Q) を使用して、アナログ・デジタル変換器 22 に入力される希望チャンネル信号の I 軸信号および Q 軸信号の一定期間 T におけるパワー P 1 を計算式 $(I^2 + Q^2)^{1/2}$ に従ってその周期 T 毎に算出し、パワー P 1 の算出値 108 を A G C 判定部 30 に出力する回路である。A G C 機能回路 28 は、アナログ・デジタル変換器 22 から出力されるデータ I および Q を使用して、アナログ・デジタル変換器 22 に入力される希望チャンネル信号および隣接チャンネル信号の一定期間 T におけるパワー P 2 を計算式 $(I^2 + Q^2)^{1/2}$ に従ってその周期 T 毎に算出し、パワー P 2 の算出値 110 を A G C 判定部 30 に出力する回路である。

【 0 0 1 6 】

また、A G C 判定部 30 は、A G C 機能回路 26 から出力される算出値 108 および A G C 機能回路 28 から出力される算出値 110 に基づいて、A G C 電圧 102 を生成して A G C 増幅回路 14 に出力するものである。図 3 は、A G C 判定部 30 の実施例を示すブロック図である。この A G C 判定部 30 は、減算回路 200、比較回路 202、加算回路 204 および比較回路 206 から構成される。

【 0 0 1 7 】

図 3 における減算回路 200 は、図 2 の A G C 機能回路 28 から出力される算出値 110 から、A G C 機能回路 26 から出力される算出値 108 を減算して隣接チャンネル信号成分のパワー P 3 を算出し、パワー P 3 を表わす算出値 208 を出力するものである。減算回路 200 に接続された比較回路 202 は、算出値 208 と予め設定された閾値 210 とを比較し、算出値 208 が閾値 210 より大きいときその算出値 208 を算出値 212 として出力するものである。なお、算出値 208 の大きさを調整して算出値 212 としてもよい。また、比較回路 202 に接続された加算回路 204 は、算出値 108 に算出値 212 を加算して加算値 214 を出力し、加算回

10

20

30

40

50

路 204 に接続された比較回路 206 は、加算値 214 と予め設定された閾値 216 とを比較して差分値を求め、その差分値に応じて変化する A G C 電圧 102 を生成するものである。なお、閾値 210 および 216 は図 2 の閾値 104 に対応する。

【0018】

図 4 は、A G C 判定部 30 の他の実施例を示すブロック図である。この A G C 判定部 30 は、図 3 の A G C 判定部 30 における比較回路 202 を省略して回路構成の単純化を図ったものであり、減算回路 200、加算回路 204 および比較回路 206 から構成される。減算回路 200 は、算出値 110 から算出値 108 を減算して隣接チャンネル信号成分のパワー P3 を算出し、これを算出値 208 として出力するものである。減算回路 200 に接続された加算回路 204 は、算出値 108 に算出値 208 を加算して加算値 214 を出力し、加算回路 204 に接続された比較回路 206 は、加算値 214 と予め設定された閾値 216 とを比較して差分値を求め、その差分値に応じて変化する A G C 電圧 102 を生成するものである。なお、この実施例における閾値 216 は図 2 の閾値 104 に対応する。

10

【0019】

本実施例の動作を説明すると、受信部が希望チャンネル信号を受信したとき、アナログ・デジタル変換器 22 では、I 軸信号および Q 軸信号のレベルを示すデータ I および Q からなるデータ 106 を出力する。データ I および Q は、A G C 機能回路 28 に入力されると共にデジタルフィルタ 24 を通して A G C 機能回路 26 に入力される。A G C 機能回路 26 では、周期 T 毎に計算式 $(I^2 + Q^2)^{1/2}$ を用いてパワー P1 を算出し、A G C 機能回路 28 も同様にしてパワー P2 を算出する。パワー P1 を示す算出値 108 およびパワー P2 を示す算出値 110 は共に A G C 判定部 30 に入力される。

20

【0020】

図 3 の A G C 判定部 30 の減算回路 200 では、算出値 110 から算出値 108 を減算して隣接チャンネル信号成分のパワー P3 を算出し、算出した P3 を表わす算出値 208 を比較回路 202 に出力する。比較回路 202 では、算出値 208 と閾値 210 とを比較して算出値 208 が閾値 210 より大きいとき算出値 212 を出力する。加算回路 204 では、算出値 108 に算出値 212 を加算して加算値 214 を出力する。したがって、加算値 214 は、隣接チャンネル信号成分のパワー P3 が閾値 210 より小さいときはパワー P1 を表わし、閾値 210 を超えるときはパワー P1 に隣接チャンネル信号成分のパワー P3 に応じて変化する算出値 212 を加算した値を表わすことになる。

30

【0021】

比較回路 206 では、前述のように加算回路 204 から出力される加算値 214 と閾値 216 とを比較してその差に応じて変化する A G C 電圧 102 を生成して A G C 増幅器 14 に出力する。A G C 増幅器 14 では、この A G C 電圧 102 に従って利得を制御する。なお、図 4 の A G C 判定部 30 の場合には、加算回路 204 から出力される加算値 214 は、常にパワー P1 にパワー P3 を加算した値であり、比較回路 206 では、この加算値 214 と閾値 216 とを比較してその差に応じて変化する A G C 電圧 102 を生成して A G C 増幅器 14 に出力する。

40

【0022】

このように本実施例では、A G C 判定部 30 により隣接チャンネル信号成分のパワー P3 を監視し、パワー P3 が閾値 210 より小さい場合には、アナログ部分において隣接チャンネル信号による非直線歪みの発生はないと判断し、希望チャンネル信号成分のパワー P1 のレベルに基づいて A G C 制御を行う。これにより、アナログ・デジタル変換器 22 に入力される希望チャンネル信号 (I 軸信号および Q 軸信号) のレベルをアナログ・デジタル変換の分解能以下とならないように保持することができる。また、パワー P3 が閾値 210 より大きい場合には、アナログ部分において隣接チャンネル信号により非直線歪みの発

50

生する恐れがあると判断し、隣接チャンネル信号成分のパワー P 3 のレベルに応じて変化する加算値 2 1 4 に基づいて A G C 制御を行う。これにより、アナログ部分において隣接チャンネル信号により発生する信号の非直線歪みを防止することができる。

【 0 0 2 3 】

なお、図 2 の A G C 機能回路 3 0 は、隣接チャンネル信号による信号の誤り率の悪化を防止するために設けたものである。相手と通信を行う接続モード時のみ起動させ、それ以外の待ち受け時には起動させないようにしてもよい。後述する第 3 の実施例および第 4 の実施例の場合も同様である。

【 0 0 2 4 】

図 5 は、本発明による A G C 回路の第 3 の実施例を示すブロック図である。この実施例は、図 2 に示す A G C 回路に平均処理回路 3 2、3 4 を追加したものであり、A G C 機能回路 2 6 と A G C 判定部 3 0 との間に平均処理回路 3 2 を接続し、A G C 機能回路 2 8 と A G C 判定部 3 0 との間に平均処理回路 3 4 を接続した構成となっている。本実施例は、このような構成によりフェージングを考慮した A G C 制御を行うものである。なお、図 2 と同じものには同じ参照符号を付してある。

10

【 0 0 2 5 】

図 4 における A G C 機能回路 2 6 は、パワー P 1 を算出してパワー P 1 を示す算出値 1 0 8 を周期 T 毎に平均処理回路 3 2 に出力し、A G C 機能回路 2 8 は、パワー P 2 を算出してパワー P 2 を示す算出値 1 1 0 を周期 T 毎に平均処理回路 3 4 に出力する。平均処理回路 3 4 は、上記の周期 T に基づいて周期が T 2 (T の整数倍) の制御パルスを生成し、この制御パルスに同期して入力される算出値 1 0 8 を A G C 判定部 3 0 に算出値 1 1 2 として出力するものである。また、平均処理回路 3 4 は、上記の周期 T に基づいて周期が T 2 (T の整数倍) の制御パルスを生成し、この制御パルスに同期して入力される算出値 1 1 0 を A G C 判定部 3 0 に算出値 1 1 4 として出力するものである。

20

【 0 0 2 6 】

A G C 判定部 3 0 には、平均処理回路 3 2 から算出値 1 1 2 が時間 T 1 毎に入力され、平均処理回路 3 4 から算出値 1 1 4 が時間 T 2 毎に入力される。本実施例の A G C 判定部 3 0 は、図 3 に示す減算回路 1 0 0 の入力側にレジスタ 2 2 0、2 2 2 を追加した構成となっており、入力される算出値 1 0 8、1 1 0 をレジスタ 2 2 0、2 2 2 に格納し、先に格納した算出値を更新する。そして、周期 T 毎にレジスタ 2 2 0、2 2 2 から算出値 1 1 2、1 1 4 を読み出し、図 3 の場合と同様に A G C 電圧 1 0 2 を生成するものである。なお、図 4 に示す減算回路 1 0 0 の入力側にレジスタ 2 2 0、2 2 2 を追加した構成としてもよい。

30

【 0 0 2 7 】

ところで、受信部で受信される希望チャンネル信号および隣接チャンネル信号の受信レベルは、フェージングにより時間的に変動することが多く、通常、その変動周期はキャリア周波数により異なる。したがって、希望チャンネル信号を重視し、主として希望チャンネル信号のフェージングに A G C を追従させる場合には、平均処理回路 3 2 で設定される時間 T 1 を平均処理回路 3 4 で設定される時間 T 2 より短くすればよい。これにより、希望チャンネル信号のフェージングに追従できる A G C 制御を行うことが可能となる。

40

【 0 0 2 8 】

図 6 は、本発明による A G C 回路の第 4 の実施例を示すブロック図である。この実施例は、図 2 に示す A G C 回路における A G C 判定部 3 0 を A G C 判定部 3 6 に置き換え、この A G C 判定部 3 6 と直流増幅器 1 8 との間に制御回路 3 8 を接続したものである。本実施例は、このような構成により隣接チャンネル信号が所定のレベル以上に増大したとき、直流増幅回路 1 8 の可変アッテネータの減衰量を瞬時に増大させてアナログ部における非直線歪みの発生を迅速に防止する。なお、直流増幅器 1 8 は I 軸信号および Q 軸信号を別々に平行して処理するものとする。また、図 2 と同じものには同じ参照符号を付してある。

【 0 0 2 9 】

50

図6におけるAGC判定部36は、AGC機能回路26、28から出力される算出値108、110に基づいてAGC増幅器14に供給するAGC電圧102を生成すると共に、制御回路38に出力するEN信号116およびSW信号118を生成するものである。図7は、AGC判定部36の実施例を示すブロック図である。この実施例のAGC判定部36は、比較回路300、減算回路302、比較回路304、EN信号生成回路306およびSW信号生成回路308から構成される。

【0030】

比較回路300は、AGC機能回路26から出力される算出値108と予め設定された閾値310とを比較してその差に応じて変化するAGC電圧102を生成してAGC増幅器14に出力するものである。減算回路302は、AGC機能回路28から出力される算出値110から、AGC機能回路26から出力される算出値108を減算して隣接チャネル信号成分のパワーP3を算出し、パワーP3を示す算出値312を出力するものである。減算回路302に接続された比較回路304は、算出値312と予め設定された閾値314とを比較し、算出値312が閾値314を超えた時および算出値312が閾値314より下がった時に起動信号316を出力するものである。

10

【0031】

また、比較回路304に接続されたEN信号生成回路306は、比較回路304から起動信号316が与えられたとき、減衰量の切り替えを指示するEN信号116を生成するものである。減算回路302に接続されたSW信号生成回路308は、減算回路302から出力される算出値312が閾値314より小さいとき直流増幅器18のアッテネータを第1の減衰量に設定し、大きいとき第2の減衰量に設定するSW信号118を生成するものである。ここで、第2の減衰量は第1の減衰量より大きいものとする。EN信号116およびSW信号118は図5の制御回路38に入力される。

20

【0032】

制御回路38は、タイミングクロック生成回路とSW信号出力回路とを含む(いずれも図示せず)。そして、タイミングクロック生成回路は、アナログ・デジタル変換器22に供給されるサンプリングクロック120より1/2サンプリングクロックずれたタイミングクロックを生成し、AGC判定部36からEN信号116が与えられたときこのタイミングクロックに同期する切替タイミング信号を生成する。また、SW信号出力回路は、タイミングクロック生成回路で切替タイミング信号が生成されたとき、AGC判定部36から与えられるSW信号118をSW切替信号122として直流増幅器18に出力する。したがって、直流増幅器18における可変アッテネータの減衰量の切り替えは、サンプリングクロック120の中間点で実行され、アナログ・デジタル変換器22で行われるサンプリング動作に影響を及ぼすことはない。

30

【0033】

また、本実施例の直流増幅回路18は、入力信号に減衰を与える可変アッテネータを有し、制御回路38から与えられるSW切替信号122に従って可変アッテネータの減衰量を第1の減衰量または第2の減衰量に切り替えるものである。この可変アッテネータは、抵抗素子および切替スイッチから構成されており、時定数回路を含まないので減衰量の設定を迅速に切り替えることができる。なお、I軸信号およびQ軸信号に与える減衰量は共に、SW切替信号122に従うものとする。

40

【0034】

本実施例の動作を説明すると、AGC回路のAGC判定部36では、希望チャネル信号成分のパワーP1に基づいてAGC電圧102を生成してAGC増幅器14に出力する。また、AGC判定部36では、AGC電圧102の生成と並行して隣接チャネル信号成分のパワーP3を監視し、パワーP3が所定の閾値を超えた時に第2の減衰量を設定し、パワーP3が所定の閾値より下がった時に第1の減衰量を設定するSW信号118を生成すると共に減衰量の切り替えを指示するEN信号116を生成して制御回路38に出力する。

50

【0035】

AGC増幅器14では、AGC判定部36から供給されるAGC電圧102に従って利得を制御する。一方、制御回路38では、AGC判定部36からEN信号116およびSW信号118が与えられたとき、サンプリングクロック120より1/2サンプリングクロックだけずれたタイミングでSW切替信号122を直流増幅器18に出力する。直流増幅器18では、このSW切替信号122に従って可変アッテネータの減衰量を切り替える。

【0036】

このように第4の実施例によれば、直流増幅器18に時定数を含まない可変アッテネータを設け、隣接チャネル信号成分のパワーP3に応じて可変アッテネータの減衰量を切り替えているので、パワーP3のレベル変動に迅速に対応することができる。

10

【0037】

図8は、本発明によるAGC回路の第5の実施例を示すブロックである。図8の受信ミキサ10、SAWフィルタ12、復調器16、可変抵抗器40、直流増幅器18、アナログフィルタ20、およびアナログ・デジタル変換器22は受信部の一部を構成し、アナログフィルタ42、遅延回路44、利得可変増幅器46、差動増幅器48、比較器50およびEN信号発生器52はAGC回路を構成している。なお、AGC回路は、I軸信号およびQ軸信号を別々に平行して処理するものとする。また、本実施例に直接関係しない回路は省略してある。また、図1と同じものには同じ参照符号を付してある。

【0038】

復調器16に接続された可変抵抗器40は、復調器16から入力される信号に減衰を与える可変アッテネータを有し、EN信号発生器52からEN信号144が与えられたとき、比較器50から供給されるSW切替信号138に従って可変アッテネータの減衰量を変更するものであり、本実施例では、減衰量を第1の減衰量および第2の減衰量のいずれかに設定することができる。ただし、第2の減衰量は第1の減衰量より大きいものとする。

20

【0039】

可変抵抗器40には直流増幅器18が接続され、直流増幅器18にはアナログフィルタ20が接続されている。アナログフィルタ20は、直流増幅器18から出力される希望チャネル信号のI軸信号およびQ軸信号(希望チャネル信号成分)から隣接チャネル信号のI軸信号およびQ軸信号(隣接チャネル信号成分)を除去するローパスフィルタである。アナログフィルタ20に接続されているアナログフィルタ64は、アナログフィルタ20と同一の特性を有するローパスフィルタである。したがって、アナログフィルタ64から出力される信号78は、アナログフィルタ20の出力信号130に隣接チャネル信号成分が含まれていても希望チャネル信号成分のみとなる。

30

【0040】

アナログフィルタ20に接続されている遅延回路44は、入力される信号130に所定の遅延を与えるものであり、遅延回路44に接続されている可変利得増幅器46は、信号レベルを調整する利得可変手段を備えている。本実施例では、可変利得増幅器46から出力される信号134の振幅および位相がアナログフィルタ42から出力される信号132と同じになるように、遅延回路44の遅延時間および可変利得増幅器46の利得を調整する。

40

【0041】

アナログフィルタ42および可変利得増幅器46に接続されている差動増幅器48は、可変利得増幅器46から出力される信号134と、アナログフィルタ42から出力される信号132との差を検出してこれを信号136として出力するものである。アナログフィルタ20は隣接チャネル信号成分を除去するが、隣接チャネル信号成分が大きい場合には、アナログフィルタ20から出力される信号130に隣接チャネル信号成分が含まれる。一方、アナログフィルタ42から出力される信号132は、希望チャネル信号成分のみである。したがって、差動増幅器48は、隣接チャネル信号成分を表わす信号13

50

6 を出力する。

【0042】

差動増幅器48に接続された比較器50は、信号136のピーク値を検出して予め設定された閾値142と比較し、信号136のピーク値が閾値142を超えた時、可変抵抗器40の減衰量を第2の減衰量に設定し、信号136のピーク値が閾値142より低下した時、可変抵抗器40の減衰量を第1の減衰量に設定するSW切替信号138を生成すると共に、EN信号144の出力を指示するキャリア信号140を生成するものである。なお、ピーク値の検出に替えて信号136を積分してもよい。

【0043】

比較器50に接続されたEN信号発生器52は、可変抵抗器40における減衰量の切り替えタイミングを示すEN信号144を生成する回路である。具体的には、アナログ・デジタル変換器22に供給されるサンプリングクロック120より1/2サンプリングクロックずれたタイミングクロックを生成し、比較器50からキャリア信号140が与えられたとき、上記のタイミングクロックに同期したEN信号144を生成して可変抵抗器40に出力する。したがって、可変抵抗器40における減衰量の切り替えは、サンプリングクロック120のクロックとクロックの中間点で行われるので、アナログ・デジタル変換器22で行われるサンプリング動作に影響を及ぼすことはない。

【0044】

本実施例の動作を説明すると、復調器16では受信信号を復調してI軸信号およびQ軸信号を出力する。このI軸信号およびQ軸信号は、可変抵抗器40、直流増幅器18およびアナログフィルタ20を通過してアナログ・デジタル変換器22、アナログフィルタ42および遅延回路44にそれぞれ入力される。アナログフィルタ42では、希望チャネル信号成分を通過させ、隣接チャネル信号成分の通過を阻止する。しかし、アナログフィルタ42の出力信号132は、アナログフィルタ20の出力信号130に隣接チャネル信号成分が含まれる場合でも希望チャネル信号成分のみとなる。

【0045】

差動増幅器48では、アナログフィルタ42を通過した信号132と、遅延回路44および可変利得増幅器46を通過した信号134との差を求めて、隣接チャネル信号成分(信号136)を生成する。比較器50では、この信号136のピーク値を検知して閾値142と比較し、ピーク値が閾値142を超える時、可変抵抗器40における減衰量を第2の減衰量に設定し、ピーク値が閾値142より低下した時、減衰量を第1の減衰量に戻すSW切替信号138を生成して可変抵抗器40に供給すると共に、キャリア信号140を生成してEN信号発生器52に出力する。

【0046】

EN信号発生器52では、比較器50からキャリア信号140が与えられたとき、減衰量の設定変更のタイミングを示すEN信号144を生成して可変抵抗器40に出力する。可変抵抗器40では、EN信号発生器52からEN信号144が与えられたとき、比較器50から供給されるSW信号信号138に従って可変アッテネータの減衰量を変更する。

【0047】

このように本実施例では、AGC回路をアナログ回路で構成している。すなわち、アナログフィルタ20から出力される隣接チャネル信号成分(I軸信号およびQ軸信号)のレベルに基づいて、アナログ部が隣接チャネル信号成分により非直線歪みが発生しないように可変抵抗器40の減衰量を切り替えている。したがって、本実施例では、デジタル処理を行うデジタル処理回路を使用しないので、受信部におけるデジタル処理回路の規模を縮小することができる。

【0048】

図9は、本発明によるAGC回路の第6の実施例を示すブロック図である。この実施例のAGC回路は、アナログフィルタ54、比較器50、およびEN信号発生器52から構成されるもので、図8に示すAGC回路と比較して回路構成が簡単化されている。な

お、A G C 回路は、I 軸信号および Q 軸信号を別々に平行して処理するものとする。また、図 8 と同じものには同じ参照符号を付してある。

【 0 0 4 9 】

アナログフィルタ 5 4 は、希望チャネル信号成分の通過を阻止し、隣接チャネル信号成分を通過させるハイパスフィルタである。したがって、アナログフィルタ 2 0 の出力信号 1 3 0 に含まれる隣接チャネル信号成分は、アナログフィルタ 5 4 を通過し、信号 1 5 0 として比較器 5 0 に入力する。比較器 5 2、比較器 5 2 に接続される可変抵抗器 4 0 および E N 信号発生器 5 2 は、図 8 における同一の参照符号が付されたものと同じであるので説明を省略する。

【 0 0 5 0 】

図 8 の A G C 回路では、アナログフィルタ 4 2、遅延回路 4 4、可変利得増幅器 4 6 および差動増幅器 4 8 を用いて隣接チャネル信号成分を取り出していた。このため、アナログフィルタ 4 2 から出力される信号 1 3 2 (希望チャネル信号成分)の振幅および位相を遅延回路 4 4 および可変利得増幅器 4 6 を通して出力される信号 1 3 4 に含まれる希望チャネル信号成分に一致するように遅延回路 4 4 および可変利得増幅器 4 6 を調整する必要がある。これに対して本実施例では、アナログフィルタ 5 4 のみにより隣接チャネル信号成分を取り出しているそのような煩わしさは無くなる。

【 0 0 5 1 】

図 1 0 は、本発明による A G C 回路の第 7 の実施例を示すブロック図である。この実施例の A G C 回路は、ピーク検知器 5 8、比較回路 6 0、および E N 信号発生器 5 2 から構成されており、直流増幅器 1 8 から出力される信号 1 6 0 (希望チャネル信号成分および隣接チャネル信号成分を含む)に基づいて A G C 制御を行うものである。したがって、図 9 のアナログフィルタ 5 4 が不要となる。なお、なお、A G C 回路は、I 軸信号および Q 軸信号を別々に平行して処理するものとする。また、図 9 と同じものには同じ参照符号を付してある。

【 0 0 5 2 】

図 1 0 において、直流増幅器 1 8 に接続されたピーク検知器 5 8 は、直流増幅器 1 8 から出力される信号 1 6 0 のピークを検知し、そのピーク値を示す信号 1 6 2 を出力するものである。ピーク検知器 5 8 に接続された比較器 6 0 は、ピーク検知器 5 8 から出力される信号 1 6 2 を周期 T 0 のクロック(たとえば、アナログ・デジタル変換器 1 8 に供給されるサンプリングクロック 5 8)を用いて周期 T 0 毎に順次標本化し、標本化された値が N 個連続して予め定められ閾値 1 6 4 を超える時、可変抵抗器 4 0 の減衰量を第 2 の減衰量に設定し、そのような状態を脱した時、可変抵抗器 4 0 の減衰量を元の第 1 の減衰量に戻す S W 切替信号 1 3 8 を生成すると共に、E N 信号 1 4 4 の出力を要請するキャリア信号 1 4 0 を生成する。なお、比較器 6 0 に接続された可変抵抗器 4 0 および E N 信号発生器 5 2 は、図 9 における同一の参照符号が付されたものと同じであるので説明を省略する。

【 0 0 5 3 】

このように本実施例によれば、直流増幅器 1 8 から出力される希望チャネル信号成分および隣接チャネル信号成分を含む信号 1 6 0 のレベルをピーク検知器 5 8 により検知し、その検知結果に従って可変抵抗器 4 0 の減衰量を制御しているので、アナログフィルタを使用する必要がなくなり、それだけ A G C 回路の構成を簡単化することができる。

【 0 0 5 4 】

【 発明の効果 】

本発明による A G C 回路によれば、希望チャネル信号成分に基づいて A G C 制御を行っているので、隣接チャネル信号の影響を受けることなくアナログ・デジタル変換器の入力信号レベルを一定にすることができる。

【 0 0 5 5 】

また、本発明によれば、隣接チャネル信号成分が増加したとき、希望チャネル信号成分と隣接チャネル信号成分とに基づいて A G C 制御を行っているので、アナログ部における

10

20

30

40

50

隣接チャネル信号による非直線ひずみの発生を防止することができる。

【0056】

また、本発明によれば、希望チャネル信号成分に基づいてAGC制御を行うと共に、隣接チャネル成分に基づいて時定数を含まない可変アッテネータを制御することにより、隣接チャネル成分のレベルが急激に変化した場合でも迅速に対応できる。

【0057】

さらに、本発明によれば、アナログのI軸信号およびQ軸信号に基づいてAGC制御を行いことによりデジタル処理回路の規模を縮小することができる。

【図面の簡単な説明】

【図1】本発明によるAGC回路の第1の実施例を示すブロック図である。

10

【図2】本発明によるAGC回路の第2の実施例を示すブロック図である。

【図3】図2に示すAGC回路のAGC判定部の実施例を示すブロック図である。

【図4】図2に示すAGC回路のAGC判定部の他の実施例を示すブロック図である。

【図5】本発明によるAGC回路の第3の実施例を示すブロック図である。

【図6】本発明によるAGC回路の第4の実施例を示すブロック図である。

【図7】図5に示すAGC回路のAGC判定部の実施例を示すブロック図である。

【図8】本発明によるAGC回路の第5の実施例を示すブロック図である。

【図9】本発明によるAGC回路の第6の実施例を示すブロック図である。

【図10】本発明によるAGC回路の第7の実施例を示すブロック図である。

20

【符号の説明】

14 AGC増幅器

16 復調器

20、42、54 アナログフィルタ

22 アナログ・デジタル変換器

24 デジタルフィルタ

26、28 AGC機能回路

30、36 AGC判定部

32、34 平均処理回路

38 制御回路

30

40 可変抵抗器

44 遅延回路

46 可変利得増幅器

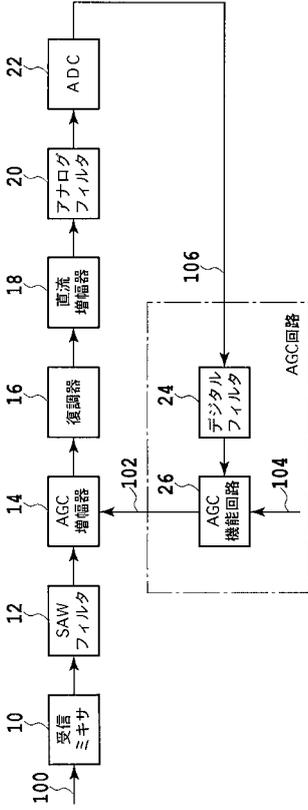
48 差動増幅器

50、60 比較器

52 EN発生器

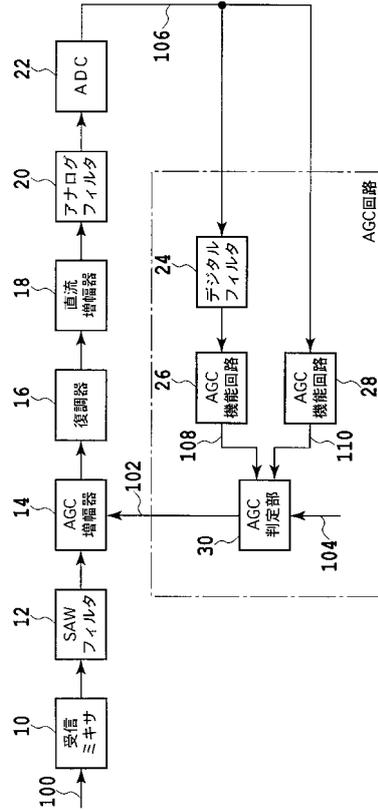
58 ピーク検知回路

【図 1】



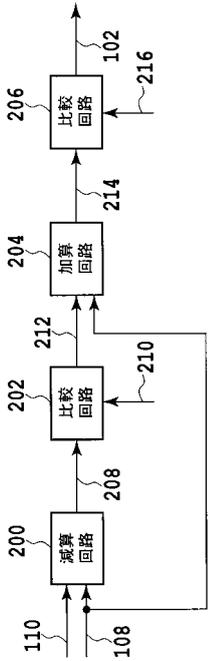
AGC回路の第1の実施例

【図 2】



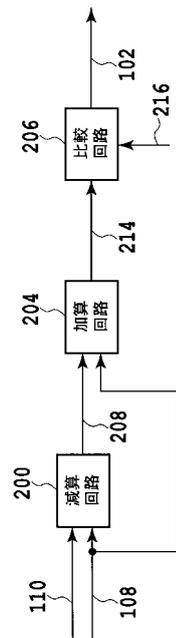
AGC回路の第2の実施例

【図 3】

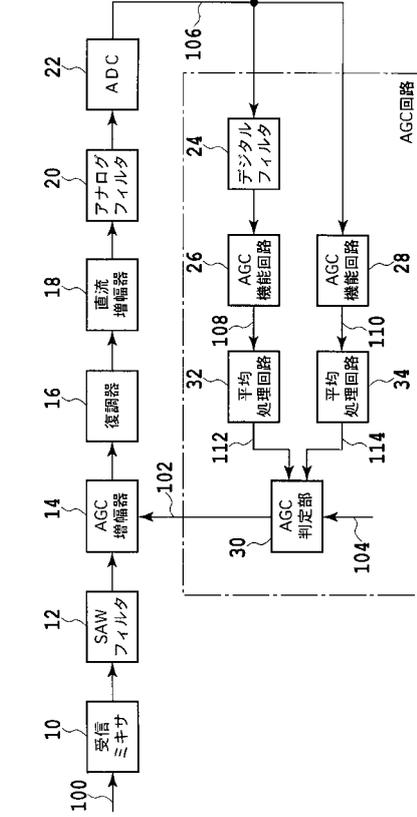


AGC判定部の実施例

【図 4】

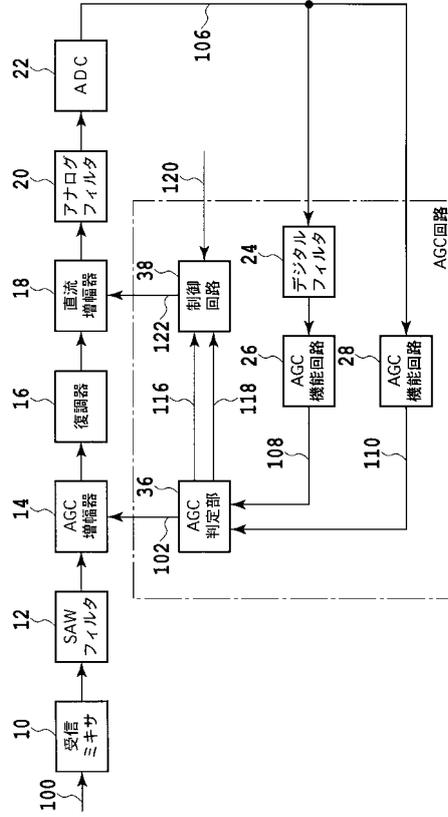


【図5】



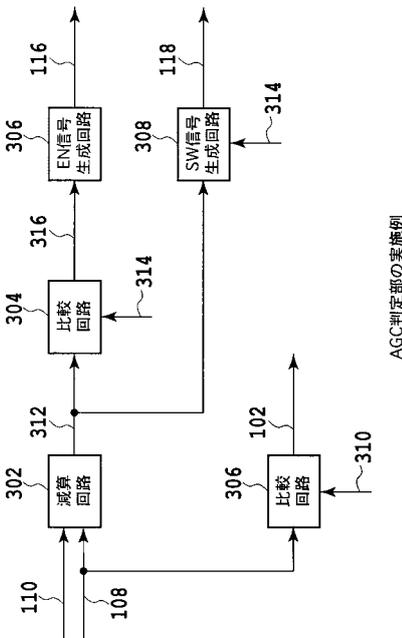
AGC回路の第3の実施例

【図6】



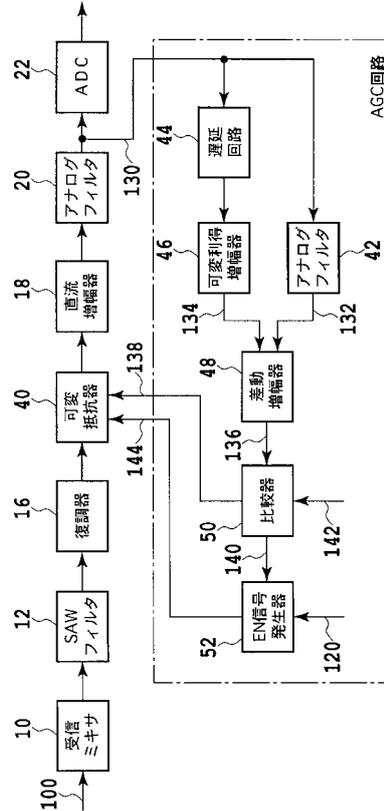
AGC回路の第4の実施例

【図7】



AGC判定部の実施例

【図8】



AGC回路の第5の実施例

フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

H 0 4 L 27/00

G

H 0 4 J 13/00

D