

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-520662

(P2010-520662A)

(43) 公表日 平成22年6月10日(2010.6.10)

(51) Int.Cl.	F I	テーマコード (参考)
H04N 5/335 (2006.01)	H04N 5/335	F 4M118
H01L 27/148 (2006.01)	H01L 27/14	B 5C024
	H04N 5/335	Z

審査請求 未請求 予備審査請求 未請求 (全 14 頁)

(21) 出願番号 特願2009-551679 (P2009-551679)
 (86) (22) 出願日 平成20年2月20日 (2008.2.20)
 (85) 翻訳文提出日 平成21年10月13日 (2009.10.13)
 (86) 国際出願番号 PCT/US2008/002237
 (87) 国際公開番号 W02008/106035
 (87) 国際公開日 平成20年9月4日 (2008.9.4)
 (31) 優先権主張番号 11/680,078
 (32) 優先日 平成19年2月28日 (2007.2.28)
 (33) 優先権主張国 米国 (US)

(71) 出願人 590000846
 イーストマン コダック カンパニー
 アメリカ合衆国 ニューヨーク州 ロチェ
 スター ステート ストリート 343
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 マイセンザール エリック ジョン
 アメリカ合衆国 ニューヨーク オンタリ
 オ カウンティ ライン ロード 692
 6

最終頁に続く

(54) 【発明の名称】 可変解像度可変感度イメージセンサ

(57) 【要約】

電荷結合素子 (CCD) イメージセンサであって、
 (a) 行列配置された複数個の CCD を有する二次元画素
 アレイと、(i) そのアレイ内の各 CCD を一種類又は
 複数種類の共通タイミング信号でクロッキングできるよ
 う各 CCD に複数個ずつ設けられたゲートと、(ii)
 上記アレイに電氣的に接続されており、第1共通タイミ
 ング信号でクロッキングされるゲートが並ぶ第1行、並
 びに第2又は第3共通タイミング信号でクロッキングさ
 れるゲートが並ぶ第2行を有する転送用領域であって、
 その第2行内に、第2共通タイミング信号でクロッキ
 ングされ電氣的に連動するゲートの対たる第1連動対、並
 びに第3共通タイミング信号でクロッキングされ電氣的
 に連動するゲートの対たる第2連動対が、それぞれ複数
 個ある転送用領域と、(b) 第2行内ゲート下から信号
 電荷を受け取れるよう第2行付近に形成された水平シフ
 トレジスタと、を備える。

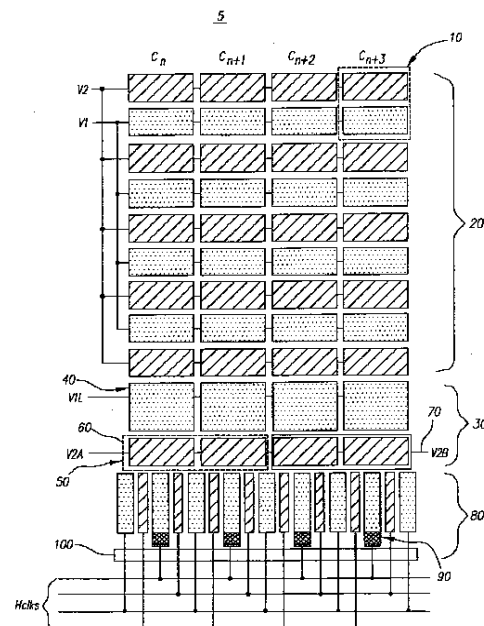


FIG. 1

【特許請求の範囲】**【請求項 1】**

(a) 行列配置された複数個の電荷結合素子を有する二次元画素アレイと、

(i) そのアレイ内の各電荷結合素子を一種類又は複数種類の共通タイミング信号でクロッキングできるように各電荷結合素子に複数個ずつ設けられたゲートと、

(i i) 上記アレイに電氣的に接続されており、第 1 共通タイミング信号でクロッキングされるゲートが並ぶ第 1 行、並びに第 2 又は第 3 共通タイミング信号でクロッキングされるゲートが並ぶ第 2 行を有する転送用領域であって、その第 2 行内に、第 2 共通タイミング信号でクロッキングされ電氣的に連動するゲートの対たる第 1 連動対、並びに第 3 共通タイミング信号でクロッキングされ電氣的に連動するゲートの対たる第 2 連動対が、それぞれ複数個ある転送用領域と、

10

(b) 第 2 行内ゲート下から信号電荷を受け取れるよう第 2 行付近に形成された水平シフトレジスタと、

を備える電荷結合素子イメージセンサ。

【請求項 2】

請求項 1 記載の電荷結合素子イメージセンサであって、その水平シフトレジスタが、容量超過分の信号電荷を排出するためのラテラルオーバフロードレインを有する電荷結合素子イメージセンサ。

【請求項 3】

請求項 1 記載の電荷結合素子イメージセンサであって、その水平シフトレジスタが双方向にシフト可能なシフトレジスタである電荷結合素子イメージセンサ。

20

【請求項 4】

電荷結合素子上の電荷を転送する方法であって、

(a) 電荷結合素子アレイから転送用領域第 1 行内ゲート下へと電荷を転送するステップと、

(b) 転送用領域第 1 行内ゲート下から水平シフトレジスタへと一部画素対の電荷をシリアル転送するステップと、

(c) 転送用領域第 1 行内ゲート下に残っている電荷と水平シフトレジスタ内の同色電荷とでその水平位置が揃うよう水平シフトレジスタ内の電荷を第 1 方向に順次シフトさせるステップと、

30

(d) 同色画素間で電荷が結合されるよう転送用領域第 1 行内ゲート下に残っている電荷を水平シフトレジスタへと転送するステップと、

(e) 電荷結合素子アレイから転送用領域第 1 行内ゲート下へと次の 1 行分の電荷を転送するステップと、

(f) その電荷についてステップ (b) ~ (e) を繰り返すステップと、

を有する方法。

【請求項 5】

請求項 4 記載の方法であって、水平シフトレジスタ上の電荷を第 1 方向とは逆の第 2 方向にシフトするステップと、電荷結合素子アレイから転送されてくる更に 2 行分の電荷についてステップ (b) ~ (e) を繰り返すステップと、を有する方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明はカラー CCD (電荷結合素子) イメージセンサ、特に可変解像度低雑音イメージセンサに関する。

【背景技術】**【0002】**

イメージセンサには三種類の属性が重視される。解像度、感度及び (多くの場合) フレームレートである。イメージセンサは、解像度が高い (画素数が多い) 方が一般により精細な画像を得ることができ、感度が高い方が S N R (信号対雑音比) が良好になるため微

50

かな光景を好適に解像することができ、フレームレートが高い方が短時間で多くの画像を撮影できるため被写体の移動をうまく捉えることができる。

【 0 0 0 3 】

一般に、その光学的方式が同じなら、画素サイズが小さいイメージセンサの方が解像度が高く、画素サイズが大きい方が感度が高い。即ち、光学的大小が同じなら解像度と感度は互いに反比例する。更に、解像度を高めると、フレームレートによって決まる画素読出レートが低下する。

【 0 0 0 4 】

そのため、普通の色配置を有するベイヤー色フィルタアレイを伴ったカラーイメージセンサにて、そのチップ上での処理で解像度向上と感度・フレームレート向上とを両立可能にすることが求められている。

10

【 0 0 0 5 】

チップ上での処理が求められるのは、隣接する（通常は同色の）画素間で信号電荷をチップ外（＝オフチップ）デジタル処理により結合（ビニング）して感度を向上させる、という従来のオフチップ画素ビニングでは、次の式

[数 1]

$$S N R_{off} = n^{1/2} S / (S + \quad^2)^{1/2}$$

から判るように、その S N R があまり改善されないからである。この式中、S は画素 1 個分の信号電荷、 \quad は増幅器雑音（一定値）、n は結合対象画素数、 $S^{1/2}$ の項は光ショット雑音である。この式の前提は、画素間で信号レベル差がないこと、並びにセンサ内増幅器雑音に比べ暗電流ショット雑音、クロッキング雑音、オフチップ電子回路 / A D C（アナログデジタル変換）雑音等といった種類の雑音を無視しうることである（そのシステム構成に不備のないカメラならこれらの前提は普通に成り立つ）。また、この S N R 改善と引き替えに解像度は 1 / n 倍に低下する（フレームレートは変わらない）。

20

【 0 0 0 6 】

これに対し、後述の通り、同色隣接画素の信号電荷をチップ上（＝オンチップ）で結合させた場合、次の式

[数 2]

$$S N R_{on} = n S / (n S + \quad^2)^{1/2}$$

から判るように、S N R がより改善される可能性がある。特に、出力信号レベルが低いとき（光ショット雑音が増幅器雑音に勝るとき）に、増幅器雑音の影響を抑えることができる。

30

【 0 0 0 7 】

特許文献 1（発明者：D r a i j e r）には、そうしたオンチップ画素ビニング回路についての記載がある。ただ、この回路では、所望の出力が得られるよう一次記憶レジスタ及びそれに関わる制御ラインを設けねばならないため、その回路規模ひいてはチップサイズが大きくなる。即ち、生産歩留まりが低く高コストなデバイスになる。加えて、画素ビニング処理の際、個々の画素の電荷を上下方向だけでなく左右方向にも転送しなければならないため、不可避な製造欠陥による電荷転送エラーのリスクが高い。こちらの方は非特許文献 1 で詳細に説明されている。そして、画素ビニング処理を終えた後、一次記憶レジスタから読出レジスタへと信号電荷を転送するのにある程度の時間がかかる分、そのフレームレートが低くなってしまう。

40

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 米国特許出願公開第 2 0 0 6 / 0 1 0 9 3 5 2 号明細書（ A 1 ）

【 特許文献 2 】 米国特許第 4 6 1 3 4 0 2 号明細書

【 特許文献 3 】 米国特許第 5 1 3 0 7 7 4 号明細書

【 特許文献 4 】 米国特許第 6 6 2 4 4 5 3 号明細書（ B 2 ）

【 特許文献 5 】 米国特許出願公開第 2 0 0 4 / 0 1 5 0 7 3 3 号明細書

50

【特許文献 6】米国特許出願公開第 2 0 0 6 / 0 1 2 5 9 4 3 号明細書

【特許文献 7】米国特許出願公開第 2 0 0 5 / 0 2 8 0 7 2 6 号明細書

【非特許文献】

【 0 0 0 9 】

【非特許文献 1】James R. Janesick, "Scientific Charge-Coupled Devices", SPIE Press, 2001, Chapter 5.4, pgs.449-450

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 0 】

本発明の目的は、上述した諸問題を克服することにある。

10

【課題を解決するための手段】

【 0 0 1 1 】

上述した諸問題のうち 1 個又は複数個を克服するため、本発明の好適な実施形態に係る CCD イメージセンサは、(a) 行列配置された複数個の CCD を有する二次元画素アレイと、(i) そのアレイ内の各 CCD を一種類又は複数種類の共通タイミング信号でクロッキングできるよう各 CCD に複数個ずつ設けられたゲートと、(i i) 上記アレイに電氣的に接続されており、第 1 共通タイミング信号でクロッキングされるゲートが並ぶ第 1 行、並びに第 2 又は第 3 共通タイミング信号でクロッキングされるゲートが並ぶ第 2 行を有する転送用領域(transition region)であって、その第 2 行内に、第 2 共通タイミング信号でクロッキングされ電氣的に連動するゲートの対たる第 1 連動対、並びに第 3 共通タイミング信号でクロッキングされ電氣的に連動するゲートの対たる第 2 連動対が、それぞれ複数個ある転送用領域と、(b) 第 2 行内ゲート下から信号電荷を受け取れるよう第 2 行付近に形成された水平シフトレジスタ(horizontal shift register)と、を備える。

20

【発明の効果】

【 0 0 1 2 】

本発明によれば、構成部材追加によるコスト増無しに、従ってその部材への入出力に係るクロックサイクルの追加による処理時間増加無しに、カラー画素ビニングを行うことができる。

【図面の簡単な説明】

【 0 0 1 3 】

30

【図 1】本発明のイメージセンサ及びその HCCD を示す図である。

【図 2 a】そのイメージセンサにおける電荷転送動作を示す図である。

【図 2 b】その続きを示す図である。

【図 2 c】その続きを示す図である。

【図 2 d】その続きを示す図である。

【図 2 e】その続きを示す図である。

【図 2 f】その続きを示す図である。

【図 2 g】その続きを示す図である。

【図 2 h】その続きを示す図である。

【図 2 i】その続きを示す図である。

40

【図 2 j】その続きを示す図である。

【図 2 k】その続きを示す図である。

【図 2 l】その続きを示す図である。

【図 2 m】その続きを示す図である。

【図 2 n】その続きを示す図である。

【図 2 o】その続きを示す図である。

【図 2 p】その続きを示す図である。

【図 2 q】その続きを示す図である。

【図 2 r】その続きを示す図である。

【図 3】図 2 a ~ 図 2 r に示した動作のタイミング図である。

50

【図 4 a】フル解像度読出時の対画素アレイ及び転送用領域クロッキング動作を示す図である。

【図 4 b】本発明の画素アレイによる真正二相クロッキング動作を示す図である。

【発明を実施するための形態】

【0014】

以下、上記以外のものも含めて本発明の実施形態、目的、構成及び効果をよりの確にご理解頂けるよう、別紙特許請求の範囲に基づき且つ別紙図面を参照しつつ、本発明の好適な実施形態に関し説明する。

【0015】

なお、本願中の「共通タイミング信号」は同じタイミング及び電位でゲートを駆動する電気信号のことである。同じタイミング及び電位であればよいので、共通タイミング信号の供給に使用する入力ラインの物理的本数は 1 本でも複数本でもよい。

【0016】

図 1 に、本発明の一実施形態に係る真正二相イメージセンサ 5 の構成を示す。このセンサ 5 では、各画素 10（図中破線）が本件技術分野で周知の 2 ゲートアーキテクチャを採っている。例えば個々の画素 10 を N M O S 構造の C C D（＝ n チャンネル C C D）にし、その C C D をこの 2 ゲートアーキテクチャにした場合、両ゲートを共に低電位にすると画素 10 上の信号電荷が両ゲート下に分散し、一方のゲートを高電位、他方のゲートを低電位にすると画素 10 上の全信号電荷が高電位な方のゲート下に蟄集する。なお、各画素 10 を P M O S 構造の C C D（＝ p チャンネル C C D）にした場合は電位の関係が逆になる。真正二相イメージセンサの更なる詳細については特許文献 2 を参照されたい。

【0017】

まず、本センサ 5 は、画素アレイ 20、そのアレイ 20 に電氣的に接続されている転送用領域 30、並びにその領域 30 に電氣的に接続されている水平シフトレジスタ 80 を備えている。領域 30 は、あるライン（＝第 1 行）に沿って複数個のゲートが配された第 1 部分 40 と、別のライン（＝第 2 行）に沿って別の複数個のゲートが配された第 2 部分 50 とを有しており、第 2 部分 50 に属する複数個のゲートによって二種類の連動対 60、70 が各複数個形成されている。第 1 行内ゲートは共通タイミング信号 V 1 L によってクロッキングされており、第 2 行内ゲートのうち第 1 連動対 60 を形成するゲート（図中破線）は共通タイミング信号 V 2 A によって、また第 2 連動対 70 を形成するゲート（図中実線）は共通タイミング信号 V 2 B によって、それぞれクロッキングされている。特に、第 1、第 2 各行内のゲートは、アレイ 20 を形成している画素のゲートと同じく真正二相アーキテクチャを採っているため、従来と違い一次記憶領域は必要ない。更に、本実施形態では、アレイ 20 全体が色フィルタアレイでカバーされ、被写体のカラー画像が得られることとなるよう、アレイ 20 内の各画素 10 に色フィルタが組み込まれている。また、他の種類の色フィルタアレイを形成してもよいが、ここではベイヤー方式の色フィルタアレイが形成されるようにしている。即ち、

B G b

G r R

という 2 × 2 アレイのパターンが繰り返されるよう、ブルー B、グリーン - ブルー G b、グリーン - レッド G r 及びレッド R の色フィルタを配してある。これについて示したのは、対応するフィルタ色が同じ画素 10 間でその信号電荷を結合（即ちビニング）させる動作を説明するためである。こうした例に基づきビニングについて説明する関係上、以下の説明ではレッド、グリーン及びブルーの各色に着目するが、同色同士がビニングされる限り、電氣的な接続、使用する色等が違う別の種類の色フィルタアレイを使用する形態でも、本発明を実施することもできる。

【0018】

なお、説明の明瞭化のため、転送用領域 30 にある第 1 ロー内ゲートをクロッキングするための共通タイミング信号を第 1 共通タイミング信号、第 2 ロー内ゲートのうち第 1 連動対 60 をなすゲートをクロッキングするための共通タイミング信号を第 2 共通タイミン

グ信号、第2連動対70をなすゲートをクロッキングするための共通タイミング信号を第3共通タイミング信号と称することとする。

【0019】

そして、水平シフトレジスタ80はHCCD（水平CCD）として構成されている。HCCD80は、転送用領域30の第2部分50から信号電荷を受け取れるようその部分50と電氣的に接続されており、且つ電荷を双方向にシフトできるよう構成されている。更に、このHCCD80には複数個のラテラルオーバフローチャネル90が接続されており、それらはラテラルオーバフロードレイン100と結合されている。HCCD80上の電荷のうちその容量を超過した分はそれらのドレイン100へと排出される。なお、ドレイン100の構成及び動作については、特許文献3及び4中の詳細な説明を参照されたい。

10

【0020】

図2aに、画素アレイ20及びその上の画像信号を示す。この図では、より好適にご理解頂けるようアレイ20の一部分（4×4サイズ）のみを表し、慣習に倣い画素毎に信号色を付記してある。以下、この部分を例に動作説明を行う。その説明はアレイ20上のどの画素10にも同様に当てはまる。

【0021】

動作時には、この画素アレイ20の状態が、図3に示すタイミング即ち共通タイミング信号に従い図2a～図2rの如く変化していく。具体的には、アレイ20上に捉えた画像（明瞭化のため16画素分のみを示す）のうち（図2a）、最下行画素の信号電荷を転送用領域30内第1部分40に転送する（図2b）。次いで、信号V1Lを低電位にしてその部分40のゲート下にその電荷を保持させる。この部分40のゲートは適正なサイズにしてあるので丸ごと1画素分の電荷を保持することができる。次に、領域30内第2部分50にあるゲートのうち第2連動対70のゲートを制御することで、第1部分40に存する電荷Gr，Rの一部をまず連動対70のゲート下及びHCCD80に転送し、そこから更にHCCD80へと転送する（図2c）。次いで、第1部分40に残っている方の電荷Gr，Rと水平位置が揃うまで、HCCD80上の電荷Gr，RをそのHCCD80上で左シフトさせる（図2d）。次に、第2部分50内ゲートのうち第1連動対60のゲートを制御することで、第1部分40に残っている方の電荷Gr，Rを第1連動対60のゲート下及びHCCD80へと転送し、左シフトで送り込まれている電荷Gr，Rとの結合即ちビニングによって電荷2Gr，2Rに成長させる一方、アレイ20内の各行画素内で、信号V2に係るゲート下にその画素の全電荷を蝸集させる（図2e）。

20

30

【0022】

次いで、結合後の電荷2Gr，2Rを全てHCCD80に転送した上で、次の1行分の電荷を画素アレイ20から第1部分40へと転送する（図2f）。次に、第2連動対70のゲートを制御することにより、第1部分40に存する電荷B，Gbの一部を第2部分50内ゲート下及びHCCD80上の対応部分に転送する（図2g）。次いで、転送された電荷B，Gbを全てHCCD80に転送した上で、その電荷B，Gbと第1部分40に残っている同色電荷B，Gbとでその水平位置が揃うよう、HCCD80上の電荷を左シフトさせる（図2h）。次に、第1部分40に存する方の電荷B，Gbを第2部分50内第1連動対60のゲート下及びHCCD80に転送し、それによって既にそこにある電荷B，Gbと結合させる（図2i）。更に、結合後の電荷2B，2Gbを全てHCCD80に転送した上で、次の1行分の電荷をアレイ20から第1部分40へと転送する一方、HCCD80上に存する電荷2Gr，2Rと第1部分40に存する同色電荷Gr，Rとでその水平位置が揃うよう、HCCD80上の電荷を右シフトさせる（図2j）。次いで、第1部分40の電荷Gr，Rを第2部分50内第1連動対60のゲート下及びHCCD80に転送することで、その電荷Gr，Rを既にそこにある電荷2Gr，2Rと結合させて電荷3Gr，3Rに成長させる（図2k）。次に、その電荷3Gr，3Rを全てHCCD80に転送した上で、HCCD80上に存する電荷3Gr，3Rと第1部分40に存する電荷Gr，Rとでその水平位置が揃うよう、HCCD80上にある全ての電荷を右シフトさせる（図2l）。

40

50

【 0 0 2 3 】

次に、第 1 部分 4 0 に残っている方の電荷 G_r , R を第 2 部分 5 0 内第 2 連動対 7 0 のゲート下及び $HCCD80$ に転送することによって、そこにある電荷 $3G_r$, $3R$ と結合させて電荷 $4G_r$, $4R$ に成長させる (図 2 m) 。次いで、その電荷 $4G_r$, $4R$ を全て $HCCD80$ に転送した上で、 $HCCD80$ 上の電荷 $2B$, $2Gb$ と第 1 部分 4 0 にある電荷 B , G_b とでその水平位置が揃うよう $HCCD80$ 上の全ての電荷を左シフトさせる (図 2 n) 。次に、第 1 部分 4 0 にある電荷 B , G_b を第 2 部分 5 0 内第 2 連動対 7 0 のゲート下及び $HCCD80$ に転送することによって、その電荷 B , G_b をそこにある電荷 $2B$, $2Gb$ と結合させて電荷 $3B$, $3Gb$ に成長させる (図 2 o) 。次いで、第 2 部分 5 0 にある電荷 B , G_b を全て $HCCD80$ に転送した上で、第 1 部分 4 0 にある方の電荷 B , G_b と $HCCD80$ 上にある同色電荷 $3B$, $3Gb$ とでその水平位置が揃うよう $HCCD80$ 上の全ての電荷を左シフトさせる (図 2 p) 。次に、第 1 部分 4 0 にある方の電荷 B , G_b を第 2 部分 5 0 内第 1 連動対 6 0 のゲート下及び $HCCD80$ に転送することによって、電荷 $4B$, $4Gb$ に成長させる (図 2 q) 。そして、第 2 部分 5 0 にある電荷を全て $HCCD80$ に転送した上で、 $HCCD80$ 上の電荷を、本件技術分野で周知の処理に供するため $HCCD80$ 外にシフト出力する (図 2 r) 。

10

【 0 0 2 4 】

図 3 に、本センサ 5 におけるオンチップ画素ビニング動作のタイミングを示す。この図には、画素アレイ 2 0 用の信号 V_1 及び V_2 、転送用領域 3 0 用の信号 V_{1L} 、 V_{2A} 及び V_{2B} 、並びに $HCCD80$ 用の信号 $Hclk_s$ が示されている。また、この図では、 $HCCD80$ の各相動作が、タイミング信号 $Hclk_s$ の概略パターンによって示されている。即ち、図中の表記 L_2 はアレイ 2 0 に対し 2 列分だけ $HCCD80$ 上の信号電荷を左シフトさせることを、 R_2 は同じく右シフトさせることを、それぞれ表している。

20

【 0 0 2 5 】

なお、ここまで画素ビニングを例にして本発明を説明したが、このイメージセンサ 5 でフル解像度の画像を得るには、信号 V_{1L} と信号 V_1 、信号 V_{2A} 及び V_{2B} と信号 V_2 を、それぞれ同じ電気信号にすればよい。図 4 a に、そうしたフル解像度読出の際の動作タイミングを示す。また、図 4 b に、上述した真正二相クロッキング動作における本センサ 5 内の電荷転送動作を示す。フル解像度読出時に画素アレイ 2 0 及び転送用領域 3 0 で実行される電荷転送動作もこれと同様の動作になる。

30

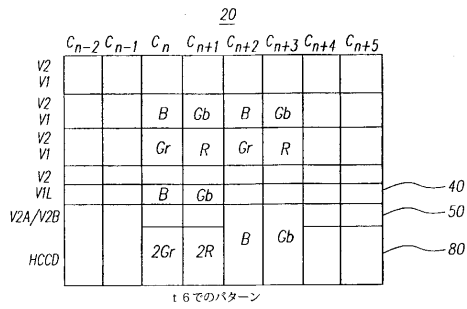
【 符号の説明 】

【 0 0 2 6 】

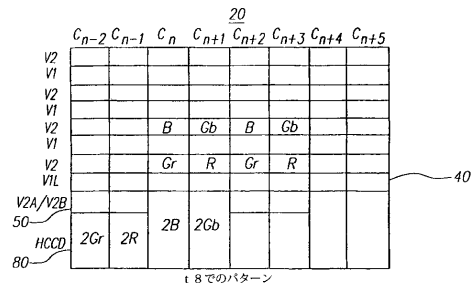
5 イメージセンサ、 1 0 画素、 2 0 画素アレイ、 3 0 転送用領域、 4 0 転送用領域第 1 部分、 5 0 転送用領域第 2 部分、 6 0 第 2 部分内第 1 連動ゲート対、 7 0 第 2 部分内第 2 連動ゲート対、 8 0 水平シフトレジスタ又は水平電荷結合素子 ($HCCD$) 、 9 0 ラテラルオーバフローチャネル、 1 0 0 ラテラルオーバフロートレイン。

。

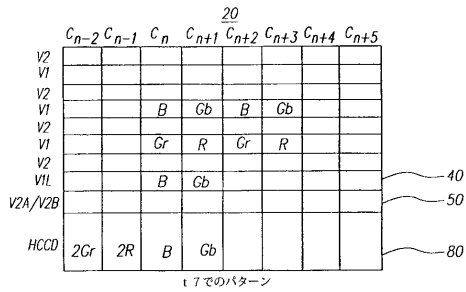
【図 2 g】



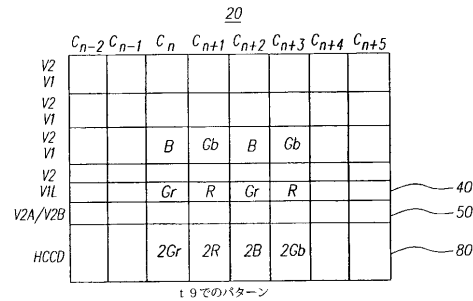
【図 2 i】



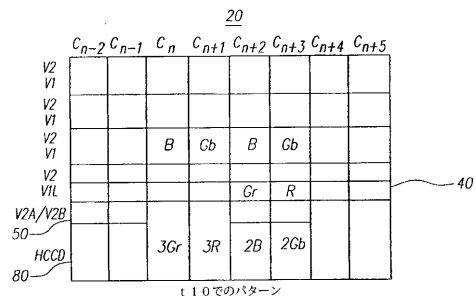
【図 2 h】



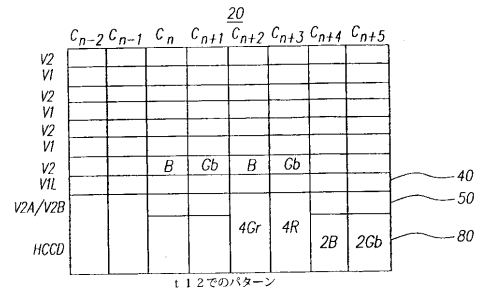
【図 2 j】



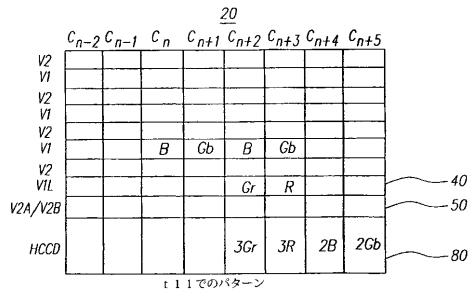
【図 2 k】



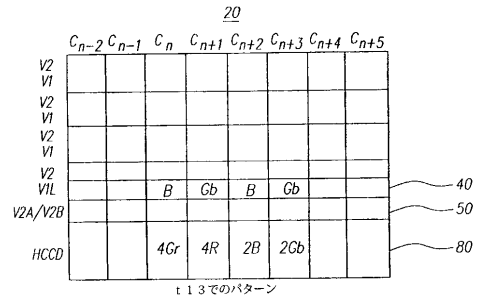
【図 2 m】



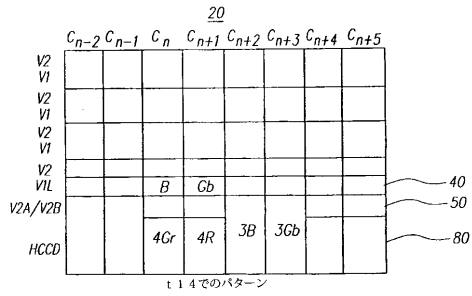
【図 2 l】



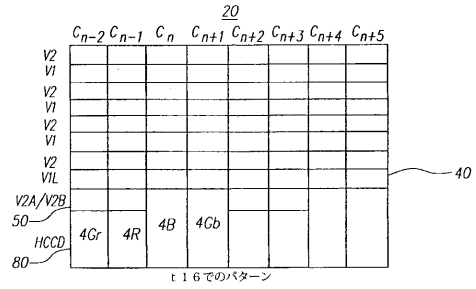
【図 2 n】



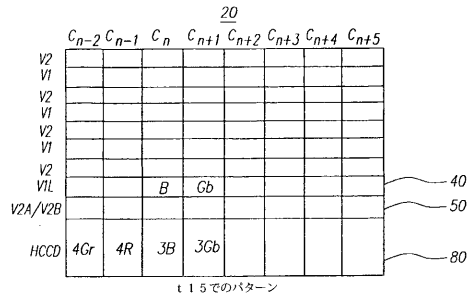
【図 2 o】



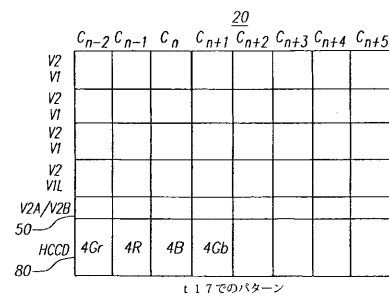
【図 2 q】



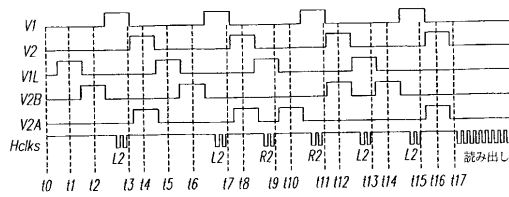
【図 2 p】



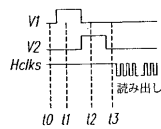
【図 2 r】



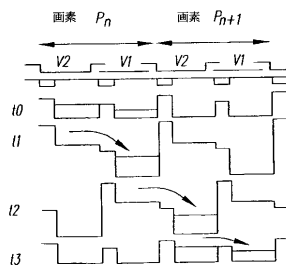
【図 3】



【図 4 a】



【図 4 b】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2008/002237

A. CLASSIFICATION OF SUBJECT MATTER INV. H04N5/335 H04N9/04 H04N3/15 ADD. H01L27/146 H01L27/148		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L H04N		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched.		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/150733 A1 (NAGAYOSHI RYOICHI [JP] ET AL) 5 August 2004 (2004-08-05)	1,3-5
Y	abstract; figures 1-13,22,23,26,29-57 page 1, paragraph 6 page 3, paragraph 67 page 6, paragraph 91 page 7, paragraph 102 - page 8, paragraph 118 page 9, paragraph 123 page 10, paragraph 138 - page 11, paragraph 146 page 12, paragraph 164 - page 13, paragraph 175	2
Y	US 2006/125943 A1 (PARKS CHRISTOPHER [US]) 15 June 2006 (2006-06-15) abstract page 5, paragraph 71	2
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 21 May 2008		Date of mailing of the international search report 29/05/2008
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2260 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Dolezel, Tomás

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2008/002237

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2005/280726 A1 (PARKS CHRISTOPHER [US] ET AL) 22 December 2005 (2005-12-22) the whole document	1-5

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2008/002237

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2004150733 A1	05-08-2004	EP 1562370 A1	10-08-2005
		WO 2004045205 A1	27-05-2004
		JP 3848650 B2	22-11-2006
		JP 2004180284 A	24-06-2004
US 2006125943 A1	15-06-2006	NONE	
US 2005280726 A1	22-12-2005	EP 1766966 A1	28-03-2007
		JP 2008503936 T	07-02-2008
		WO 2006009721 A1	26-01-2006

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 マッカートン ジョン ピー

アメリカ合衆国 ニューヨーク ペンフィールド ティンバーリン ドライブ 138

Fターム(参考) 4M118 BA10 BA12 CA08 DB06 FA06 FA14 FA38 GC07 GC14

5C024 AX01 CX41 CY47 EX52 GY01 GY04 GZ12 GZ26 JX36