

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 4 月 3 日(03.04.2014)



(10) 国際公開番号
WO 2014/050322 A1

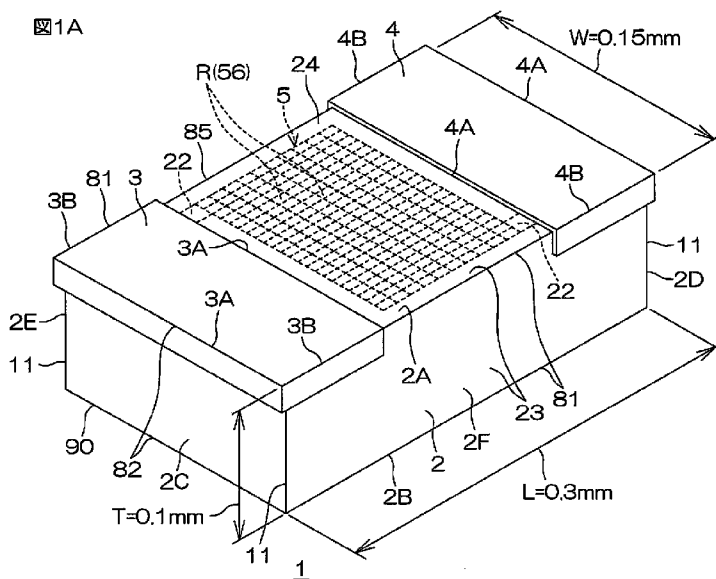
- (51) 国際特許分類:
H01C 7/00 (2006.01) *H01G 4/33* (2006.01)
H01G 4/12 (2006.01)
- (21) 国際出願番号: PCT/JP2013/071412
- (22) 国際出願日: 2013 年 8 月 7 日(07.08.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-215062 2012 年 9 月 27 日(27.09.2012) JP
- (71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP];
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 近藤 靖浩(KONDO, Yasuhiro); 〒6158585
京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 松浦 勝也(MAT-SUURA, Katsuya); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外(INAOKA, Kosaku et al.);
〒5410054 大阪府大阪市中央区南本町 2 丁目 6 番 1 2 号 サンマリオン N B F タワー 2 1 階
あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: CHIP COMPONENT AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: チップ部品およびその製造方法



(57) Abstract: Provided is a chip component comprising: a substrate having a front surface and side surfaces; an electrode that is integrally formed on the front surface and the side surfaces so as to cover the edge section of the front surface of the substrate; and an insulating film that is interposed between the electrode and the substrate. A circuit assembly according to the present invention comprises the chip component and a mounting substrate having a land that is soldered to the electrode on a mounting surface that is opposite the front surface of the substrate.

(57) 要約: 本発明のチップ部品は、表面および側面を有する基板と、前記基板の前記表面の縁部を覆うように、当該表面および前記側面に一体的に形成された電極と、前記電極と前記基板との間に介在された絶縁膜とを含む。また、本発明の回路アセンブリは、本発明のチップ部品と、前記基板の前記表面に対向する実装面に、前記電極に半田接合されたランドを有する実装基板とを含む。

明 細 書

発明の名称：チップ部品およびその製造方法

技術分野

[0001] 本発明は、チップ部品およびその製造方法、ならびに前記チップ部品を備えた回路アセンブリおよび電子機器に関する。

背景技術

[0002] 特許文献 1 は、絶縁基板上に形成された抵抗膜をレーザトリミングした後、ガラスによるカバーコートを形成したチップ抵抗器を開示している。

先行技術文献

特許文献

[0003] 特許文献1：特開 2 0 0 1 - 7 6 9 1 2 号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献 1 のチップ抵抗器では、電極が絶縁基板の片方の面にしか形成されていない。そのため、このチップ抵抗器を実装基板に半田付けしたときには、チップ抵抗器は当該片方の面のみで実装基板に接着されることとなり、したがって接着強度が十分とは言えない場合がある。しかも、接着面が一つの面のみであるため、半田上でチップ抵抗器が安定せず、また、当該接着面に沿う横方向（実装基板に沿う方向）の力がチップ抵抗器に加わったときに、チップ抵抗器が外れ易いという不具合もある。

[0005] 本発明の目的は、実装基板との接着強度を向上させることができ、さらに実装形状を安定化させることができるチップ部品を提供することである。

[0006] 本発明の他の目的は、実装基板との接着強度を向上させることができ、さらに実装形状を安定化させることができるチップ部品を簡単に製造することができるチップ部品の製造方法を提供することである。

[0007] 本発明のさらに他の目的は、本発明のチップ部品を備えた回路アセンブリ、およびこのような回路アセンブリを備えた電子機器を提供することである。

。

課題を解決するための手段

- [0008] 本発明のチップ部品は、表面および側面を有する基板と、前記基板の前記表面の縁部を覆うように、当該表面および前記側面に一体的に形成された電極と、前記電極と前記基板との間に介在された絶縁膜とを含む。
- [0009] この構成によれば、基板の表面に加えて側面にも電極が形成されているので、チップ部品を実装基板に半田付けする際の接着面積を拡大することができる。その結果、電極に対する半田の吸着量を増やすことができるので、接着強度を向上させることができる。また、半田が基板の表面から側面に回り込むように吸着するので、実装状態において、基板の表面および側面の二方向からチップ部品を保持することができる。そのため、チップ部品の実装形状を安定化させることができる。
- [0010] しかも、電極を単に基板の側面にも形成しただけではなく、電極と基板との間に絶縁膜を介在させている。これにより、たとえば基板と電極とを短絡させたくない場合に、その要求に応えることができる。
- [0011] また、前記チップ部品では、前記基板は平面視において矩形状であり、前記電極は、前記基板の三方の前記縁部を覆うように形成されていることが好ましい。この構成では、実装状態において、チップ部品を基板の側面の三方向から保持することができるので、チップ部品の実装形状を一層安定化させることができる。
- [0012] また、前記チップ部品では、前記基板の前記表面において前記縁部から間隔を空けて形成され、前記電極が電氣的に接続された配線膜をさらに含むことが好ましい。この構成では、外部接続するための電極から配線膜が独立しているので、基板の表面に形成される素子パターンに合わせた配線設計を行うことができる。
- [0013] 前記配線膜は、前記電極に覆われた前記基板の前記縁部に対向する周縁部が選択的に露出しており、当該露出部分を除く周縁部が樹脂膜で選択的に覆われていることが好ましい。この構成により、電極と配線膜との接合面積を

増やすことができるので、接触抵抗を減らすことができる。

[0014] また、前記電極は、前記樹脂膜の表面から突出するように形成されていてもよい。その場合、前記樹脂膜の前記表面に沿って横方向に引き出され、当該表面を選択的に覆う引き出し部を含んでいてもよい。

[0015] また、前記電極は、N i 層と、A u 層とを含み、前記A u 層が最表面に露出していることが好ましい。この構成の電極では、N i 層の表面がA u 層によって覆われているので、N i 層が酸化することを防止できる。

[0016] また、前記電極は、前記N i 層と前記A u 層との間に介装されたP d 層をさらに含むことが好ましい。この構成の電極では、A u 層を薄くすることによってA u 層に貫通孔（ピンホール）ができてしまっても、N i 層とA u 層との間に介装されたP d 層が当該貫通孔を塞いでいるので、当該貫通孔からN i 層が外部に露出されて酸化することを防止できる。

[0017] 前記チップ部品は、前記電極が互いに間隔を空けて2つ設けられている場合、前記基板上に形成され前記2つの電極間に接続された抵抗体を含むチップ抵抗器であってもよい。その場合、前記チップ部品は、複数の前記抵抗体と、前記基板上に設けられ、前記複数の抵抗体をそれぞれ切り離し可能に前記電極に接続する複数のヒューズとをさらに含むことが好ましい。このチップ部品（チップ抵抗器）では、一つまたは複数のヒューズを選択して切断することにより、複数種類の抵抗値に、容易にかつ速やかに対応することができる。換言すれば、抵抗値の異なる複数の抵抗体を組み合わせることによって、様々な抵抗値のチップ抵抗器を共通の設計で実現することができる。

[0018] また、前記チップ部品は、前記電極が互いに間隔を空けて2つ設けられている場合、前記基板上に形成され前記2つの電極の間に接続されたキャパシタ素子を含むチップコンデンサであってもよい。その場合、前記チップ部品は、前記キャパシタ素子を構成する複数のキャパシタ要素と、前記基板上に設けられ、前記複数のキャパシタ要素をそれぞれ切り離し可能に前記電極に接続する複数のヒューズとをさらに含むことが好ましい。このチップ部品（チップコンデンサ）では、一つまたは複数のヒューズを選択して切断するこ

とにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。

[0019] 本発明の回路アセンブリは、本発明のチップ部品と、前記基板の前記表面に対向する実装面に、前記電極に半田接合されたランドを有する実装基板を含む。この構成により、実装基板との接着強度を向上させることができ、さらに実装形状を安定化させることができるチップ部品を備える回路アセンブリを提供することができる。

[0020] 前記回路アセンブリは、前記実装面の法線方向から見たときに、前記半田が前記電極の表面部分および側面部分を覆うように形成されていることが好ましい。この構成では、電極に対する半田の吸着量を増やすことができるので、接着強度を向上させることができる。また、半田が電極の表面部分から側面部分に回り込むように吸着しているので、基板の表面および側面の二方向からチップ部品を保持することができる。そのため、チップ部品の実装形状を安定化させることができる。

[0021] 本発明の電子機器は、本発明の回路アセンブリと、前記回路アセンブリを収容した筐体とを含む。この構成により、実装基板との接着強度を向上させることができ、さらに実装形状を安定化させることができるチップ部品を備える電子部品を提供することができる。

[0022] 本発明のチップ部品の製造方法は、基板の複数のチップ部品領域の境界領域に前記基板の表面から所定深さの溝を形成して、前記複数のチップ部品領域毎の基板に分離する工程と、前記溝の側面に絶縁膜を形成することにより、各基板の側面に当該絶縁膜を形成する工程と、前記各基板の前記表面からその縁部を介して前記溝の前記側面に沿って前記絶縁膜上に電極材料をめっき成長させることによって、前記各基板の前記表面の前記縁部を覆うように、当該表面および前記側面に電極を一体的に形成する工程と、前記基板の裏面を前記溝に到達するまで研削して、前記基板を複数のチップ部品に分割す

る工程とを含む。

[0023] この方法によれば、電極材料のめっき成長によって本発明のチップ部品を簡単に製造することができる。

[0024] 前記電極を形成する工程は、前記電極材料を無電解めっきによって成長させる工程を含むことが好ましい。この方法により、絶縁膜上にも良好に電極材料を成長させることができる。また、電解めっきに比べて工程数を削減して生産性を向上させることができる。

[0025] 前記チップ部品の製造方法は、前記複数のチップ部品領域毎に前記基板の前記表面に配線膜を形成する工程をさらに含み、前記基板に分離する工程は、前記各基板の前記縁部と前記配線膜との間に間隔が空くように前記溝を形成する工程を含み、前記電極を形成する工程は、前記配線膜から前記電極材料をめっき成長させる工程を含んでいてもよい。その場合、前記チップ部品の製造方法は、前記溝の形成前に前記配線膜を覆う樹脂膜を形成する工程と、前記配線膜における前記溝を形成すべき領域に対向する周縁部が露出するように、前記樹脂膜を選択的に除去する工程とをさらに含むことが好ましい。この方法では、配線膜から基板の縁部までめっき成長の妨げになるものが無いので、配線膜から当該縁部まで直線的にめっき成長させることができる。その結果、電極の形成にかかる時間の短縮を図ることができる。

[0026] また、前記チップ部品の製造方法では、前記溝の形成が、エッチングによって行われることが好ましい。この方法では、基板における全てのチップ部品領域の境界領域に一度に溝を形成することができるので、チップ部品の製造にかかる時間の短縮を図ることができる。

図面の簡単な説明

[0027] [図1A]図1 Aは、本発明の一実施形態に係るチップ抵抗器の構成を説明するための模式的な斜視図である。

[図1B]図1 Bは、チップ抵抗器が実装基板に実装された状態の回路アセンブリをチップ抵抗器の長手方向に沿って切断したときの模式的な断面図である。

[図1C]図1 Cは、実装基板に実装された状態のチップ抵抗器を素子形成面側から見た模式的な平面図である。

[図2]図2は、チップ抵抗器の平面図であり、第1接続電極、第2接続電極および素子の配置関係ならびに素子の平面視の構成を示す図である。

[図3A]図3 Aは、図2に示す素子の一部分を拡大して描いた平面図である。

[図3B]図3 Bは、素子における抵抗体の構成を説明するために描いた図3 AのB-Bに沿う長さ方向の縦断面図である。

[図3C]図3 Cは、素子における抵抗体の構成を説明するために描いた図3 AのC-Cに沿う幅方向の縦断面図である。

[図4]図4は、抵抗体膜ラインおよび配線膜の電気的特徴を回路記号および電気回路図で示した図である。

[図5]図5 (a)は、図2のチップ抵抗器の平面図の一部分を拡大して描いたヒューズを含む領域の部分拡大平面図であり、図5 (b)は、図5 (a)のB-Bに沿う断面構造を示す図である。

[図6]図6は、本発明の実施形態に係る素子の電気回路図である。

[図7]図7は、本発明の他の実施形態に係る素子の電気回路図である。

[図8]図8は、本発明のさらに他の実施形態に係る素子の電気回路図である。

[図9]図9は、チップ抵抗器の模式的な断面図である。

[図10A]図10 Aは、図9のチップ抵抗器の製造方法を示す断面図である。

[図10B]図10 Bは、図10 Aの次の工程を示す断面図である。

[図10C]図10 Cは、図10 Bの次の工程を示す断面図である。

[図10D]図10 Dは、図10 Cの次の工程を示す断面図である。

[図10E]図10 Eは、図10 Dの次の工程を示す断面図である。

[図10F]図10 Fは、図10 Eの次の工程を示す断面図である。

[図10G]図10 Gは、図10 Fの次の工程を示す断面図である。

[図10H]図10 Hは、図10 Gの次の工程を示す断面図である。

[図10I]図10 Iは、図10 Hの次の工程を示す断面図である。

[図11]図11は、図10 Eの工程において溝を形成するために用いられるレ

ジストパターンの一部の模式的な平面図である。

[図12]図12は、第1接続電極および第2接続電極の製造工程を説明するための図である。

[図13A]図13Aは、図10Iの工程後におけるチップ抵抗器の回収工程を示す模式的な断面図である。

[図13B]図13Bは、図13Aの次の工程を示す断面図である。

[図13C]図13Cは、図13Bの次の工程を示す断面図である。

[図13D]図13Dは、図13Cの次の工程を示す断面図である。

[図14A]図14Aは、図10Iの工程後におけるチップ抵抗器の回収工程（変形例）を示す模式的な断面図である。

[図14B]図14Bは、図14Aの次の工程を示す断面図である。

[図14C]図14Cは、図14Bの次の工程を示す断面図である。

[図15]図15は、本発明の他の実施形態に係るチップコンデンサの平面図である。

[図16]図16は、図15の切断面線XVI-XVIから見た断面図である。

[図17]図17は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

[図18]図18は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

[図19]図19は、本発明のチップ部品が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

[図20]図20は、スマートフォンの筐体の内部に収容された回路アセンブリの構成を示す図解的な平面図である。

発明を実施するための形態

[0028] 以下では、本発明の実施形態を、添付図面を参照して詳細に説明する。

[0029] 図1Aは、本発明の一実施形態に係るチップ抵抗器の構成を説明するための模式的な斜視図である。

[0030] このチップ抵抗器1は、微小なチップ部品であり、図1Aに示すように、

直方体形状をなしている。チップ抵抗器 1 の平面形状は、直交する二辺（長辺 8 1、短辺 8 2）がそれぞれ 0.4 mm 以下、0.2 mm 以下の矩形である。好ましくは、チップ抵抗器 1 の寸法に関し、長さ L（長辺 8 1 の長さ）が約 0.3 mm であり、幅 W（短辺 8 2 の長さ）が約 0.15 mm であり、厚さ T が約 0.1 mm である。

[0031] このチップ抵抗器 1 は、基板上に多数個のチップ抵抗器 1 を格子状に形成してから当該基板に溝を形成した後、裏面研磨（または当該基板を溝で分断）して個々のチップ抵抗器 1 に分離することによって得られる。

[0032] チップ抵抗器 1 は、チップ抵抗器 1 の本体を構成する基板 2 と、外部接続電極となる第 1 接続電極 3 および第 2 接続電極 4 と、第 1 接続電極 3 および第 2 接続電極 4 によって外部接続される素子 5 とを主に備えている。

[0033] 基板 2 は、略直方体のチップ形状である。基板 2 において図 1 A における上面をなす一つの表面は、素子形成面 2 A である。素子形成面 2 A は、基板 2 において素子 5 が形成される表面であり、略長方形形状である。基板 2 の厚さ方向において素子形成面 2 A とは反対側の面は、裏面 2 B である。素子形成面 2 A と裏面 2 B とは、ほぼ同寸法かつ同形状であり、互いに平行である。素子形成面 2 A における一对の長辺 8 1 および短辺 8 2 によって区画された矩形状の縁を、周縁部 8 5 ということにし、裏面 2 B における一对の長辺 8 1 および短辺 8 2 によって区画された矩形状の縁を、周縁部 9 0 ということにする。素子形成面 2 A（裏面 2 B）に直交する法線方向から見ると、周縁部 8 5 と周縁部 9 0 とは、重なっている（後述する図 1 C 参照）。

[0034] 基板 2 は、素子形成面 2 A および裏面 2 B 以外の表面として、複数の側面（側面 2 C、側面 2 D、側面 2 E および側面 2 F）を有している。当該複数の側面は、素子形成面 2 A および裏面 2 B のそれぞれに交差（詳しくは、直交）して延びて、素子形成面 2 A および裏面 2 B の間を繋いでいる。

[0035] 側面 2 C は、素子形成面 2 A および裏面 2 B における長手方向一方側（図 1 A における左手前側）の短辺 8 2 間に架設されていて、側面 2 D は、素子形成面 2 A および裏面 2 B における長手方向他方側（図 1 A における右奥側

）の短辺 8 2 間に架設されている。側面 2 C および側面 2 D は、当該長手方向における基板 2 の両端面である。側面 2 E は、素子形成面 2 A および裏面 2 B における短手方向一方側（図 1 A における左奥側）の長辺 8 1 間に架設されていて、側面 2 F は、素子形成面 2 A および裏面 2 B における短手方向他方側（図 1 A における右手前側）の長辺 8 1 間に架設されている。側面 2 E および側面 2 F は、当該短手方向における基板 2 の両端面である。側面 2 C および側面 2 D のそれぞれは、側面 2 E および側面 2 F のそれぞれと交差（詳しくは、直交）している。そのため、素子形成面 2 A ～側面 2 F において隣り合うもの同士が直角を成している。

[0036] 基板 2 では、素子形成面 2 A および側面 2 C ～ 2 F のそれぞれの全域がパッシベーション膜 2 3 で覆われている。そのため、厳密には、図 1 A では、素子形成面 2 A および側面 2 C ～ 2 F のそれぞれの全域は、パッシベーション膜 2 3 の内側（裏側）に位置していて、外部に露出されていない。さらに、チップ抵抗器 1 は、樹脂膜 2 4 を有している。樹脂膜 2 4 は、素子形成面 2 A 上のパッシベーション膜 2 3 の全域（周縁部 8 5 およびその内側領域）を覆っている。パッシベーション膜 2 3 および樹脂膜 2 4 については、以降で詳説する。

[0037] 第 1 接続電極 3 および第 2 接続電極 4 は、基板 2 の素子形成面 2 A 上に於いて周縁部 8 5 を覆うように、素子形成面 2 A および側面 2 C ～ 2 F に跨るように一体的に形成されている。第 1 接続電極 3 および第 2 接続電極 4 のそれぞれは、たとえば、Ni（ニッケル）、Pd（パラジウム）およびAu（金）をこの順番で素子形成面 2 A 上に積層することによって構成されている。第 1 接続電極 3 および第 2 接続電極 4 は、素子形成面 2 A の長手方向に互いに間隔を開けて配置されている。当該配置位置において、第 1 接続電極 3 は、チップ抵抗器 1 の一方の短辺 8 2（側面 2 C 寄りの短辺 8 2）およびその両側の一对の長辺 8 1 に沿う三方の側面 2 C、2 E、2 F を一体的に覆うように形成されている。一方、第 2 接続電極 4 は、チップ抵抗器 1 の他方の短辺 8 2（側面 2 D 寄りの短辺 8 2）およびその両側の一对の長辺 8 1 に沿

う三方の側面 2 D, 2 E, 2 F を一体的に覆うように形成されている。これにより、基板 2 の長手方向両端部において側面同士が交わる各コーナー部 1 1 はそれぞれ、第 1 接続電極 3 もしくは第 2 接続電極 4 によって覆われている。

[0038] 第 1 接続電極 3 および第 2 接続電極 4 は、前述した法線方向から見た平面視において、ほぼ同寸法かつ同形状である。第 1 接続電極 3 は、平面視における 4 辺をなす 1 対の長辺 3 A および短辺 3 B を有している。長辺 3 A と短辺 3 B とは平面視において直交している。第 2 接続電極 4 は、平面視における 4 辺をなす 1 対の長辺 4 A および短辺 4 B を有している。長辺 4 A と短辺 4 B とは平面視において直交している。長辺 3 A および長辺 4 A は、基板 2 の短辺 8 2 と平行に延びていて、短辺 3 B および短辺 4 B は、基板 2 の長辺 8 1 と平行に延びている。また、チップ抵抗器 1 は、裏面 2 B に電極を有していない。

[0039] 素子 5 は、回路素子であって、基板 2 の素子形成面 2 A における第 1 接続電極 3 と第 2 接続電極 4 との間の領域に形成されていて、パッシベーション膜 2 3 および樹脂膜 2 4 によって上から被覆されている。この実施形態の素子 5 は、抵抗 5 6 である。抵抗 5 6 は、等しい抵抗値を有する複数個の（単位）抵抗体 R を素子形成面 2 A 上でマトリックス状に配列した回路網によって構成されている。抵抗体 R は、TiN（窒化チタン）、TiON（酸化窒化チタン）またはTiSiONからなる。素子 5 は、後述する配線膜 2 2 に電氣的に接続されていて、配線膜 2 2 を介して第 1 接続電極 3 と第 2 接続電極 4 とに電氣的に接続されている。つまり、素子 5 は、基板 2 上に形成され、第 1 接続電極 3 および第 2 接続電極 4 の間に接続されている。

[0040] 図 1 B は、チップ抵抗器が実装基板に実装された状態の回路アセンブリをチップ抵抗器の長手方向に沿って切断したときの模式的な断面図である。なお、図 1 B では、要部のみ、断面で示している。

[0041] 図 1 B に示すように、チップ抵抗器 1 は、実装基板 9 に実装される。この状態におけるチップ抵抗器 1 および実装基板 9 は、回路アセンブリ 100 を

構成している。図 1 B における実装基板 9 の上面は、実装面 9 A である。実装面 9 A には、実装基板 9 の内部回路（図示せず）に接続された一対（2 つ）のランド 8 8 が形成されている。各ランド 8 8 は、たとえば、Cu からなる。各ランド 8 8 の表面には、半田 1 3 が当該表面から突出するように設けられている。

[0042] チップ抵抗器 1 を実装基板 9 に実装する場合、自動実装機（図示せず）の吸着ノズル 9 1 をチップ抵抗器 1 の裏面 2 B に吸着してから吸着ノズル 9 1 を動かすことによって、チップ抵抗器 1 を搬送する。このとき、吸着ノズル 9 1 は、裏面 2 B の長手方向における略中央部分に吸着する。前述したように、第 1 接続電極 3 および第 2 接続電極 4 は、チップ抵抗器 1 の片面（素子形成面 2 A）および側面 2 C ~ 2 F における素子形成面 2 A 側の端部だけに設けられていることから、チップ抵抗器 1 において裏面 2 B は、電極（凹凸）がない平坦面となる。よって、吸着ノズル 9 1 をチップ抵抗器 1 に吸着して移動させる場合に、平坦な裏面 2 B に吸着ノズル 9 1 を吸着させることができる。換言すれば、平坦な裏面 2 B であれば、吸着ノズル 9 1 が吸着できる部分のマージンを増やすことができる。これによって、吸着ノズル 9 1 をチップ抵抗器 1 に確実に吸着させ、チップ抵抗器 1 を途中で吸着ノズル 9 1 から脱落させることなく確実に搬送できる。

[0043] そして、チップ抵抗器 1 を吸着した吸着ノズル 9 1 を実装基板 9 まで移動させる。このとき、チップ抵抗器 1 の素子形成面 2 A と実装基板 9 の実装面 9 A とが互いに対向する。この状態で、吸着ノズル 9 1 を移動させて実装基板 9 に押し付け、チップ抵抗器 1 において、第 1 接続電極 3 を一方のランド 8 8 の半田 1 3 に接触させ、第 2 接続電極 4 を他方のランド 8 8 の半田 1 3 に接触させる。次に、半田 1 3 を加熱すると、半田 1 3 が溶融する。その後、半田 1 3 が冷却されて固まると、第 1 接続電極 3 と当該一方のランド 8 8 とが半田 1 3 を介して接合し、第 2 接続電極 4 と当該他方のランド 8 8 とが半田 1 3 を介して接合する。つまり、2 つのランド 8 8 のそれぞれが、第 1 接続電極 3 および第 2 接続電極 4 において対応する電極に半田接合される。

これにより、実装基板 9 へのチップ抵抗器 1 の実装（フリップチップ接続）が完了して、回路アセンブリ 100 が完成する。なお、外部接続電極として機能する第 1 接続電極 3 および第 2 接続電極 4 は、半田濡れ性の向上および信頼性の向上のために、金（Au）で形成するか、または、後述するように表面に金メッキを施すことが望ましい。

[0044] 完成状態の回路アセンブリ 100 では、チップ抵抗器 1 の素子形成面 2 A と実装基板 9 の実装面 9 A とが、隙間を隔てて対向しつつ、平行に延びている（図 1 C も参照）。当該隙間の寸法は、第 1 接続電極 3 または第 2 接続電極 4 において素子形成面 2 A から突き出た部分の厚みと半田 13 の厚さとの合計に相当する。

[0045] 図 1 C は、実装基板に実装された状態のチップ抵抗器を素子形成面側から見た模式的な平面図である。次に、図 1 B および図 1 C を参照して、チップ抵抗器 1 の実装形状を説明する。

[0046] まず、図 1 B に示すように、断面視においては、たとえば、第 1 接続電極 3 および第 2 接続電極 4 は、素子形成面 2 A 上の表面部分と側面 2 C, 2 D 上の側面部分とが一体的になって L 字状に形成されている。そのため、図 1 C に示すように、実装面 9 A（素子形成面 2 A）の法線方向（これらの面に直交する方向）から回路アセンブリ 100（厳密には、チップ抵抗器 1 と実装基板 9 との接合部分）を見てみると、第 1 接続電極 3 と一方のランド 88 とを接合する半田 13 は、第 1 接続電極 3 の表面部分だけでなく、側面部分にも吸着している。同様に、第 2 接続電極 4 と他方のランド 88 とを接合する半田 13 も、第 2 接続電極 4 の表面部分だけでなく、側面部分にも吸着している。

[0047] このように、チップ抵抗器 1 では、第 1 接続電極 3 が基板 2 の三方の側面 2 C, 2 E, 2 F を一体的に覆うように形成され、第 2 接続電極 4 が基板 2 の三方の側面 2 D, 2 E, 2 F を一体的に覆うように形成されている。すなわち、基板 2 の素子形成面 2 A に加えて側面 2 C ~ 2 F にも電極が形成されているので、チップ抵抗器 1 を実装基板 9 に半田付けする際の接着面積を拡

大することができる。その結果、第1接続電極3および第2接続電極4に対する半田13の吸着量を増やすことができるので、接着強度を向上させることができる。

[0048] また、図1Cに示すように、半田13が基板2の素子形成面2Aから側面2C～2Fに回り込むように吸着する。したがって実装状態において、第1接続電極3を三方の側面2C、2E、2Fで半田13によって保持し、第2接続電極4を三方の側面2D、2E、2Fで半田13によって保持することによって、矩形状のチップ抵抗器1の全ての側面2C～2Fを半田13で固定することができる。これにより、チップ抵抗器1の実装形状を安定化させることができる。

[0049] 次に、チップ抵抗器1における他の構成を主に説明する。

[0050] 図2は、チップ抵抗器の平面図であり、第1接続電極、第2接続電極および素子の配置関係ならびに素子の平面視の構成（レイアウトパターン）を示す図である。

[0051] 図2を参照して、素子5は、抵抗回路網となっている。具体的に、素子5は、行方向（基板2の長手方向）に沿って配列された8個の抵抗体Rと、列方向（基板2の幅方向）に沿って配列された44個の抵抗体Rとで構成された合計352個の抵抗体Rを有している。これらの抵抗体Rは、素子5の抵抗回路網を構成する複数の素子要素である。

[0052] これら多数個の抵抗体Rが1個～64個の所定個数毎にまとめられて電氣的に接続されることによって、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、導体膜D（導体で形成された配線膜）で所定の態様に接続されている。さらに、基板2の素子形成面2Aには、抵抗回路を素子5に対して電氣的に組み込んだり、または、素子5から電氣的に分離したりするために切断（溶断）可能な複数のヒューズFが設けられている。複数のヒューズFおよび導体膜Dは、第1接続電極3の内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、複数のヒューズFおよび導体膜Dが隣接するように配置され、その配列方向が直線状にな

っている。複数のヒューズFは、複数種類の抵抗回路（抵抗回路毎の複数の抵抗体R）を第1接続電極3に対してそれぞれ切断可能（切り離し可能）に接続している。

[0053] 図3Aは、図2に示す素子の一部分を拡大して描いた平面図である。図3Bは、素子における抵抗体の構成を説明するために描いた図3AのB-Bに沿う長さ方向の縦断面図である。図3Cは、素子における抵抗体の構成を説明するために描いた図3AのC-Cに沿う幅方向の縦断面図である。

[0054] 図3A、図3Bおよび図3Cを参照して、抵抗体Rの構成について説明をする。

[0055] チップ抵抗器1は、前述した配線膜22、パッシベーション膜23および樹脂膜24の他に、絶縁膜20と抵抗体膜21とをさらに備えている（図3Bおよび図3C参照）。絶縁膜20、抵抗体膜21、配線膜22、パッシベーション膜23および樹脂膜24は、基板2（素子形成面2A）上に形成されている。

[0056] 絶縁膜20は、 SiO_2 （酸化シリコン）からなる。絶縁膜20は、基板2の素子形成面2Aの全域を覆っている。絶縁膜20の厚さは、約10000Åである。

[0057] 抵抗体膜21は、絶縁膜20上に形成されている。抵抗体膜21は、TiN、TiONまたはTiSiONにより形成されている。抵抗体膜21の厚さは、約2000Åである。抵抗体膜21は、第1接続電極3と第2接続電極4との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ライン21A」という）を構成していて、抵抗体膜ライン21Aは、ライン方向に所定の位置で切断されている場合がある（図3A参照）。

[0058] 抵抗体膜ライン21A上には、配線膜22が積層されている。配線膜22は、Al（アルミニウム）またはアルミニウムとCu（銅）との合金（AlCu合金）からなる。配線膜22の厚さは、約8000Åである。配線膜22は、抵抗体膜ライン21A上に、ライン方向に一定間隔Rを開けて積層されていて、抵抗体膜ライン21Aに接している。

[0059] この構成の抵抗体膜ライン 2 1 A および配線膜 2 2 の電気的特徴を回路記号で示すと、図 4 の通りである。すなわち、図 4 (a) に示すように、所定間隔 R の領域の抵抗体膜ライン 2 1 A 部分が、それぞれ、一定の抵抗値 r を有する 1 つの抵抗体 R を形成している。

[0060] そして、配線膜 2 2 が積層された領域では、配線膜 2 2 が隣り合う抵抗体 R 同士を電氣的に接続することによって、当該配線膜 2 2 で抵抗体膜ライン 2 1 A が短絡されている。よって、図 4 (b) に示す抵抗 r の抵抗体 R の直列接続からなる抵抗回路が形成されている。

[0061] また、隣接する抵抗体膜ライン 2 1 A 同士は抵抗体膜 2 1 および配線膜 2 2 で接続されているから、図 3 A に示す素子 5 の抵抗回路網は、図 4 (c) に示す（前述した抵抗体 R の単位抵抗からなる）抵抗回路を構成している。このように、抵抗体膜 2 1 および配線膜 2 2 は、抵抗体 R や抵抗回路（つまり素子 5）を構成している。そして、各抵抗体 R は、抵抗体膜ライン 2 1 A（抵抗体膜 2 1）と、抵抗体膜ライン 2 1 A 上にライン方向に一定間隔をあけて積層された複数の配線膜 2 2 とを含み、配線膜 2 2 が積層されていない一定間隔 R 部分の抵抗体膜ライン 2 1 A が、1 個の抵抗体 R を構成している。抵抗体 R を構成している部分における抵抗体膜ライン 2 1 A は、その形状および大きさが全て等しい。よって、基板 2 上にマトリックス状に配列された多数個の抵抗体 R は、等しい抵抗値を有している。

[0062] また、抵抗体膜ライン 2 1 A 上に積層された配線膜 2 2 は、抵抗体 R を形成すると共に、複数個の抵抗体 R を接続して抵抗回路を構成するための導体膜 D の役目も果たしている（図 2 参照）。

[0063] 図 5 (a) は、図 2 に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズを含む領域の部分拡大平面図であり、図 5 (b) は、図 5 (a) の B-B に沿う断面構造を示す図である。

[0064] 図 5 (a) および (b) に示すように、前述したヒューズ F および導体膜 D も、抵抗体 R を形成する抵抗体膜 2 1 上に積層された配線膜 2 2 により形成されている。すなわち、抵抗体 R を形成する抵抗体膜ライン 2 1 A 上に積

層された配線膜 2 2 と同じレイヤーに、配線膜 2 2 と同じ金属材料である A l または A l C u 合金によってヒューズ F および導体膜 D が形成されている。なお、配線膜 2 2 は、前述したように、抵抗回路を形成するために、複数の抵抗体 R を電氣的に接続する導体膜 D としても用いられている。

[0065] つまり、抵抗体膜 2 1 上に積層された同一レイヤーにおいて、抵抗体 R を形成するための配線膜や、ヒューズ F や、導体膜 D や、さらには、素子 5 を第 1 接続電極 3 および第 2 接続電極 4 に接続するための配線膜が、配線膜 2 2 として、同一の金属材料（A l または A l C u 合金）を用いて形成されている。なお、ヒューズ F を配線膜 2 2 と異ならせている（区別している）のは、ヒューズ F が切断しやすいように細く形成されていること、および、ヒューズ F の周囲に他の回路要素が存在しないように配置されていることによるからである。

[0066] ここで、配線膜 2 2 において、ヒューズ F が配置された領域を、トリミング対象領域 X ということにする（図 2 および図 5（a）参照）。トリミング対象領域 X は、第 1 接続電極 3 の内側辺沿いの直線状領域であって、トリミング対象領域 X には、ヒューズ F だけでなく、導体膜 D も配置されている。また、トリミング対象領域 X の配線膜 2 2 の下方にも抵抗体膜 2 1 が形成されている（図 5（b）参照）。そして、ヒューズ F は、配線膜 2 2 において、トリミング対象領域 X 以外の部分よりも配線間距離が大きい（周囲から離された）配線である。

[0067] なお、ヒューズ F は、配線膜 2 2 の一部だけでなく、抵抗体 R（抵抗体膜 2 1）の一部と抵抗体膜 2 1 上の配線膜 2 2 の一部とのまとまり（ヒューズ素子）を指していてもよい。

[0068] また、ヒューズ F は、導体膜 D と同一のレイヤーを用いる場合のみを説明したが、導体膜 D では、その上に更に別の導体膜を積層するようにし、導体膜 D 全体の抵抗値を下げるようにしてもよい。なお、この場合であっても、ヒューズ F の上に導体膜を積層しなければ、ヒューズ F の溶断性が悪くなることはない。

[0069] 図6は、本発明の実施形態に係る素子の電気回路図である。

[0070] 図6を参照して、素子5は、基準抵抗回路R8と、抵抗回路R64、2つの抵抗回路R32、抵抗回路R16、抵抗回路R8、抵抗回路R4、抵抗回路R2、抵抗回路R1、抵抗回路R/2、抵抗回路R/4、抵抗回路R/8、抵抗回路R/16、抵抗回路R/32とを第1接続電極3からこの順番で直列接続することによって構成されている。基準抵抗回路R8および抵抗回路R64～R2のそれぞれは、自身の末尾の数（R64の場合には「64」）と同数の抵抗体Rを直列接続することで構成されている。抵抗回路R1は、1つの抵抗体Rで構成されている。抵抗回路R/2～R/32のそれぞれは、自身の末尾の数（R/32の場合には「32」）と同数の抵抗体Rを並列接続することで構成されている。抵抗回路の末尾の数の意味については、後述する図7および図8においても同じである。

[0071] そして、基準抵抗回路R8以外の抵抗回路R64～抵抗回路R/32のそれぞれに対して、ヒューズFが1つずつ並列的に接続されている。ヒューズF同士は、直接または導体膜D（図5（a）参照）を介して直列に接続されている。

[0072] 図6に示すように全てのヒューズFが溶断されていない状態では、素子5は、第1接続電極3および第2接続電極4間に設けられた8個の抵抗体Rの直列接続からなる基準抵抗回路R8の抵抗回路を構成している。たとえば、1個の抵抗体Rの抵抗値 r を $r = 8\ \Omega$ とすれば、 $8r = 64\ \Omega$ の抵抗回路（基準抵抗回路R8）により第1接続電極3および第2接続電極4が接続されたチップ抵抗器1が構成されている。

[0073] また、全てのヒューズFが溶断されていない状態では、基準抵抗回路R8以外の複数種類の抵抗回路は、短絡された状態となっている。つまり、基準抵抗回路R8には、12種類13個の抵抗回路R64～R/32が直列に接続されているが、各抵抗回路は、それぞれ並列に接続されたヒューズFにより短絡されているので、電氣的に見ると、各抵抗回路は素子5に組み込まれてはいない。

[0074] この実施形態に係るチップ抵抗器 1 では、要求される抵抗値に応じて、ヒューズ F を選択的に、たとえばレーザ光で溶断する。それにより、並列的に接続されたヒューズ F が溶断された抵抗回路は、素子 5 に組み込まれることになる。よって、素子 5 の全体の抵抗値を、溶断されたヒューズ F に対応する抵抗回路が直列に接続されて組み込まれた抵抗値とすることができる。

[0075] 特に、複数種類の抵抗回路は、等しい抵抗値を有する抵抗体 R が、直列に 1 個、2 個、4 個、8 個、16 個、32 個…と、公比が 2 となる等比数列的に抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の抵抗体 R が並列に 2 個、4 個、8 個、16 個…と、公比が 2 となる等比数列的に抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。そのため、ヒューズ F（前述したヒューズ素子も含む）を選択的に溶断することにより、素子 5（抵抗 56）全体の抵抗値を、細かく、かつデジタル的に、任意の抵抗値となるように調整して、チップ抵抗器 1 において所望の値の抵抗を発生させることができる。

[0076] 図 7 は、本発明の他の実施形態に係る素子の電気回路図である。

[0077] 図 6 に示すように基準抵抗回路 R/8 および抵抗回路 R/64～抵抗回路 R/32 を直列接続して素子 5 を構成する代わりに、図 7 に示すように素子 5 を構成してもかまわない。詳しくは、第 1 接続電極 3 および第 2 接続電極 4 の間で、基準抵抗回路 R/16 と、12 種類の抵抗回路 R/16、R/8、R/4、R/2、R1、R2、R4、R8、R16、R32、R64、R128 の並列接続回路との直列接続回路によって素子 5 を構成してもよい。

[0078] この場合、基準抵抗回路 R/16 以外の 12 種類の抵抗回路には、それぞれ、ヒューズ F が直列に接続されている。全てのヒューズ F が溶断されていない状態では、各抵抗回路は素子 5 に対して電氣的に組み込まれている。要求される抵抗値に応じて、ヒューズ F を選択的に、たとえばレーザ光で溶断すれば、溶断されたヒューズ F に対応する抵抗回路（ヒューズ F が直列に接続された抵抗回路）は、素子 5 から電氣的に分離されるので、チップ抵抗器 1 全体の抵抗値を調整することができる。

[0079] 図8は、本発明のさらに他の実施形態に係る素子の電気回路図である。

[0080] 図8に示す素子5の特徴は、複数種類の抵抗回路の直列接続と、複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっていることである。直列接続される複数種類の抵抗回路には、先の実施形態と同様、抵抗回路毎に、並列にヒューズFが接続されていて、直列接続された複数種類の抵抗回路は、全てヒューズFで短絡状態とされている。したがって、ヒューズFを溶断すると、その溶断されるヒューズFで短絡されていた抵抗回路が、素子5に電氣的に組み込まれることになる。

[0081] 一方、並列接続された複数種類の抵抗回路には、それぞれ、直列にヒューズFが接続されている。したがって、ヒューズFを溶断することにより、溶断されたヒューズFが直列に接続されている抵抗回路を、抵抗回路の並列接続から電氣的に切り離すことができる。

[0082] かかる構成とすれば、たとえば、 $1\text{ k}\Omega$ 以下の小抵抗は並列接続側で作り、 $1\text{ k}\Omega$ 以上の抵抗回路を直列接続側で作れば、数 Ω の小抵抗から数 $\text{M}\Omega$ の大抵抗までの広範な範囲の抵抗回路を、等しい基本設計で構成した抵抗の回路網を用いて作ることができる。つまりチップ抵抗器1では、一つまたは複数のヒューズFを選択して切断することにより、複数種類の抵抗値に、容易にかつ速やかに対応することができる。換言すれば、抵抗値の異なる複数の抵抗体Rを組み合わせることによって、様々な抵抗値のチップ抵抗器1を共通の設計で実現することができる。

[0083] 以上のように、このチップ抵抗器1では、トリミング対象領域Xにおいて、複数の抵抗体R（抵抗回路）の接続状態が変更可能である。

[0084] 図9は、チップ抵抗器の模式的な断面図である。

[0085] 次に、図9を参照して、チップ抵抗器1についてさらに詳しく説明する。
なお、説明の便宜上、図9では、前述した素子5については簡略化して示していると共に、基板2以外の各要素にはハッチングを付している。

[0086] ここでは、前述したパッシベーション膜23および樹脂膜24について説明する。

[0087] パッシベーション膜23は、たとえばSiN（窒化シリコン）からなり、その厚さは、1000Å～5000Å（ここでは、約3000Å）である。パッシベーション膜23は、素子形成面2Aおよび側面2C～2Fのそれぞれにおけるほぼ全域に亘って設けられている。素子形成面2A上のパッシベーション膜23は、抵抗膜21および抵抗膜21上の各配線膜22（つまり、素子5）を表面（図9の上側）から被覆していて、素子5における各抵抗膜Rの上面を覆っている。そのため、パッシベーション膜23は、前述したトリミング対象領域Xにおける配線膜22も覆っている（図5（b）参照）。また、パッシベーション膜23は、素子5（配線膜22および抵抗膜21）に接しており、抵抗膜21以外の領域では絶縁膜20にも接している。これにより、素子形成面2A上のパッシベーション膜23は、素子形成面2A全域を覆って素子5および絶縁膜20を保護する保護膜として機能している。また、素子形成面2Aでは、パッシベーション膜23によって、抵抗膜R間における配線膜22以外での短絡（隣り合う抵抗膜ライン21A間における短絡）が防止されている。

[0088] 一方、側面2C～2Fのそれぞれに設けられたパッシベーション膜23は、第1接続電極3および第2接続電極4の側面部分と基板2の側面2C～2Fとの間に介在されており、側面2C～2Fのそれぞれを保護する保護層として機能している。これにより、第1接続電極3および第2接続電極4と基板2とを短絡させたくない場合に、その要求に応えることができる。なお、パッシベーション膜23は極めて薄い膜なので、本実施形態では、側面2C～2Fのそれぞれを覆うパッシベーション膜23を、基板2の一部とみなすことにする。そのため、側面2C～2Fのそれぞれを覆うパッシベーション膜23を、側面2C～2Fそのものとみなすことにしている。

[0089] 樹脂膜24は、パッシベーション膜23と共にチップ抵抗器1の素子形成面2Aを保護するものであり、ポリイミド等の樹脂からなる。樹脂膜24の厚みは、約5μmである。

[0090] 樹脂膜24は、素子形成面2A上のパッシベーション膜23の表面（パッ

シベーション膜 23 に被覆された抵抗膜 21 および配線膜 22 も含む) の全域を被覆している。

[0091] 樹脂膜 24 には、配線膜 22 における第 1 接続電極 3 および第 2 接続電極 4 の側面部分に対向する周縁部を露出させる切欠部 25 が 1 つずつ形成されている。各切欠部 25 は、樹脂膜 24 およびパッシベーション膜 23 を、それぞれの厚さ方向において連続して貫通している。そのため、切欠部 25 は、樹脂膜 24 だけでなくパッシベーション膜 23 にも形成されている。これにより、各配線膜 22 は、素子 5 に近い内側の周縁部のみが樹脂膜 24 によって選択的に覆われており、その他の、基板 2 の周縁部 85 に沿う周縁部が切欠部 25 を介して選択的に露出している。配線膜 22 において各切欠部 25 から露出された表面は、外部接続用のパッド領域 22A となっている。また、切欠部 25 から露出する配線膜 22 は、素子形成面 2A において基板 2 の周縁部 85 から内方へ所定の間隔 (たとえば、 $3\mu\text{m}$ ~ $6\mu\text{m}$) 離れて配置されている。また、切欠部 25 の側面には、チップ抵抗器 1 の一方の短辺 82 から他方の短辺 82 へ向かって、絶縁膜 26 が全体的に形成されている。

[0092] 2 つの切欠部 25 のうち、一方の切欠部 25 は、第 1 接続電極 3 によって埋め尽くされ、他方の切欠部 25 は、第 2 接続電極 4 によって埋め尽くされている。この第 1 接続電極 3 および第 2 接続電極 4 は、前述したように、素子形成面 2A に加えて側面 2C~2F も覆うように形成されている。また、第 1 接続電極 3 および第 2 接続電極 4 は、樹脂膜 24 から突出するように形成されていると共に、樹脂膜 24 の表面に沿って基板 2 の内方 (素子 5 側) へ引き出された引き出し部 27 を有している。

[0093] ここで、第 1 接続電極 3 および第 2 接続電極 4 のそれぞれは、Ni 層 33、Pd 層 34 および Au 層 35 を素子形成面 2A 側および側面 2C~2F 側からこの順で有している。すなわち、第 1 接続電極 3 および第 2 接続電極 4 のそれぞれは、素子形成面 2A 上の領域だけでなく、側面 2C~2F 上の領域においても、Ni 層 33、Pd 層 34 および Au 層 35 からなる積層構造

を有している。そのため、第1接続電極3および第2接続電極4のそれぞれにおいて、Ni層33とAu層35との間にPd層34が介装されている。第1接続電極3および第2接続電極4のそれぞれにおいて、Ni層33は各接続電極の大部分を占めており、Pd層34およびAu層35は、Ni層33に比べて格段に薄く形成されている。Ni層33は、チップ抵抗器1が実装基板9に実装された際に（図1Bおよび図1C参照）、各切欠部25の패드領域22Aにおける配線膜22のAlと、前述した半田13とを中継する役割を有している。

[0094] このように、第1接続電極3および第2接続電極4では、Ni層33の表面がAu層35によって覆われているので、Ni層33が酸化することを防止できる。また、第1接続電極3および第2接続電極4では、Au層35を薄くすることによってAu層35に貫通孔（ピンホール）ができてしまっても、Ni層33とAu層35との間に介装されたPd層34が当該貫通孔を塞いでいるので、当該貫通孔からNi層33が外部に露出されて酸化することを防止できる。

[0095] そして、第1接続電極3および第2接続電極4のそれぞれでは、Au層35が、最表面に露出している。第1接続電極3は、一方の切欠部25を介して、この切欠部25における패드領域22Aにおいて配線膜22に対して電氣的に接続されている。第2接続電極4は、他方の切欠部25を介して、この切欠部25における패드領域22Aにおいて配線膜22に対して電氣的に接続されている。第1接続電極3および第2接続電極4のそれぞれでは、Ni層33が패드領域22Aに対して接続されている。これにより、第1接続電極3および第2接続電極4のそれぞれは、素子5に対して電氣的に接続されている。ここで、配線膜22は、抵抗体Rのまとまり（抵抗56）、第1接続電極3および第2接続電極4のそれぞれに接続された配線を形成している。

[0096] このように、切欠部25が形成された樹脂膜24およびパッシベーション膜23は、切欠部25から第1接続電極3および第2接続電極4を露出させ

た状態で素子形成面 2 A を覆っている。そのため、樹脂膜 2 4 の表面において切欠部 2 5 からはみ出した（突出した）第 1 接続電極 3 および第 2 接続電極 4 を介して、チップ抵抗器 1 と実装基板 9 との間における電氣的接続を達成することができる（図 1 B および図 1 C 参照）。

[0097] 図 1 0 A ~ 図 1 0 I は、図 9 に示すチップ抵抗器の製造方法を示す図解的な断面図である。

[0098] まず、図 1 0 A に示すように、基板 2 の元となる基板 3 0 を用意する。この場合、基板 3 0 の表面 3 0 A は、基板 2 の素子形成面 2 A であり、基板 3 0 の裏面 3 0 B は、基板 2 の裏面 2 B である。

[0099] そして、基板 3 0 の表面 3 0 A を熱酸化して、表面 3 0 A に SiO_2 等からなる絶縁膜 2 0 を形成し、絶縁膜 2 0 上に素子 5（抵抗体 R および抵抗体 R に接続された配線膜 2 2）を形成する。具体的には、スパッタリングにより、まず、絶縁膜 2 0 の上に TiN 、 TiON または TiSiON の抵抗体膜 2 1 を全面に形成し、さらに、抵抗体膜 2 1 に接するように抵抗体膜 2 1 の上にアルミニウム（Al）の配線膜 2 2 を積層する。その後、フォトリソグラフィプロセスを用い、たとえば RIE（Reactive Ion Etching：反応性イオンエッチング）等のドライエッチングにより抵抗体膜 2 1 および配線膜 2 2 を選択的に除去してパターニングし、図 3 A に示すように、平面視で、抵抗体膜 2 1 が積層された一定幅の抵抗体膜ライン 2 1 A が一定間隔をあけて列方向に配列される構成を得る。このとき、部分的に抵抗体膜ライン 2 1 A および配線膜 2 2 が切断された領域も形成されると共に、前述したトリミング対象領域 X においてヒューズ F および導体膜 D が形成される（図 2 参照）。続いて、たとえばウェットエッチングにより抵抗体膜ライン 2 1 A の上に積層された配線膜 2 2 を選択的に除去する。この結果、抵抗体膜ライン 2 1 A 上に一定間隔 R をあけて配線膜 2 2 が積層された構成の素子 5 が得られる。この際、抵抗体膜 2 1 および配線膜 2 2 が目標寸法で形成されたか否かを確かめるために、素子 5 全体の抵抗値を測定してもよい。

[0100] 図 1 0 A を参照して、素子 5 は、1 枚の基板 3 0 に形成するチップ抵抗器

1の数に応じて、基板30の表面30A上における多数の箇所に形成される。基板30において素子5（前述した抵抗56）が形成された1つの領域をチップ部品領域Yという、基板30の表面30Aには、抵抗56をそれぞれ有する複数のチップ部品領域Y（つまり、素子5）が形成（設定）される。1つのチップ部品領域Yは、完成した1つのチップ抵抗器1（図9参照）を平面視したものと一致する。そして、基板30の表面30Aにおいて、隣り合うチップ部品領域Yの間の領域を、境界領域Zということにする。境界領域Zは、帯状をなして、平面視で格子状に延びている。境界領域Zによって区画された1つの格子の中にチップ部品領域Yが1つ配置されている。境界領域Zの幅は、 $1\mu\text{m}$ ～ $60\mu\text{m}$ （たとえば $20\mu\text{m}$ ）と極めて狭いので、基板30では多くのチップ部品領域Yを確保でき、結果としてチップ抵抗器1の大量生産が可能になる。

[0101] 次に、図10Aに示すように、CVD（Chemical Vapor Deposition：化学的気相成長）法によって、SiNからなる絶縁膜45を、基板30の表面30Aの全域に亘って形成する。絶縁膜45は、絶縁膜20および絶縁膜20上の素子5（抵抗膜21や配線膜22）を全て覆っていて、これらに接している。そのため、絶縁膜45は、前述したトリミング対象領域X（図2参照）における配線膜22も覆っている。また、絶縁膜45は、基板30の表面30Aにおいて全域に亘って形成されることから、表面30Aにおいて、トリミング対象領域X以外の領域にまで延びて形成される。これにより、絶縁膜45は、表面30A（表面30A上の素子5も含む）全域を保護する保護膜となる。

[0102] 次に、図10Bに示すようにマスク65を用いたエッチングによって、絶縁膜45を選択的に除去する。これにより、絶縁膜45の一部に開口28が形成され、その開口28において各パッド領域22Aが露出する。1つの半製品50につき、開口28は2つ形成される。

[0103] 各半製品50において、絶縁膜45に2つの開口28を形成した後に、抵抗測定装置（図示せず）のプローブ70を各開口28のパッド領域22Aに

接触させて、素子5の全体の抵抗値を検出する。そして、絶縁膜45越しにレーザ光（図示せず）を任意のヒューズF（図2参照）に照射することによって、前述したトリミング対象領域Xの配線膜22をレーザ光でトリミングして、当該ヒューズFを溶断する。このようにして、必要な抵抗値となるようにヒューズFを溶断（トリミング）することによって、前述したように、半製品50（換言すれば、チップ抵抗器1）全体の抵抗値を調整できる。このとき、絶縁膜45が素子5を覆うカバー膜となっているので、溶断の際に生じた破片などが素子5に付着して短絡が生じることを防止できる。また、絶縁膜45がヒューズF（抵抗体膜21）を覆っていることから、レーザ光のエネルギーをヒューズFに蓄えてヒューズFを確実に溶断することができる。その後、必要に応じて、CVD法によって絶縁膜45上にSiNを形成し、絶縁膜45を厚くする。最終的な絶縁膜45（図10Cに示された状態）は、1000Å～5000Å（ここでは、約3000Å）の厚さを有している。このとき、絶縁膜45の一部は、各開口28に入り込んで開口28を塞いでいる。

[0104] 次に、図10Cに示すように、ポリイミドからなる感光性樹脂の液体を、基板30に対して、絶縁膜45の上からスプレー塗布して、感光性樹脂の樹脂膜46を形成する。表面30A上の樹脂膜46の表面は、表面30Aに沿って平坦になっている。次に、樹脂膜46に熱処理（キュア処理）を施す。これにより、樹脂膜46の厚みが熱収縮すると共に、樹脂膜46が硬化して膜質が安定する。

[0105] 次に、図10Dに示すように、樹脂膜46、絶縁膜45および絶縁膜20をパターンニングすることによって、これらの膜の切欠部25と一致する部分を選択的に除去する。これにより切欠部25が形成されると共に、境界領域Zにおいては表面30A（絶縁膜20）が露出することになる。

[0106] 次に、図10Eに示すように、基板30の表面30Aの全域に亘ってレジストパターン41を形成する。レジストパターン41には、開口42が形成されている。

- [0107] 図 1 1 は、図 1 0 E の工程において溝を形成するために用いられるレジストパターンの一部の模式的な平面図である。
- [0108] 図 1 1 を参照して、レジストパターン 4 1 の開口 4 2 は、多数のチップ抵抗器 1（換言すれば、前述したチップ部品領域 Y）を行列状（格子状でもある）に配置した場合において平面視で隣り合うチップ抵抗器 1 の輪郭の間の領域（図 1 1 においてハッチングを付した部分であり、換言すれば、境界領域 Z）に一致（対応）している。そのため、開口 4 2 の全体形状は、互いに直交する直線部分 4 2 A および 4 2 B を複数有する格子状になっている。
- [0109] レジストパターン 4 1 では、開口 4 2 において互いに直交する直線部分 4 2 A および 4 2 B は、互いに直交した状態を保ちながら（湾曲することなく）つながっている。そのため、直線部分 4 2 A および 4 2 B の交差部分 4 3 は、平面視で略 90° をなすように尖っている。
- [0110] 図 1 0 E を参照して、レジストパターン 4 1 をマスクとするプラズマエッチングにより、基板 3 0 を選択的に除去する。これにより、隣り合う素子 5（チップ部品領域 Y）の間の境界領域 Z における配線膜 2 2 から間隔を空けた位置で基板 3 0 の材料が除去される。その結果、平面視においてレジストパターン 4 1 の開口 4 2 と一致する位置（境界領域 Z）には、基板 3 0 の表面 3 0 A から基板 3 0 の厚さ途中まで到達する所定深さの溝 4 4 が形成される。溝 4 4 は、互いに対向する 1 対の側壁 4 4 A と、当該 1 対の側壁 4 4 A の下端（基板 3 0 の裏面 3 0 B 側の端）の間を結ぶ底壁 4 4 B とによって区画されている。基板 3 0 の表面 3 0 A を基準とした溝 4 4 の深さは約 100 μm であり、溝 4 4 の幅（対向する側壁 4 4 A の間隔）は約 20 μm であって、深さ方向全域に渡って一定である。
- [0111] 基板 3 0 における溝 4 4 の全体形状は、平面視でレジストパターン 4 1 の開口 4 2（図 1 1 参照）と一致する格子状になっている。そして、基板 3 0 の表面 3 0 A では、各素子 5 が形成されたチップ部品領域 Y のまわりを溝 4 4 における矩形枠体部分（境界領域 Z）が取り囲んでいる。基板 3 0 において素子 5 が形成された部分は、チップ抵抗器 1 の半製品 5 0 である。基板 3

0の表面30Aでは、溝44に取り囲まれたチップ部品領域Yに半製品50が1つずつ位置していて、これらの半製品50は、行列状に整列配置されている。このように溝44を形成することによって、基板30を複数のチップ部品領域Y毎の基板2に分離する。溝44が形成された後、レジストパターン41を除去する。

[0112] 次に、図10Fに示すように、CVD法によって、SiNからなる絶縁膜47を、基板30の表面30Aの全域に亘って形成する。このとき、溝44の内周面（前述した側壁44Aの区画面44Cや底壁44Bの上面）の全域にも絶縁膜47が形成される。

[0113] 次に、図10Gに示すように、絶縁膜47を選択的にエッチングする。具体的には、絶縁膜47における表面30Aに平行な部分を選択的にエッチングする。これにより、配線膜22のパッド領域22Aが露出すると共に、溝44においては、底壁44B上の絶縁膜47が除去される。

[0114] 次に、無電解めっきによって、各切欠部25から露出した配線膜22からNi、PdおよびAuを順にめっき成長させる。めっきは、各めっき膜が表面30Aに沿う横方向に成長し、溝44の側壁44A上の絶縁膜47を覆うまで続けられる。これにより、図10Hに示すように、Ni/Pd/Au積層膜からなる第1接続電極3および第2接続電極4を形成する。

[0115] 図12は、第1接続電極および第2接続電極の製造工程を説明するための図である。

[0116] 詳しくは、図12を参照して、まず、パッド領域22Aの表面が浄化されることで、当該表面の有機物（炭素のしみ等のスマットや油脂性の汚れも含む）が除去（脱脂）される（ステップS1）。次に、当該表面の酸化膜が除去される（ステップS2）。次に、当該表面においてジンケート処理が実施されて、当該表面における（配線膜22の）AlがZnに置換される（ステップS3）。次に、当該表面上のZnが硝酸等で剥離されて、パッド領域22Aでは、新しいAlが露出される（ステップS4）。

[0117] 次に、パッド領域22Aをめっき液に浸けることによって、パッド領域2

2 Aにおける新しいA lの表面にN iめっきが施される。これにより、めっき液中のN iが化学的に還元析出されて、当該表面にN i層3 3が形成される（ステップS 5）。

[0118] 次に、N i層3 3を別のめっき液に浸けることによって、当該N i層3 3の表面にP dめっきが施される。これにより、めっき液中のP dが化学的に還元析出されて、当該N i層3 3の表面にP d層3 4が形成される（ステップS 6）。

[0119] 次に、P d層3 4をさらに別のめっき液に浸けることによって、当該P d層3 4の表面にA uめっきが施される。これにより、めっき液中のA uが化学的に還元析出されて、当該P d層3 4の表面にA u層3 5が形成される（ステップS 7）。これによって、第1 接続電極3および第2 接続電極4が形成され、形成後の第1 接続電極3および第2 接続電極4を乾燥させると（ステップS 8）、第1 接続電極3および第2 接続電極4の製造工程が完了する。なお、前後するステップの間には、半製品5 0を水で洗浄する工程が適宜実施される。また、ジンケート処理は複数回実施されてもよい。

[0120] 図1 0 Hでは、各半製品5 0において第1 接続電極3および第2 接続電極4が形成された後の状態を示している。

[0121] 以上のように、第1 接続電極3および第2 接続電極4を無電解めっきによって形成するので、電極材料であるN i、P dおよびA lを絶縁膜4 7上にも良好にめっき成長させることができる。また、第1 接続電極3および第2 接続電極4を電解めっきによって形成する場合に比べて、第1 接続電極3および第2 接続電極4についての形成工程の工程数（たとえば、電解めっきで必要となるリソグラフィ工程やレジストマスクの剥離工程等）を削減してチップ抵抗器1の生産性を向上できる。さらに、無電解めっきの場合には、電解めっきで必要とされるレジストマスクが不要であることから、レジストマスクの位置ずれによる第1 接続電極3および第2 接続電極4についての形成位置にずれが生じないので、第1 接続電極3および第2 接続電極4の形成位置精度を向上して歩留まりを向上できる。

- [0122] また、この方法では、配線膜 2 2 が切欠部 2 5 から露出していて、配線膜 2 2 から溝 4 4 までめっき成長の妨げになるものが無い。そのため、配線膜 2 2 から溝 4 4 まで直線的にめっき成長させることができる。その結果、電極の形成にかかる時間の短縮を図ることができる。
- [0123] このように第 1 接続電極 3 および第 2 接続電極 4 が形成されてから、第 1 接続電極 3 および第 2 接続電極 4 間での通電検査が行われた後に、基板 3 0 が裏面 3 0 B から研削される。
- [0124] 具体的には、溝 4 4 を形成した後に、図 1 0 I に示すように、PET（ポリエチレンテレフタレート）からなる薄板状であって粘着面 7 2 を有する支持テープ 7 1 が、粘着面 7 2 において、各半製品 5 0 における第 1 接続電極 3 および第 2 接続電極 4 側（つまり、表面 3 0 A）に貼着される。これにより、各半製品 5 0 が支持テープ 7 1 に支持される。ここで、支持テープ 7 1 として、たとえば、ラミネートテープを用いることができる。
- [0125] 各半製品 5 0 が支持テープ 7 1 に支持された状態で、基板 3 0 を裏面 3 0 B 側から研削する。研削によって、溝 4 4 の底壁 4 4 B（図 1 0 H 参照）の上面に達するまで基板 3 0 が薄型化されると、隣り合う半製品 5 0 を連結するものがなくなるので、溝 4 4 を境界として基板 3 0 が分割され、半製品 5 0 が個別に分離してチップ抵抗器 1 の完成品となる。つまり、溝 4 4（換言すれば、境界領域 Z）において基板 3 0 が切断（分断）され、これによって、個々のチップ抵抗器 1 が切り出される。なお、基板 3 0 を裏面 3 0 B 側から溝 4 4 の底壁 4 4 B までエッチングすることによってチップ抵抗器 1 を切り出しても構わない。
- [0126] 完成した各チップ抵抗器 1 では、溝 4 4 の側壁 4 4 A の区画面 4 4 C をなしていた部分が、基板 2 の側面 2 C～2 F のいずれかとなり、裏面 3 0 B が裏面 2 B となる。つまり、前述したようにエッチングによって溝 4 4 を形成する工程（図 1 0 E 参照）は、側面 2 C～2 F を形成する工程に含まれる。また、絶縁膜 4 5 および絶縁膜 4 7 の一部がパッシベーション膜 2 3 となり、樹脂膜 4 6 が樹脂膜 2 4 となり、絶縁膜 4 7 の一部が絶縁膜 2 6 となる。

- [0127] 以上のように、溝44を形成してから基板30を裏面30B側から研削すれば、基板30に形成された複数のチップ部品領域Yを一斉に個々のチップ抵抗器1（チップ部品）に分割できる（複数のチップ抵抗器1の個片を一度に得ることができる）。よって、複数のチップ抵抗器1の製造時間の短縮によってチップ抵抗器1の生産性の向上を図ることができる。
- [0128] なお、完成したチップ抵抗器1における基板2の裏面2Bを研磨やエッチングすることによって鏡面化して裏面2Bを綺麗にしてもよい。
- [0129] 図13A～図13Dは、図10Iの工程後におけるチップ抵抗器の回収工程を示す図解的な断面図である。
- [0130] 図13Aでは、個片化された複数のチップ抵抗器1が引き続き支持テープ71にくっついている状態を示している。この状態で、図13Bに示すように、各チップ抵抗器1の基板2の裏面2Bに対して、熱発泡シート73を貼着する。熱発泡シート73は、シート状のシート本体74と、シート本体74内に練り込まれた多数の発泡粒子75とを含んでいる。
- [0131] シート本体74の粘着力は、支持テープ71の粘着面72における粘着力よりも強い。そこで、各チップ抵抗器1の基板2の裏面2Bに熱発泡シート73を貼着した後に、図13Cに示すように、支持テープ71を各チップ抵抗器1から引き剥がして、チップ抵抗器1を熱発泡シート73に転写する。このとき、支持テープ71に紫外線を照射すると（図13Bの点線矢印参照）、粘着面72の粘着性が低下するので、支持テープ71が各チップ抵抗器1から剥がれやすくなる。
- [0132] 次に、熱発泡シート73を加熱する。これにより、図13Dに示すように、熱発泡シート73では、シート本体74内の各発泡粒子75が発泡してシート本体74の表面から膨出する。その結果、熱発泡シート73と各チップ抵抗器1の基板2の裏面2Bとの接触面積が小さくなり、全てのチップ抵抗器1が熱発泡シート73から自然に剥がれる（脱落する）。このように回収されたチップ抵抗器1は、実装基板9（図1B参照）に実装されたり、エンボスキャリアテープ（図示せず）に形成された収容空間に収容されたりする

。この場合、支持テープ 7 1 または熱発泡シート 7 3 からチップ抵抗器 1 を 1 つずつ引き剥がす場合に比べて、処理時間の短縮を図ることができる。もちろん、複数のチップ抵抗器 1 が支持テープ 7 1 にくっついた状態で（図 1 3 A 参照）、熱発泡シート 7 3 を用いずに、支持テープ 7 1 からチップ抵抗器 1 を所定個数ずつ直接引き剥がしてもよい。

[0133] 図 1 4 A～図 1 4 C は、図 1 0 I の工程後におけるチップ抵抗器の回収工程（変形例）を示す図解的な断面図である。

[0134] 図 1 4 A～図 1 4 C に示す別の方法によって、各チップ抵抗器 1 を回収することもできる。

[0135] 図 1 4 A では、図 1 3 A と同様に、個片化された複数のチップ抵抗器 1 が引き続き支持テープ 7 1 にくっついている状態を示している。この状態で、図 1 4 B に示すように、各チップ抵抗器 1 の基板 2 の裏面 2 B に転写テープ 7 7 を貼着する。転写テープ 7 7 は、支持テープ 7 1 の粘着面 7 2 よりも強い粘着力を有する。そこで、図 1 4 C に示すように、各チップ抵抗器 1 に転写テープ 7 7 を貼着した後に、支持テープ 7 1 を各チップ抵抗器 1 から引き剥がす。この際、前述したように、粘着面 7 2 の粘着性を低下させるために支持テープ 7 1 に紫外線（図 1 4 B の点線矢印参照）を照射してもよい。

[0136] 転写テープ 7 7 の両端には、回収装置（図示せず）のフレーム 7 8 が貼り付けられている。両側のフレーム 7 8 は、互いが接近する方向または離間する方向に移動できる。支持テープ 7 1 を各チップ抵抗器 1 から引き剥がした後に、両側のフレーム 7 8 を互いが離間する方向に移動させると、転写テープ 7 7 が伸張して薄くなる。これによって、転写テープ 7 7 の粘着力が低下するので、各チップ抵抗器 1 が転写テープ 7 7 から剥がれやすくなる。この状態で、搬送装置（図示せず）の吸着ノズル 7 6 をチップ抵抗器 1 の素子形成面 2 A 側に向けると、搬送装置（図示せず）が発生する吸着力によって、このチップ抵抗器 1 が転写テープ 7 7 から引き剥がされて吸着ノズル 7 6 に吸着される。この際、図 1 4 C に示す突起 7 9 によって、吸着ノズル 7 6 とは反対側から転写テープ 7 7 越しにチップ抵抗器 1 を吸着ノズル 7 6 側へ突

き上げると、チップ抵抗器 1 を転写テープ 77 から円滑に引き剥がすことができる。このように回収されたチップ抵抗器 1 は、吸着ノズル 76 に吸着された状態で搬送装置（図示せず）によって搬送される。

[0137] 以上、本発明の実施形態について説明してきたが、本発明はさらに他の形態で実施することもできる。たとえば、本発明のチップ部品の一例として、前述した実施形態では、チップ抵抗器 1 を開示したが、本発明は、チップコンデンサやチップダイオードやチップインダクタといったチップ部品にも適用できる。以下では、チップコンデンサについて説明する。

[0138] 図 15 は、本発明の他の実施形態に係るチップコンデンサの平面図である。図 16 は、図 15 の切断面線 XVI-XVI から見た断面図である。図 17 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

[0139] これから述べるチップコンデンサ 101 において、前述したチップ抵抗器 1 で説明した部分と対応する部分には、同一の参照符号を付し、当該部分についての詳しい説明を省略する。チップコンデンサ 101 において、チップ抵抗器 1 で説明した部分と同一の参照符号が付された部分は、特に言及しない限り、チップ抵抗器 1 で説明した部分と同じ構成を有していて、チップ抵抗器 1 で説明した部分（特に、第 1 接続電極 3 および第 2 接続電極 4 に関する部分について）と同じ作用効果を奏することができる。

[0140] 図 13 を参照して、チップコンデンサ 101 は、チップ抵抗器 1 と同様に、基板 2 と、基板 2 上（基板 2 の素子形成面 2A 側）に配置された第 1 接続電極 3 と、同じく基板 2 上に配置された第 2 接続電極 4 とを備えている。基板 2 は、この実施形態では、平面視において矩形形状を有している。基板 2 の長手方向両端部に第 1 接続電極 3 および第 2 接続電極 4 がそれぞれ配置されている。第 1 接続電極 3 および第 2 接続電極 4 は、この実施形態では、基板 2 の短手方向に延びたほぼ矩形の平面形状を有している。チップコンデンサ 101 では、チップ抵抗器 1 と同様に、第 1 接続電極 3 および第 2 接続電極 4 が、周縁部 85 を覆うように、素子形成面 2A および側面 2C~2F に一体的に形成されている。そのため、チップコンデンサ 101 が実装基板 9

に実装された回路アセンブリ 100（図 1 B および図 1 C 参照）では、チップ抵抗器 1 の場合と同様に、第 1 接続電極 3 および第 2 接続電極 4 に対する半田 13 の吸着量を増やすことができるので、接着強度を向上させることができる。また、第 1 接続電極 3 を三方の側面 2 C, 2 E, 2 F で半田 13 によって保持し、第 2 接続電極 4 を三方の側面 2 D, 2 E, 2 F で半田 13 によって保持することによって、矩形状のチップコンデンサ 101 の全ての側面 2 C～2 F を半田 13 で固定することができる。これにより、チップコンデンサ 101 の実装形状を安定化させることができる。

[0141] 基板 2 の素子形成面 2 A には、第 1 接続電極 3 および第 2 接続電極 4 の間のキャパシタ配置領域 105 内に、複数のキャパシタ要素 C 1～C 9 が形成されている。複数のキャパシタ要素 C 1～C 9 は、前述した素子 5（ここでは、キャパシタ素子）を構成する複数の素子要素であり、第 1 接続電極 3 および第 2 接続電極 4 の間に接続されている。詳しくは、複数のキャパシタ要素 C 1～C 9 は、複数のヒューズユニット 107（前述したヒューズ F に相当する）を介してそれぞれ第 2 接続電極 4 に対して切り離し可能となるように電氣的に接続されている。

[0142] 図 1 6 および図 1 7 に示されているように、基板 2 の素子形成面 2 A には絶縁膜 20 が形成されていて、絶縁膜 20 の表面に下部電極膜 111 が形成されている。下部電極膜 111 は、キャパシタ配置領域 105 のほぼ全域にわたっている。さらに、下部電極膜 111 は、第 1 接続電極 3 の直下の領域にまで延びて形成されている。より具体的には、下部電極膜 111 は、キャパシタ配置領域 105 においてキャパシタ要素 C 1～C 9 の共通の下部電極として機能するキャパシタ電極領域 111 A と、第 1 接続電極 3 の直下に配置される外部電極引き出しのためのパッド領域 111 B とを有している。キャパシタ電極領域 111 A がキャパシタ配置領域 105 に位置していて、パッド領域 111 B が第 1 接続電極 3 の直下に位置して第 1 接続電極 3 に接触している。

[0143] キャパシタ配置領域 105 において下部電極膜 111（キャパシタ電極領

域 1 1 1 A) を覆って接するように容量膜 (誘電体膜) 1 1 2 が形成されている。容量膜 1 1 2 は、キャパシタ電極領域 1 1 1 A (キャパシタ配置領域 1 0 5) の全域にわたって形成されている。容量膜 1 1 2 は、この実施形態では、さらにキャパシタ配置領域 1 0 5 外の絶縁膜 2 0 を覆っている。

[0144] 容量膜 1 1 2 の上には、上部電極膜 1 1 3 が形成されている。図 1 5 では、明瞭化のために、上部電極膜 1 1 3 を着色して示してある。上部電極膜 1 1 3 は、キャパシタ配置領域 1 0 5 に位置するキャパシタ電極領域 1 1 3 A と、第 2 接続電極 4 の直下に位置して第 2 接続電極 4 に接触するパッド領域 1 1 3 B と、キャパシタ電極領域 1 1 3 A とパッド領域 1 1 3 B との間に配置されたヒューズ領域 1 1 3 C とを有している。

[0145] キャパシタ電極領域 1 1 3 A において、上部電極膜 1 1 3 は、複数の電極膜部分 (上部電極膜部分) 1 3 1 ~ 1 3 9 に分割 (分離) されている。この実施形態では、各電極膜部分 1 3 1 ~ 1 3 9 は、いずれも矩形形状に形成されていて、ヒューズ領域 1 1 3 C から第 1 接続電極 3 に向かって帯状に延びている。複数の電極膜部分 1 3 1 ~ 1 3 9 は、複数種類の対向面積で、容量膜 1 1 2 を挟んで (容量膜 1 1 2 に接しつつ) 下部電極膜 1 1 1 に対向している。より具体的には、電極膜部分 1 3 1 ~ 1 3 9 の下部電極膜 1 1 1 に対する対向面積は、1 : 2 : 4 : 8 : 1 6 : 3 2 : 6 4 : 1 2 8 : 1 2 8 となるように定められていてもよい。すなわち、複数の電極膜部分 1 3 1 ~ 1 3 9 は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が 2 の等比数列をなすように設定された対向面積を有する複数の電極膜部分 1 3 1 ~ 1 3 8 (または 1 3 1 ~ 1 3 7, 1 3 9) を含む。これによって、各電極膜部分 1 3 1 ~ 1 3 9 と容量膜 1 1 2 を挟んで対向する下部電極膜 1 1 1 とによってそれぞれ構成される複数のキャパシタ要素 C 1 ~ C 9 は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分 1 3 1 ~ 1 3 9 の対向面積の比が前述の通りである場合、キャパシタ要素 C 1 ~ C 9 の容量値の比は、当該対向面積の比と等しく、1 : 2 : 4 : 8 : 1 6 : 3 2 : 6 4 : 1 2 8 : 1 2 8 となる。すなわち、複数のキャパシタ要素 C 1 ~ C 9

は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素C 1～C 8（またはC 1～C 7，C 9）を含むことになる。

[0146] この実施形態では、電極膜部分1 3 1～1 3 5は、幅が等しく、長さの比を1：2：4：8：1 6に設定した帯状に形成されている。また、電極膜部分1 3 5，1 3 6，1 3 7，1 3 8，1 3 9は、長さが等しく、幅の比を1：2：4：8：8に設定した帯状に形成されている。電極膜部分1 3 5～1 3 9は、キャパシタ配置領域1 0 5の第2接続電極4側の端縁から第1接続電極3側の端縁までの範囲に渡って延びて形成されており、電極膜部分1 3 1～1 3 4は、それよりも短く形成されている。

[0147] パッド領域1 1 3 Bは、第2接続電極4とほぼ相似形に形成されており、ほぼ矩形の平面形状を有している。図1 6に示すように、パッド領域1 1 3 Bにおける上部電極膜1 1 3は、第2接続電極4に接している。

[0148] ヒューズ領域1 1 3 Cは、基板2上において、パッド領域1 1 3 Bの一つの長辺（基板2の周縁に対して内方側の長辺）に沿って配置されている。ヒューズ領域1 1 3 Cは、パッド領域1 1 3 Bの前記一つの長辺に沿って配列された複数のヒューズユニット1 0 7を含む。

[0149] ヒューズユニット1 0 7は、上部電極膜1 1 3のパッド領域1 1 3 Bと同じ材料で一体的に形成されている。複数の電極膜部分1 3 1～1 3 9は、1つまたは複数個のヒューズユニット1 0 7と一体的に形成されていて、それらのヒューズユニット1 0 7を介してパッド領域1 1 3 Bに接続され、このパッド領域1 1 3 Bを介して第2接続電極4に電氣的に接続されている。図1 5に示すように、面積の比較的小さな電極膜部分1 3 1～1 3 6は、一つのヒューズユニット1 0 7によってパッド領域1 1 3 Bに接続されており、面積の比較的大きな電極膜部分1 3 7～1 3 9は複数個のヒューズユニット1 0 7を介してパッド領域1 1 3 Bに接続されている。全てのヒューズユニット1 0 7が用いられる必要はなく、この実施形態では、一部のヒューズユニット1 0 7は未使用である。

[0150] ヒューズユニット1 0 7は、パッド領域1 1 3 Bとの接続のための第1幅

広部 107A と、電極膜部分 131～139 との接続のための第 2 幅広部 107B と、第 1 および第 2 幅広部 107A, 7B の間を接続する幅狭部 107C とを含む。幅狭部 107C は、レーザ光によって切断（溶断）することができるように構成されている。それによって、電極膜部分 131～139 のうち不要な電極膜部分を、ヒューズユニット 107 の切断によって第 1 および第 2 接続電極 3, 4 から電氣的に切り離すことができる。

[0151] 図 15 および図 17 では図示を省略したが、図 16 に表れている通り、上部電極膜 113 の表面を含むチップコンデンサ 101 の表面は、前述したパッシベーション膜 23 によって覆われている。パッシベーション膜 23 は、たとえば窒化膜からなっていて、チップコンデンサ 101 の上面のみならず、基板 2 の側面 2C～2F まで延びて、側面 2C～2F の全域をも覆うように形成されている。側面 2C～2F においては、基板 2 と第 1 接続電極 3 および第 2 接続電極 4 との間に介在されている。さらに、パッシベーション膜 23 の上には、前述した樹脂膜 24 が形成されている。樹脂膜 24 は、素子形成面 2A を覆っている。

[0152] パッシベーション膜 23 および樹脂膜 24 は、チップコンデンサ 101 の表面を保護する保護膜である。これらには、第 1 接続電極 3 および第 2 接続電極 4 に対応する領域に、前述した切欠部 25 がそれぞれ形成されている。切欠部 25 は、パッシベーション膜 23 および樹脂膜 24 を貫通している。さらに、この実施形態では、第 1 接続電極 3 に対応した切欠部 25 は、容量膜 112 をも貫通している。

[0153] 切欠部 25 には、第 1 接続電極 3 および第 2 接続電極 4 がそれぞれ埋め込まれている。これにより、第 1 接続電極 3 は下部電極膜 111 のパッド領域 111B に接合しており、第 2 接続電極 4 は上部電極膜 113 のパッド領域 113B に接合している。第 1 および第 2 接続電極 3, 4 は、樹脂膜 24 の表面から突出すると共に、樹脂膜 24 の表面に沿って基板 2 の内方（素子 5 側）へ引き出された引き出し部 27 を有している。これにより、実装基板に対してチップコンデンサ 101 をフリップチップ接合することができる。

[0154] 図18は、前記チップコンデンサの内部の電氣的構成を示す回路図である。第1接続電極3と第2接続電極4との間に複数のキャパシタ要素C1～C9が並列に接続されている。各キャパシタ要素C1～C9と第2接続電極4との間には、一つまたは複数のヒューズユニット107でそれぞれ構成されたヒューズF1～F9が直列に介装されている。

[0155] ヒューズF1～F9が全て接続されているときは、チップコンデンサ101の容量値は、キャパシタ要素C1～C9の容量値の総和に等しい。複数のヒューズF1～F9から選択した1つまたは2つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ101の容量値が減少する。

[0156] そこで、パッド領域111B、113Bの間の容量値（キャパシタ要素C1～C9の総容量値）を測定し、その後に所望の容量値に応じてヒューズF1～F9から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素C1～C8の容量値が、公比2の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素C1の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

[0157] たとえば、キャパシタ要素C1～C9の容量値は次のように定められていてもよい。

[0158]

C1	= 0.03125 pF
C2	= 0.0625 pF
C3	= 0.125 pF
C4	= 0.25 pF
C5	= 0.5 pF
C6	= 1 pF
C7	= 2 pF

$$C\ 8 = 4\ p\ F$$

$$C\ 9 = 4\ p\ F$$

この場合、 $0.03125\ p\ F$ の最小合わせ込み精度でチップコンデンサ101の容量を微調整できる。また、ヒューズF1～F9から切断すべきヒューズを適切に選択することで、 $10\ p\ F \sim 18\ p\ F$ の間の任意の容量値のチップコンデンサ101を提供することができる。

[0159] 以上のように、この実施形態によれば、第1接続電極3および第2接続電極4の間に、ヒューズF1～F9によって切り離し可能な複数のキャパシタ要素C1～C9が設けられている。キャパシタ要素C1～C9は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズF1～F9から1つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサ101を共通の設計で実現することができる。

[0160] チップコンデンサ101の各部の詳細について以下に説明を加える。

[0161] 図15を参照して、基板2は、たとえば平面視において $0.3\ mm \times 0.15\ mm$ 、 $0.4\ mm \times 0.2\ mm$ などの矩形形状（好ましくは、 $0.4\ mm \times 0.2\ mm$ 以下の大きさ）を有していてもよい。キャパシタ配置領域105は、概ね、基板2の短辺の長さに相当する一辺を有する正方形領域となる。基板2の厚さは、 $150\ \mu m$ 程度であってもよい。図16を参照して、基板2は、たとえば、裏面側（キャパシタ要素C1～C9が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板2の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

[0162] 絶縁膜20は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、 $500\ \text{\AA} \sim 2000\ \text{\AA}$ 程度であってもよい。

[0163] 下部電極膜111は、導電性膜、とくに金属膜であることが好ましく、た

たとえばアルミニウム膜であってもよい。アルミニウム膜からなる下部電極膜 111 は、スパッタ法によって形成することができる。上部電極膜 113 も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜 113 は、スパッタ法によって形成することができる。上部電極膜 113 のキャパシタ電極領域 113A を電極膜部分 131 ~ 139 に分割し、さらに、ヒューズ領域 113C を複数のヒューズユニット 107 に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

[0164] 容量膜 112 は、たとえば窒化シリコン膜で構成することができ、その膜厚は 500 Å ~ 2000 Å (たとえば 1000 Å) とすることができる。容量膜 112 は、プラズマ CVD (化学的気相成長) によって形成された窒化シリコン膜であってもよい。

[0165] パッシベーション膜 23 は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマ CVD 法によって形成できる。その膜厚は、8000 Å 程度とされてもよい。樹脂膜 24 は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

[0166] 第 1 および第 2 接続電極 3, 4 は、たとえば、下部電極膜 111 または上部電極膜 113 に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなってもよく、たとえば、めっき法 (より具体的には無電解めっき法) で形成することができる。ニッケル層は下部電極膜 111 または上部電極膜 113 に対する密着性の向上に寄与し、パラジウム層は上部電極膜または下部電極膜の材料と第 1 および第 2 接続電極 3, 4 の最上層の金との相互拡散を抑制する拡散防止層として機能する。

[0167] このようなチップコンデンサ 101 の製造工程は、素子 5 を形成した後のチップ抵抗器 1 の製造工程と同じである。

[0168] チップコンデンサ 101 において素子 5 (キャパシタ素子) を形成する場合には、まず、前述した基板 30 (基板 2) の表面に、熱酸化法および／ま

たはCVD法によって、酸化膜（たとえば酸化シリコン膜）からなる絶縁膜20が形成される。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜111が絶縁膜20の表面全域に形成される。下部電極膜111の膜厚は8000Å程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜111の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される。このレジストパターンをマスクとして、下部電極膜がエッチングされることにより、図15等にしたパターンの下部電極膜111が得られる。下部電極膜111のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

[0169] 次に、たとえばプラズマCVD法によって、窒化シリコン膜等からなる容量膜112が、下部電極膜111上に形成される。下部電極膜111が形成されていない領域では、絶縁膜20の表面に容量膜112が形成されることになる。次に、その容量膜112の上に、上部電極膜113が形成される。上部電極膜113は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、8000Å程度とされてもよい。次に、上部電極膜113の表面に上部電極膜113の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される。このレジストパターンをマスクとしたエッチングにより、上部電極膜113が、最終形状（図15等参照）にパターニングされる。それによって、上部電極膜113は、キャパシタ電極領域113Aに複数の電極膜部分131～139に分割された部分を有し、ヒューズ領域113Cに複数のヒューズユニット107を有し、それらのヒューズユニット107に接続されたパッド領域113Bを有するパターンに整形される。上部電極膜113のパターニングのためのエッチングは、リン酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。

[0170] 以上によって、チップコンデンサ101における素子5（キャパシタ要素C1～C9やヒューズユニット107）が形成される。

[0171] この状態から、ヒューズユニット107を溶断するためのレーザトリミン

グが行われる（図１０Ｂ参照）。すなわち、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット１０７にレーザ光を当てて、そのヒューズユニット１０７の幅狭部１０７Ｃ（図１５参照）が溶断される。これにより、対応するキャパシタ要素がパッド領域１１３Ｂから切り離される。ヒューズユニット１０７にレーザ光を当てるとき、カバー膜である絶縁膜４５の働きによって、ヒューズユニット１０７の近傍にレーザ光のエネルギーが蓄積され、それによって、ヒューズユニット１０７が溶断する。これにより、チップコンデンサ１０１の容量値を確実に目的の容量値とすることができる。

[0172] その後、図１０Ｃ～図１０Ｉの工程に倣って、チップ抵抗器１の場合と同じ工程を実行すればよい。

[0173] 以上、本発明のチップ部品（チップ抵抗器１やチップコンデンサ１０１）について説明してきたが、本発明はさらに他の形態で実施することもできる。

[0174] たとえば、前述の実施形態では、チップ抵抗器１の場合、複数の抵抗回路が公比 r （ $0 < r$ 、 $r \neq 1$ ） $= 2$ の等比数列をなす抵抗値を有する複数の抵抗回路を有している例を示したが、当該等比数列の公比は２以外の数であってもよい。また、チップコンデンサ１０１の場合にも、キャパシタ要素が公比 r （ $0 < r$ 、 $r \neq 1$ ） $= 2$ の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は２以外の数であってもよい。

[0175] また、チップ抵抗器１やチップコンデンサ１０１では、基板２の表面に絶縁膜２０が形成されているが、基板２が絶縁性の基板であれば、絶縁膜２０を省くこともできる。

[0176] また、チップコンデンサ１０１では、上部電極膜１１３だけが複数の電極膜部分に分割されている構成を示したが、下部電極膜１１１だけが複数の電極膜部分に分割されていたり、上部電極膜１１３および下部電極膜１１１が両方とも複数の電極膜部分に分割されていたりしてもよい。さらに、前述の

実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜または下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。また、前述したチップコンデンサ１０１では、上部電極膜１１３および下部電極膜１１１を有する１層のキャパシタ構造が形成されているが、上部電極膜１１３上に、容量膜を介して別の電極膜を積層することで、複数のキャパシタ構造が積層されてもよい。

[0177] チップコンデンサ１０１では、また、基板２として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように容量膜１１２を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。

[0178] また、本発明を、チップインダクタに適用した場合、当該チップインダクタにおいて前述した基板２上に形成された素子５は、複数のインダクタ要素（素子要素）を含んだインダクタ素子を含み、第１接続電極３および第２接続電極４の間に接続されている。素子５は、前述した多層基板の多層配線中に設けられ、配線膜２２によって形成されている。また、チップインダクタでは、基板２上に、前述した複数のヒューズＦが設けられていて、各インダクタ要素が、第１接続電極３および第２接続電極４に対して、ヒューズＦを介して切り離し可能に接続されている。

[0179] この場合、チップインダクタでは、一つまたは複数のヒューズＦを選択して切断することにより、複数のインダクタ要素の組み合わせパターンを任意のパターンとすることができるので、電気的特性が様々なチップインダクタを共通の設計で実現することができる。

[0180] また、本発明を、チップダイオードに適用した場合、当該チップダイオードにおいて前述した基板２上に形成された素子５は、複数のダイオード要素（素子要素）を含んだダイオード回路網（ダイオード素子）を含む。ダイオード素子は基板２に形成されている。このチップダイオードでは、一つまたは複数のヒューズＦを選択して切断することにより、ダイオード回路網における複数のダイオード要素の組み合わせパターンを任意のパターンとするこ

とができるので、ダイオード回路網の電気的特性が様々なチップダイオードを共通の設計で実現することができる。

[0181] チップインダクタおよびチップダイオードのいずれにおいても、チップ抵抗器 1 およびチップコンデンサ 101 の場合と同じ作用効果を奏することができる。

[0182] また、前述した第 1 接続電極 3 および第 2 接続電極 4 において、Ni 層 33 と Au 層 35 との間に介装されていた Pd 層 34 を省略することもできる。Ni 層 33 と Au 層 35 との接着性が良好なので、Au 層 35 に前述したピンホールができないのであれば、Pd 層 34 を省略しても構わない。

[0183] 図 19 は、本発明のチップ部品が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。スマートフォン 201 は、扁平な直方体形状の筐体 202 の内部に電子部品を収納して構成されている。筐体 202 は表側および裏側に長方形形状の一对の主面を有しており、その一对の主面が 4 つの側面で結合されている。筐体 202 の一つ的主面には、液晶パネルや有機 EL パネル等で構成された表示パネル 203 の表示面が露出している。表示パネル 203 の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。

[0184] 表示パネル 203 は、筐体 202 の一つの主面の大部分を占める長方形形状に形成されている。表示パネル 203 の一つの短辺に沿うように、操作ボタン 204 が配置されている。この実施形態では、複数（3 つ）の操作ボタン 204 が表示パネル 203 の短辺に沿って配列されている。使用者は、操作ボタン 204 およびタッチパネルを操作することによって、スマートフォン 201 に対する操作を行い、必要な機能呼び出して実行させることができる。

[0185] 表示パネル 203 の別の一つの短辺の近傍には、スピーカ 205 が配置されている。スピーカ 205 は、電話機能のための受話口を提供すると共に、音楽データ等を再生するための音響化ユニットとしても用いられる。一方、操作ボタン 204 の近くには、筐体 202 の一つの側面にマイクロフォン 2

０６が配置されている。マイクロフォン２０６は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとして用いることもできる。

[0186] 図２０は、筐体２０２の内部に収容された回路アセンブリ１００の構成を示す図解的な平面図である。回路アセンブリ１００は、前述した実装基板９と、実装基板９の実装面９Ａに実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子（ＩＣ）２１２－２２０と、複数のチップ部品とを含む。複数のＩＣは、伝送処理ＩＣ２１２、ワンセグＴＶ受信ＩＣ２１３、ＧＰＳ受信ＩＣ２１４、ＦＭチューナＩＣ２１５、電源ＩＣ２１６、フラッシュメモリ２１７、マイクロコンピュータ２１８、電源ＩＣ２１９およびベースバンドＩＣ２２０を含む。複数のチップ部品（本願発明のチップ部品に相当する）は、チップインダクタ２２１、２２５、２３５、チップ抵抗器２２２、２２４、２３３、チップキャパシタ２２７、２３０、２３４、およびチップダイオード２２８、２３１を含む。

[0187] 伝送処理ＩＣ２１２は、表示パネル２０３に対する表示制御信号を生成し、かつ表示パネル２０３の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネル２０３との接続のために、伝送処理ＩＣ２１２には、フレキシブル配線２０９が接続されている。

[0188] ワンセグＴＶ受信ＩＣ２１３は、ワンセグ放送（携帯機器を受信対象とする地上デジタルテレビ放送）の電波を受信するための受信機を構成する電子回路を内蔵している。ワンセグＴＶ受信ＩＣ２１３の近傍には、複数のチップインダクタ２２１と、複数のチップ抵抗器２２２とが配置されている。ワンセグＴＶ受信ＩＣ２１３、チップインダクタ２２１およびチップ抵抗器２２２は、ワンセグ放送受信回路２２３を構成している。チップインダクタ２２１およびチップ抵抗器２２２は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路２２３に高精度な回路定数を与える。

[0189] ＧＰＳ受信ＩＣ２１４は、ＧＰＳ衛星からの電波を受信してスマートフォン２０１の位置情報を出力する電子回路を内蔵している。

- [0190] FMチューナIC215は、その近傍において実装基板9に実装された複数のチップ抵抗器224および複数のチップインダクタ225と共に、FM放送受信回路226を構成している。チップ抵抗器224およびチップインダクタ225は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、FM放送受信回路226に高精度な回路定数を与える。
- [0191] 電源IC216の近傍には、複数のチップキャパシタ227および複数のチップダイオード228が実装基板9の実装面に実装されている。電源IC216は、チップキャパシタ227およびチップダイオード228と共に、電源回路229を構成している。
- [0192] フラッシュメモリ217は、オペレーティングシステムプログラム、スマートフォン201の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。
- [0193] マイクロコンピュータ218は、CPU、ROMおよびRAMを内蔵しており、各種の演算処理を実行することにより、スマートフォン201の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ218の働きにより、画像処理や各種アプリケーションプログラムのための演算処理が実現されるようになっている。
- [0194] 電源IC219の近くには、複数のチップキャパシタ230および複数のチップダイオード231が実装基板9の実装面に実装されている。電源IC219は、チップキャパシタ230およびチップダイオード231と共に、電源回路232を構成している。
- [0195] ベースバンドIC220の近くには、複数のチップ抵抗器233、複数のチップキャパシタ234、および複数のチップインダクタ235が、実装基板9の実装面9Aに実装されている。ベースバンドIC220は、チップ抵抗器233、チップキャパシタ234およびチップインダクタ235と共に、ベースバンド通信回路236を構成している。ベースバンド通信回路236は、電話通信およびデータ通信のための通信機能を提供する。
- [0196] このような構成によって、電源回路229、232によって適切に調整さ

れた電力が、伝送処理 IC 212、GPS 受信 IC 214、ワンセグ放送受信回路 223、FM 放送受信回路 226、ベースバンド通信回路 236、フラッシュメモリ 217 およびマイクロコンピュータ 218 に供給される。マイクロコンピュータ 218 は、伝送処理 IC 212 を介して入力される入力信号に応答して演算処理を行い、伝送処理 IC 212 から表示パネル 203 に表示制御信号を出力して表示パネル 203 に各種の表示を行わせる。

[0197] タッチパネルまたは操作ボタン 204 の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路 223 の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネル 203 に出力し、受信された音声をスピーカ 205 から音響化させるための演算処理が、マイクロコンピュータ 218 によって実行される。

[0198] また、スマートフォン 201 の位置情報が必要とされるときには、マイクロコンピュータ 218 は、GPS 受信 IC 214 が出力する位置情報を取得し、その位置情報を用いた演算処理を実行する。

[0199] さらに、タッチパネルまたは操作ボタン 204 の操作によって FM 放送受信指令が入力されると、マイクロコンピュータ 218 は、FM 放送受信回路 226 を起動し、受信された音声をスピーカ 205 から出力させるための演算処理を実行する。

[0200] フラッシュメモリ 217 は、通信によって取得したデータの記憶や、マイクロコンピュータ 218 の演算や、タッチパネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータ 218 は、必要に応じて、フラッシュメモリ 217 に対してデータを書き込み、またフラッシュメモリ 217 からデータを読み出す。

[0201] 電話通信またはデータ通信の機能は、ベースバンド通信回路 236 によって実現される。マイクロコンピュータ 218 は、ベースバンド通信回路 236 を制御して、音声またはデータを送受信するための処理を行う。

[0202] 本発明の実施形態は、本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきでは

なく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。
。

[0203] 本出願は、2012年9月27日に日本国特許庁に提出された特願2012-215062号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

符号の説明

[0204] 1 チップ抵抗器
2 基板
2 A 素子形成面
2 C 側面
2 D 側面
2 E 側面
2 F 側面
3 第1接続電極
4 第2接続電極
5 素子
9 実装基板
9 A 実装面
13 半田
21 抵抗体膜
22 配線膜
23 パッシベーション膜
24 樹脂膜
27 引き出し部
33 Ni層
34 Pd層
35 Au層
45 絶縁膜

4 6 樹脂膜
4 7 絶縁膜
5 6 抵抗
8 5 周縁部
8 8 ランド
1 0 0 回路アセンブリ
1 0 1 チップコンデンサ
2 2 1 チップインダクタ
2 2 2 チップ抵抗器
2 2 4 チップ抵抗器
2 2 5 チップインダクタ
2 2 7 チップコンデンサ
2 2 8 チップダイオード
2 3 0 チップコンデンサ
2 3 1 チップダイオード
2 3 3 チップ抵抗器
2 3 4 チップコンデンサ
2 3 5 チップインダクタ
C 1 ～ C 9 キャパシタ要素
F (F 1 ～ F 9) ヒューズ
R 抵抗体

請求の範囲

- [請求項1] 表面および側面を有する基板と、
前記基板の前記表面の縁部を覆うように、当該表面および前記側面に一体的に形成された電極と、
前記電極と前記基板との間に介在された絶縁膜とを含む、チップ部品。
- [請求項2] 前記基板は平面視において矩形状であり、
前記電極は、前記基板の三方の前記縁部を覆うように形成されている、請求項1に記載のチップ部品。
- [請求項3] 前記基板の前記表面において前記縁部から間隔を空けて形成され、前記電極が電氣的に接続された配線膜をさらに含む、請求項1または2に記載のチップ部品。
- [請求項4] 前記配線膜は、前記電極に覆われた前記基板の前記縁部に対向する周縁部が選択的に露出しており、当該露出部分を除く周縁部が樹脂膜で選択的に覆われている、請求項3に記載のチップ部品。
- [請求項5] 前記電極は、前記樹脂膜の表面から突出するように形成されている、請求項4に記載のチップ部品。
- [請求項6] 前記電極は、前記樹脂膜の前記表面に沿って横方向に引き出され、当該表面を選択的に覆う引き出し部を含む、請求項5に記載のチップ部品。
- [請求項7] 前記電極が、Ni層と、Au層とを含み、前記Au層が最表面に露出している、請求項1～6のいずれか一項に記載のチップ部品。
- [請求項8] 前記電極が、前記Ni層と前記Au層との間に介装されたPd層をさらに含む、請求項7に記載のチップ部品。
- [請求項9] 前記電極が互いに間隔を空けて2つ設けられており、
前記チップ部品は、前記基板上に形成され前記2つの電極間に接続された抵抗体を含むチップ抵抗器である、請求項1～8のいずれか一項に記載のチップ部品。

- [請求項10] 複数の前記抵抗体と、前記基板上に設けられ、前記複数の抵抗体をそれぞれ切り離し可能に前記電極に接続する複数のヒューズとをさらに含む、請求項9に記載のチップ部品。
- [請求項11] 前記電極が互いに間隔を空けて2つ設けられており、
前記チップ部品は、前記基板上に形成され前記2つの電極の間に接続されたキャパシタ素子を含むチップコンデンサである、請求項1～8のいずれか一項に記載のチップ部品。
- [請求項12] 前記キャパシタ素子を構成する複数のキャパシタ要素と、前記基板上に設けられ、前記複数のキャパシタ要素をそれぞれ切り離し可能に前記電極に接続する複数のヒューズとをさらに含む、請求項11に記載のチップ部品。
- [請求項13] 請求項1～12のいずれか一項に記載のチップ部品と、
前記基板の前記表面に対向する実装面に、前記電極に半田接合されたランドを有する実装基板とを含む、回路アセンブリ。
- [請求項14] 前記実装面の法線方向から見たときに、前記半田が前記電極の表面部分および側面部分を覆うように形成されている、請求項13に記載の回路アセンブリ。
- [請求項15] 請求項13または14に記載の回路アセンブリと、
前記回路アセンブリを収容した筐体とを含む、電子機器。
- [請求項16] 基板の複数のチップ部品領域の境界領域に前記基板の表面から所定深さの溝を形成して、前記複数のチップ部品領域毎の基板に分離する工程と、
前記溝の側面に絶縁膜を形成することにより、各基板の側面に当該絶縁膜を形成する工程と、
前記各基板の前記表面からその縁部を介して前記溝の前記側面に沿って前記絶縁膜上に電極材料をめっき成長させることによって、前記各基板の前記表面の前記縁部を覆うように、当該表面および前記側面に電極を一体的に形成する工程と、

前記基板の裏面を前記溝に到達するまで研削して、前記基板を複数のチップ部品に分割する工程とを含む、チップ部品の製造方法。

[請求項17] 前記電極を形成する工程は、前記電極材料を無電解めっきによって成長させる工程を含む、請求項16に記載のチップ部品の製造方法。

[請求項18] 前記複数のチップ部品領域毎に前記基板の前記表面に配線膜を形成する工程をさらに含み、

前記基板に分離する工程は、前記各基板の前記縁部と前記配線膜との間に間隔が空くように前記溝を形成する工程を含み、

前記電極を形成する工程は、前記配線膜から前記電極材料をめっき成長させる工程を含む、請求項16または17に記載のチップ部品の製造方法。

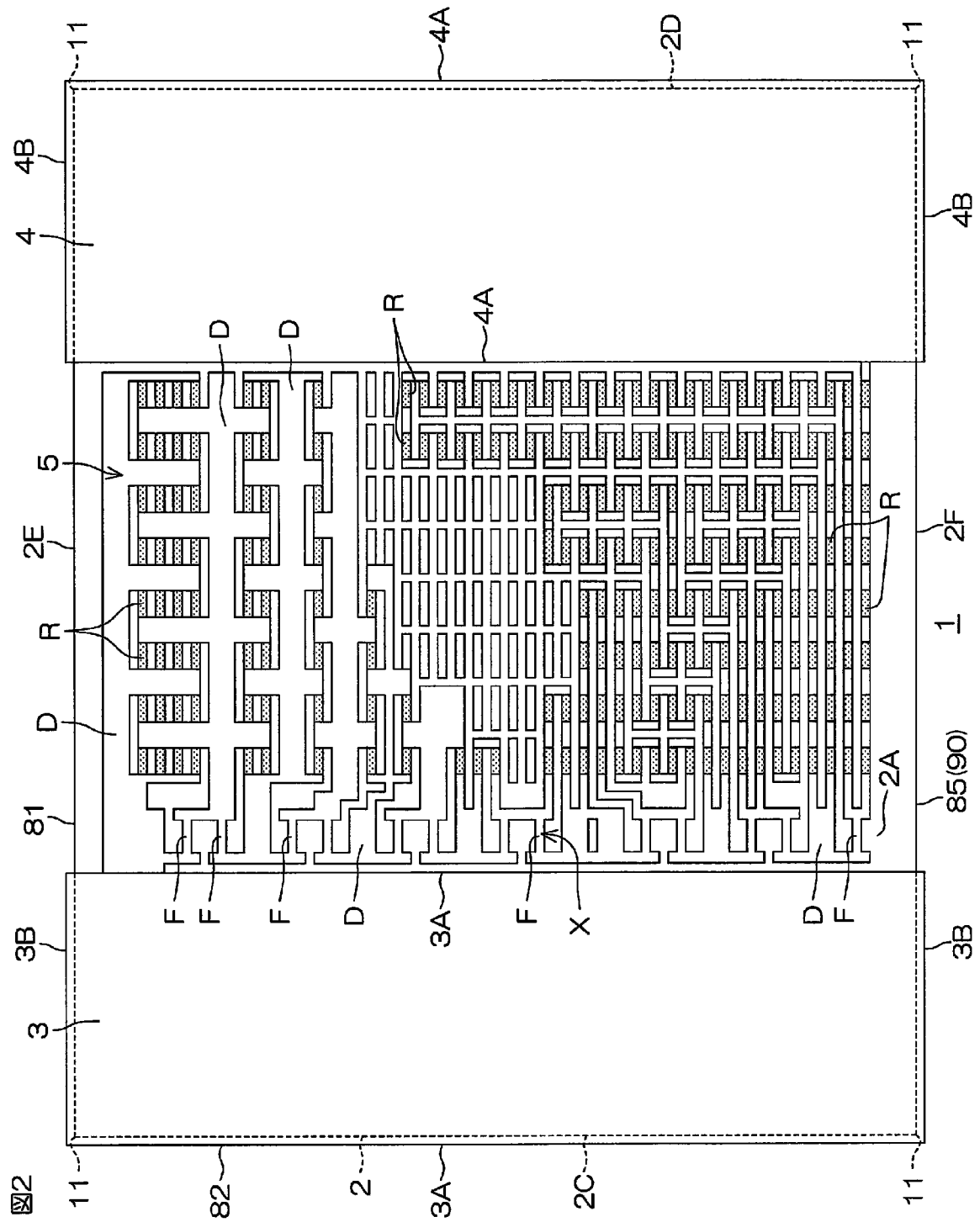
[請求項19] 前記溝の形成前に前記配線膜を覆う樹脂膜を形成する工程と、

前記配線膜における前記溝を形成すべき領域に対向する周縁部が露出するように、前記樹脂膜を選択的に除去する工程とをさらに含み、請求項18に記載のチップ部品の製造方法。

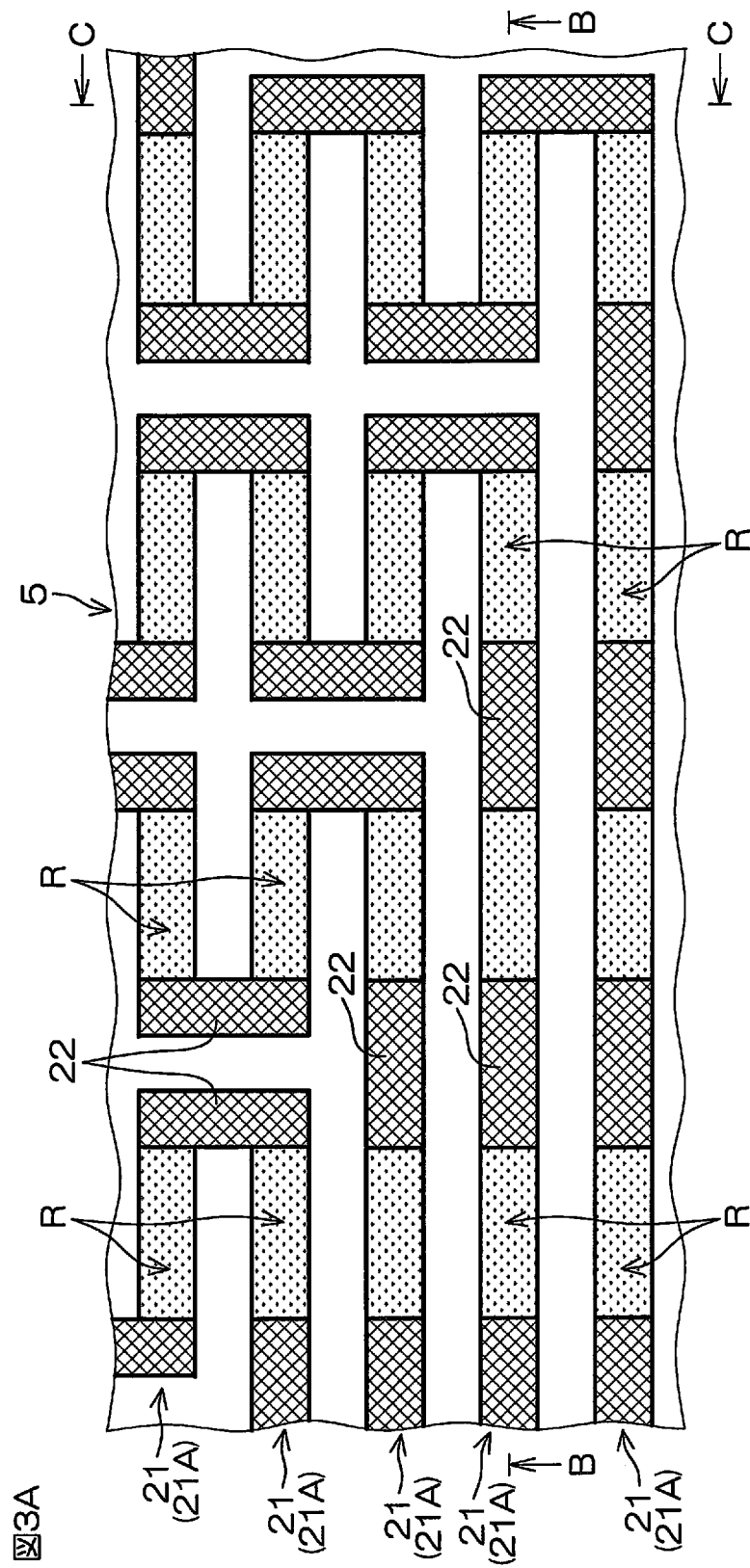
[請求項20] 前記溝の形成が、エッチングによって行われる、請求項16～19のいずれか一項に記載のチップ部品の製造方法。

[illegible]

[図2]

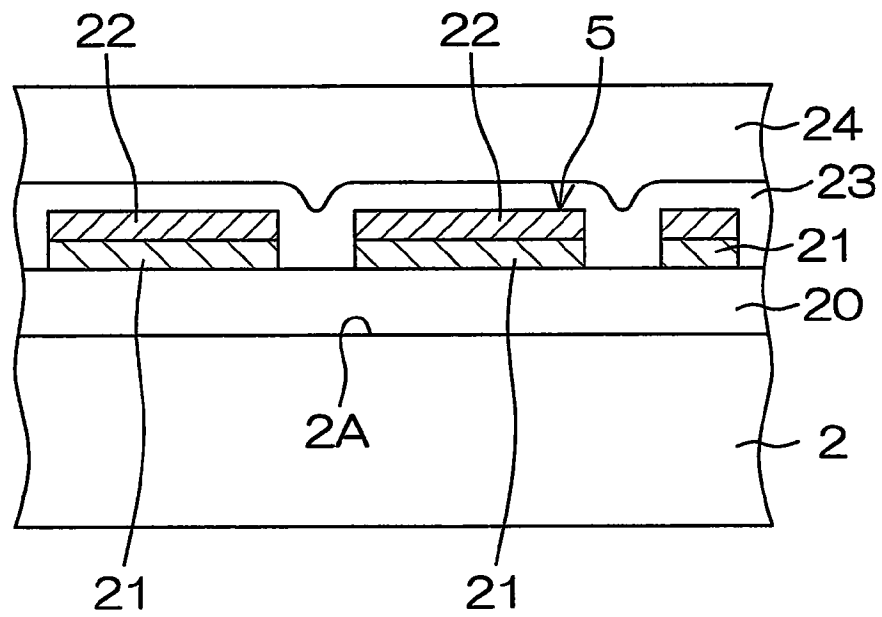


[図3A]



[図3C]

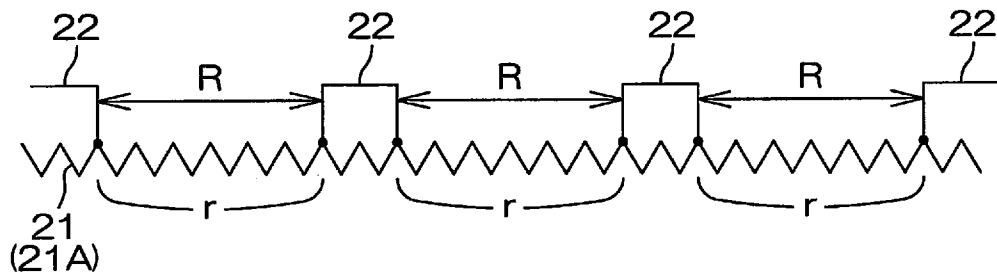
図3C



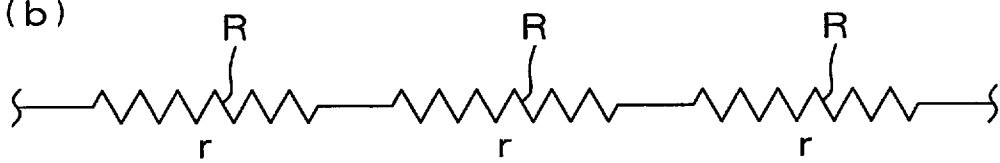
[図4]

図4

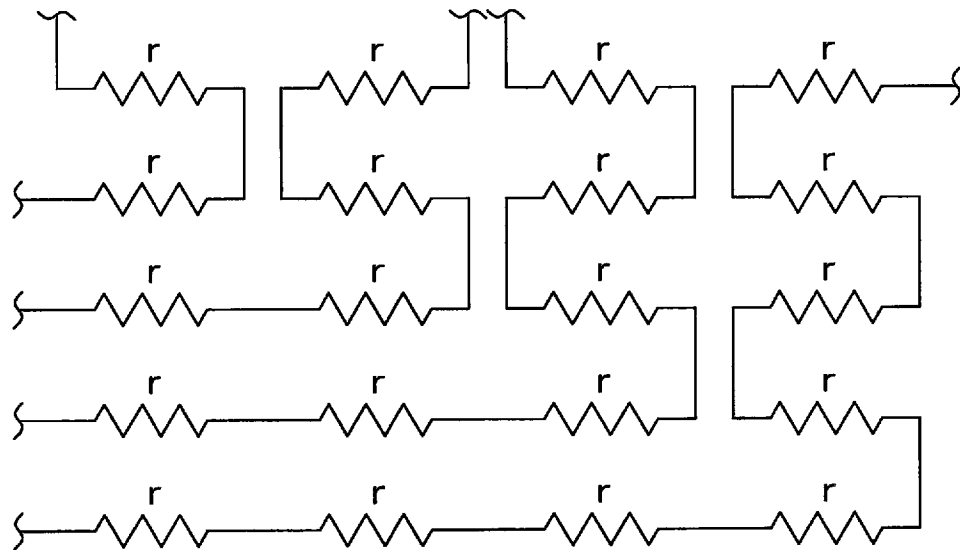
(a)

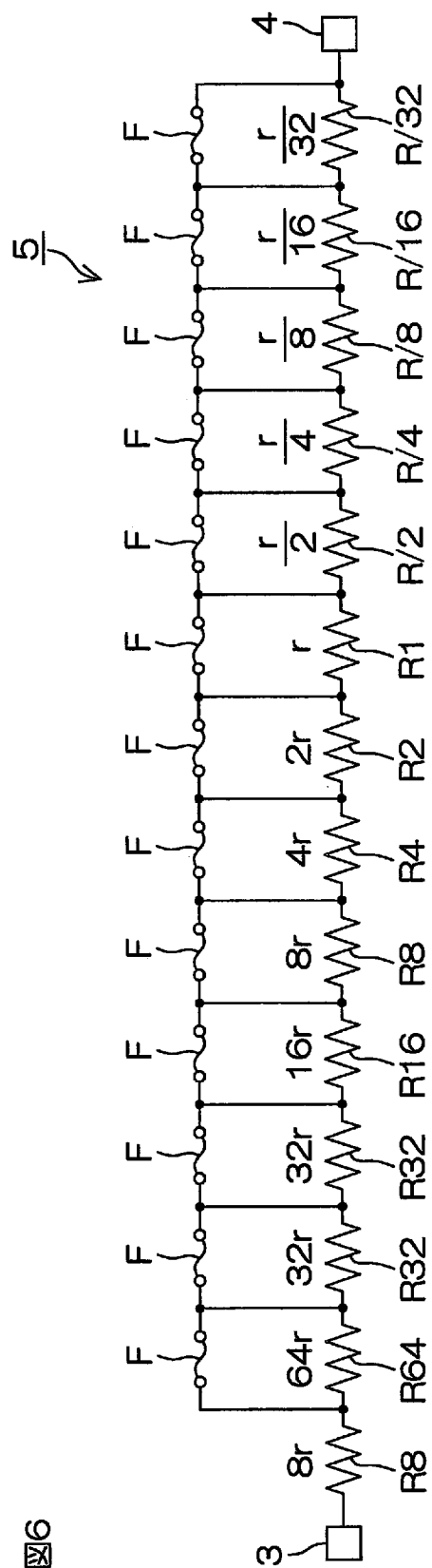


(b)



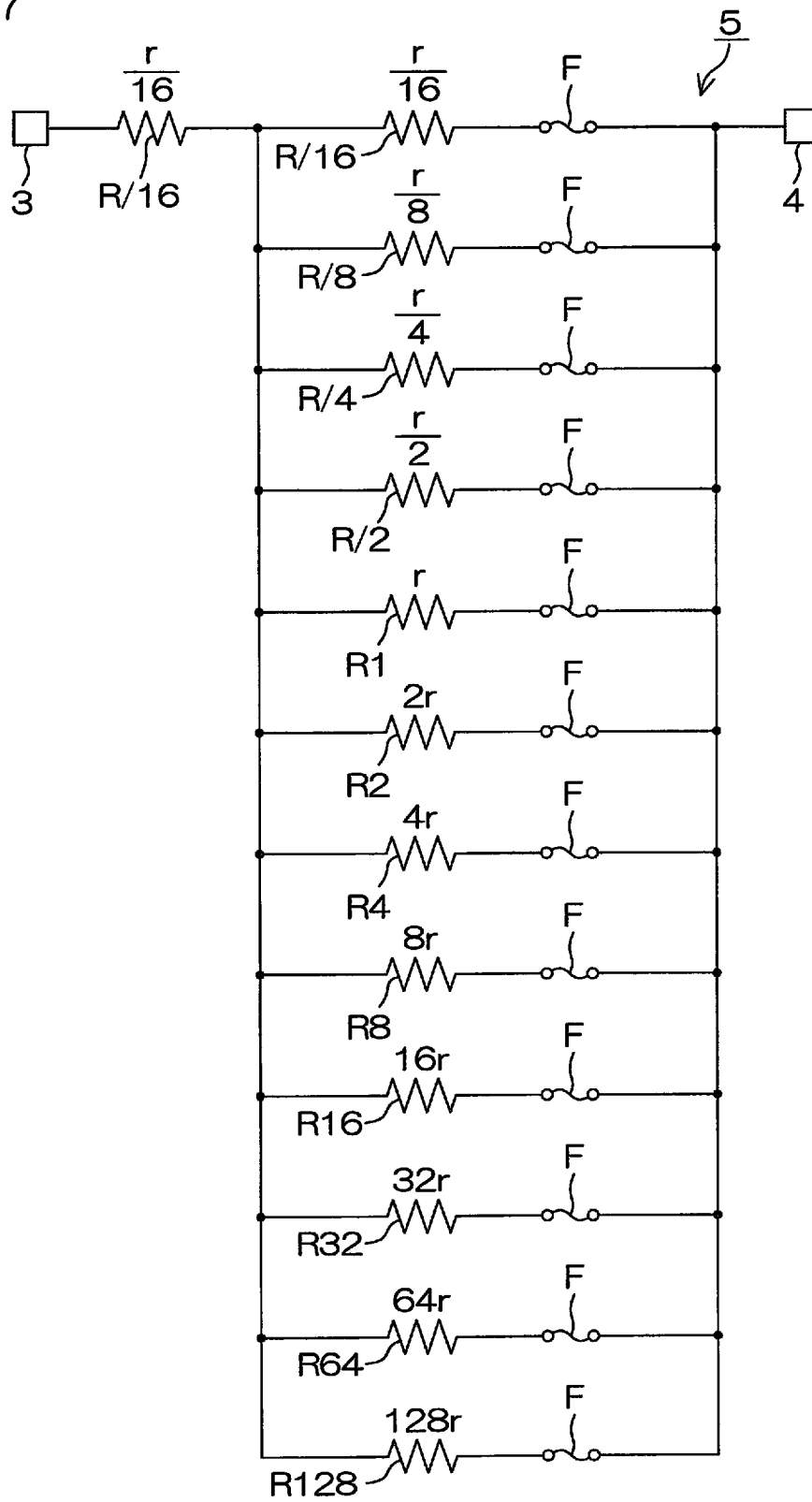
(c)



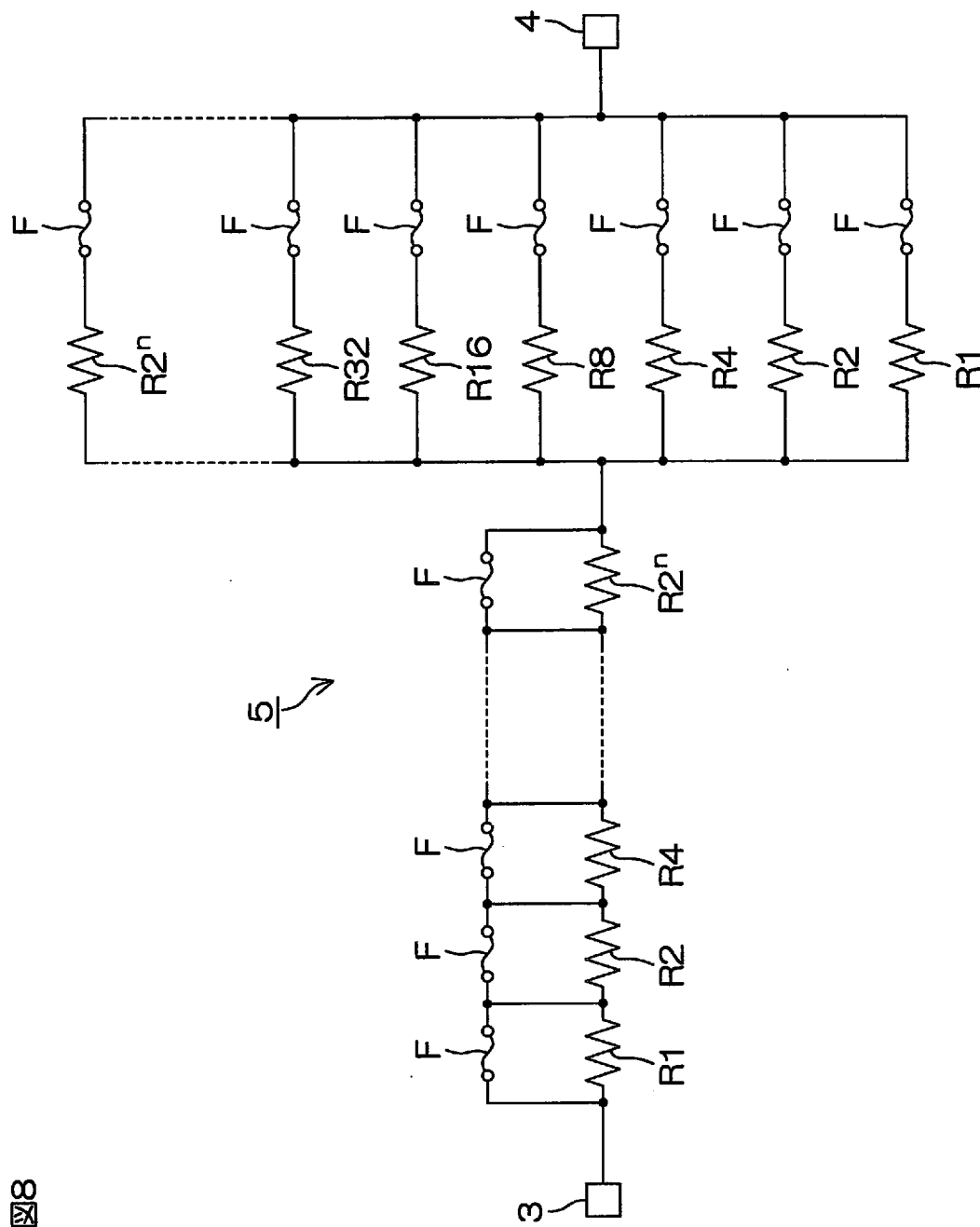


[図7]

図7



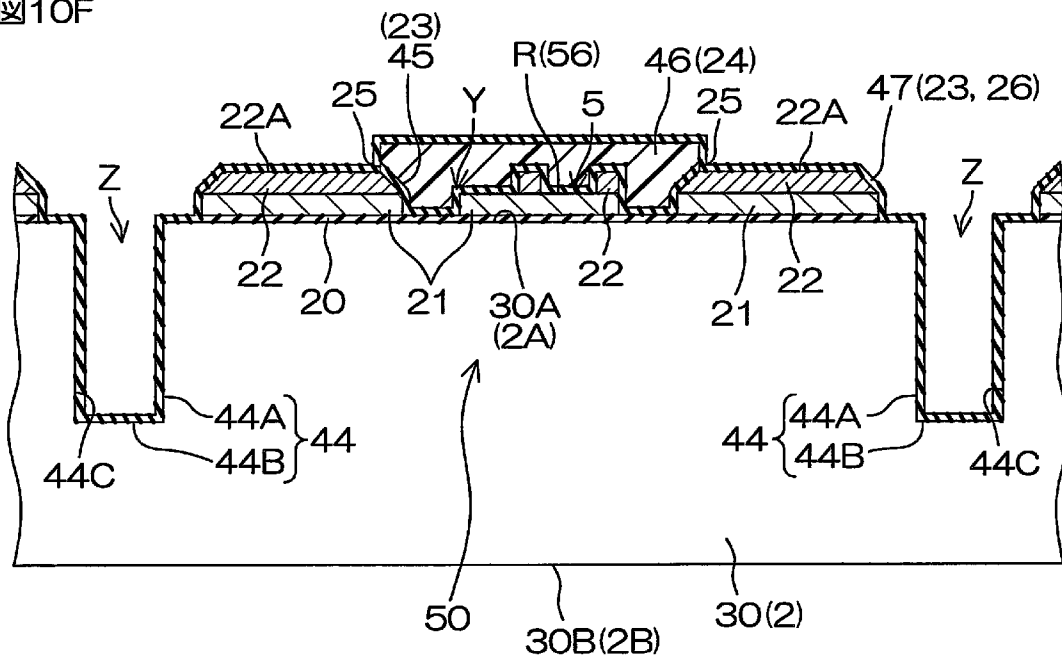
[図8]



[図8]

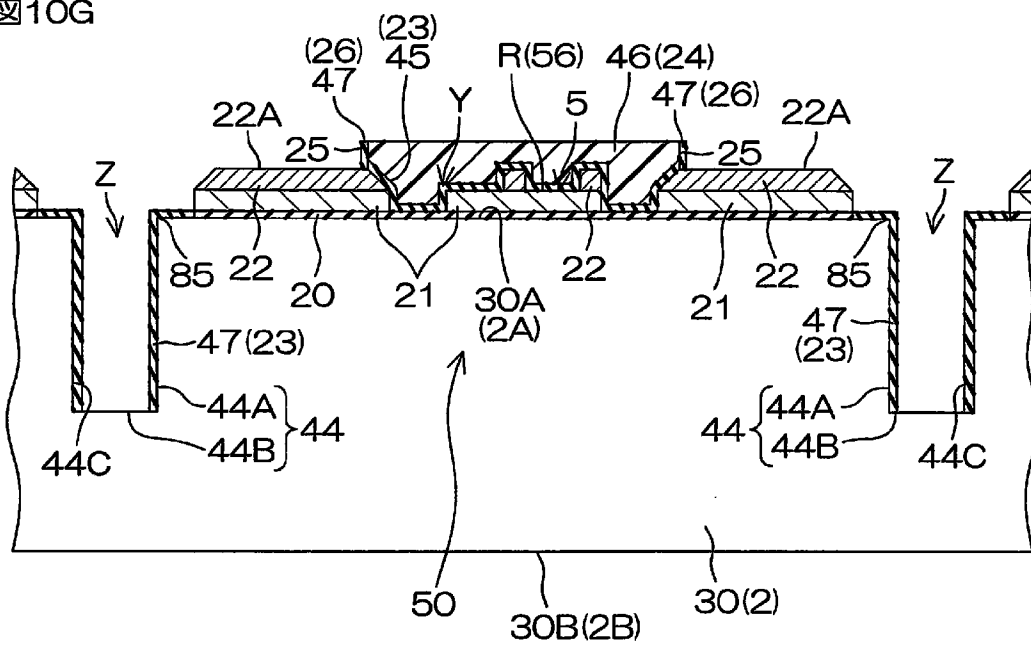
[図10F]

図10F



[図10G]

図10G



[図11]

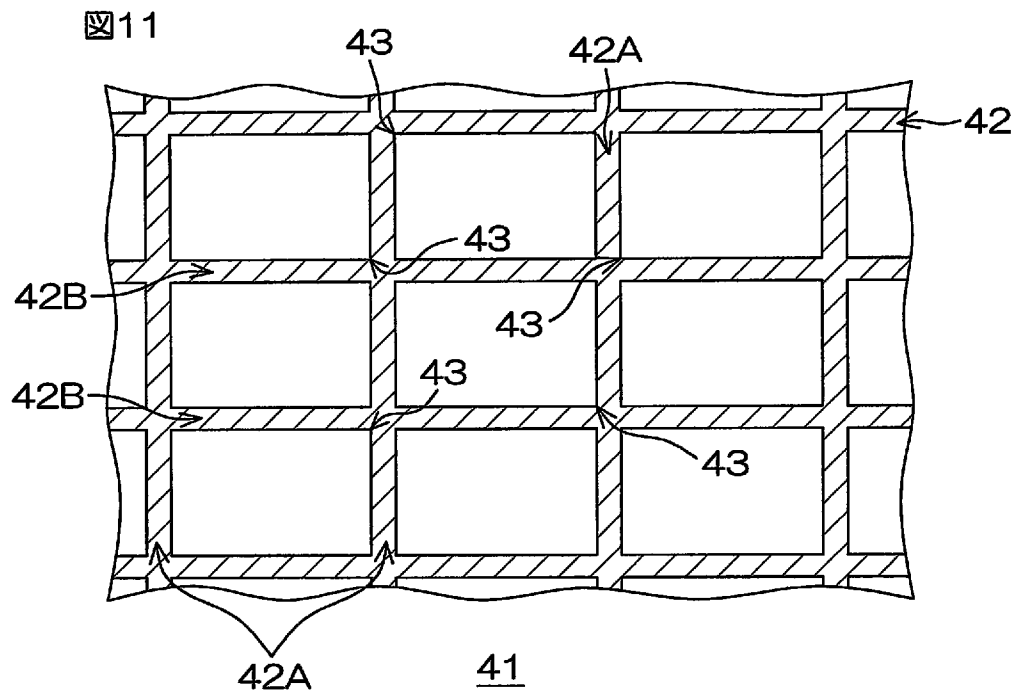
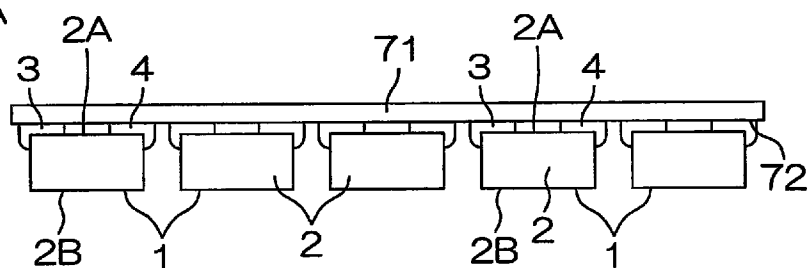


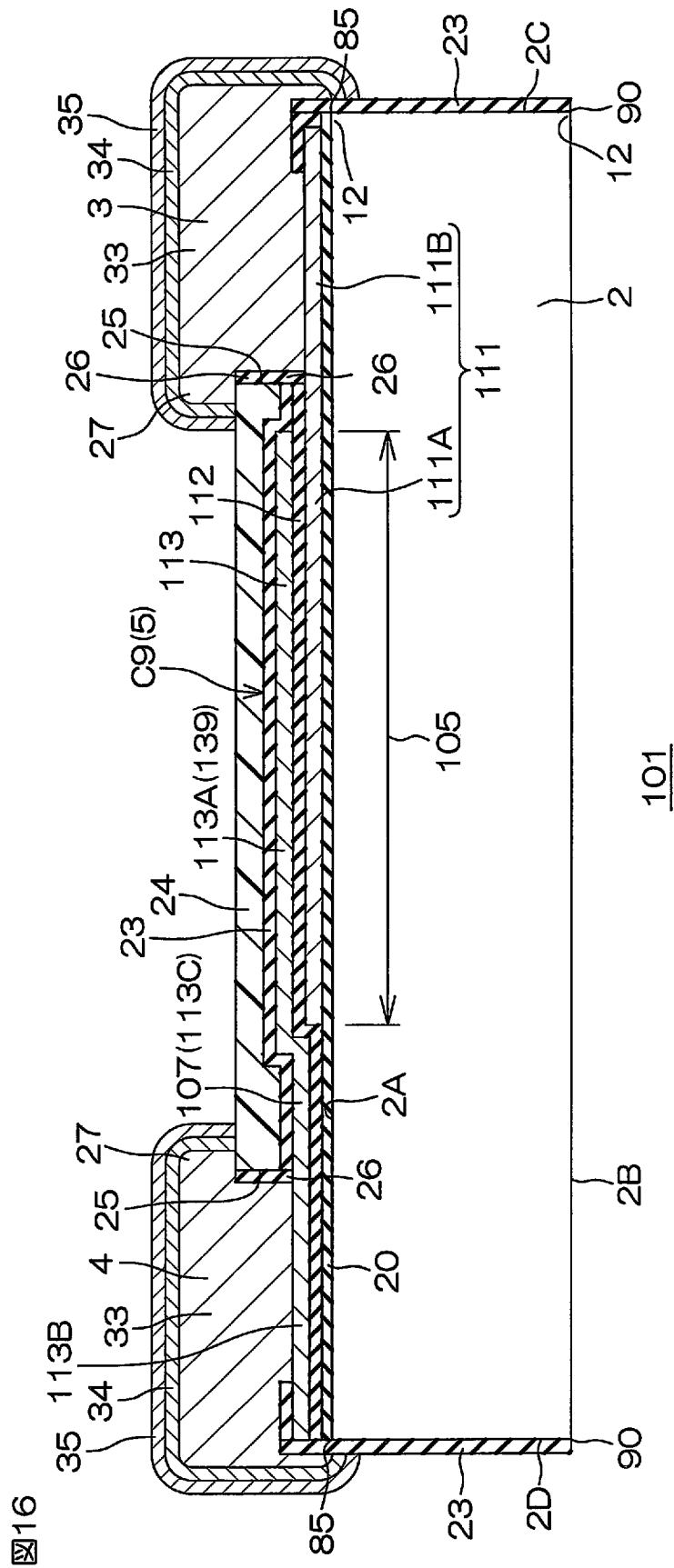
图12



図13A

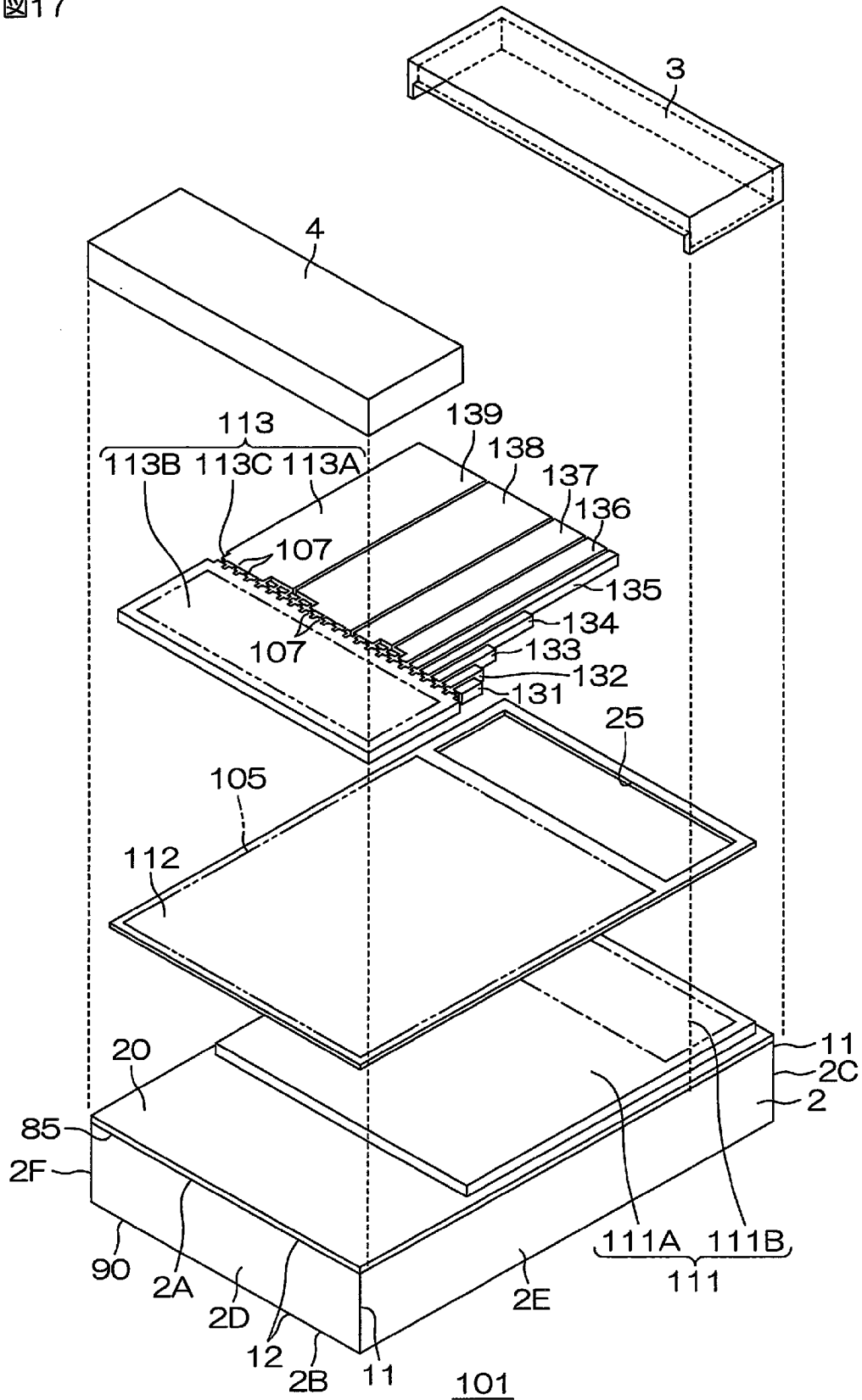


[図16]



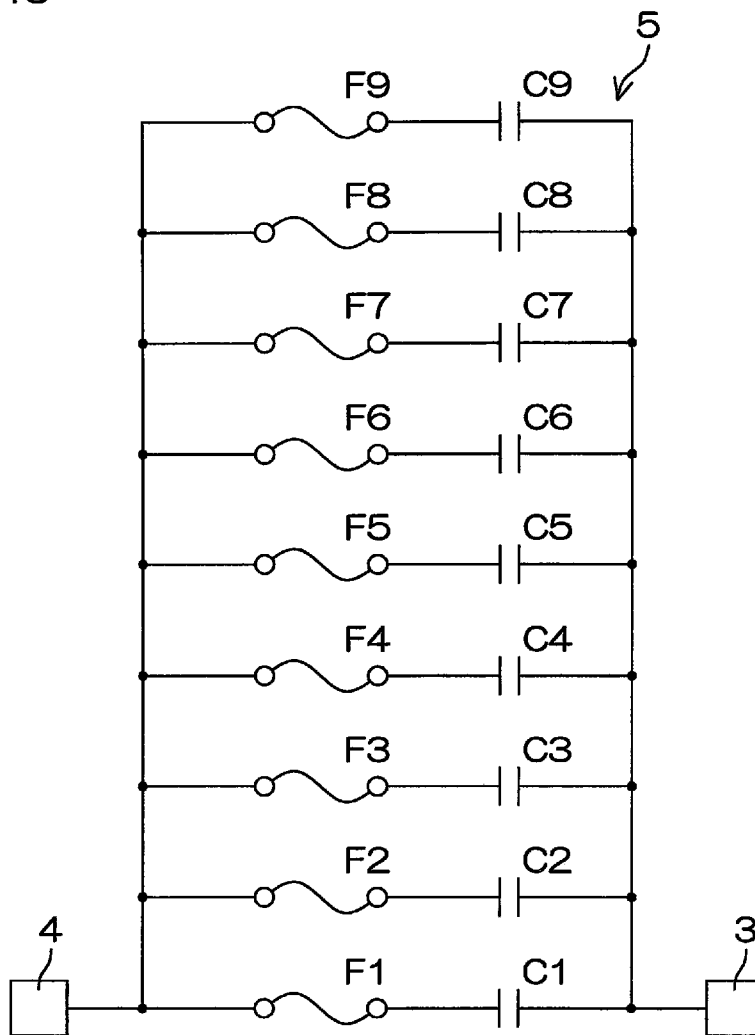
[図17]

図17

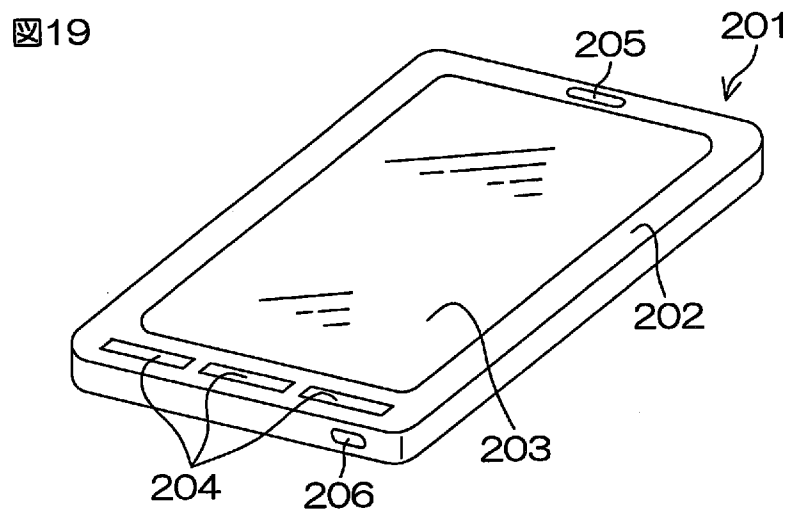


[図18]

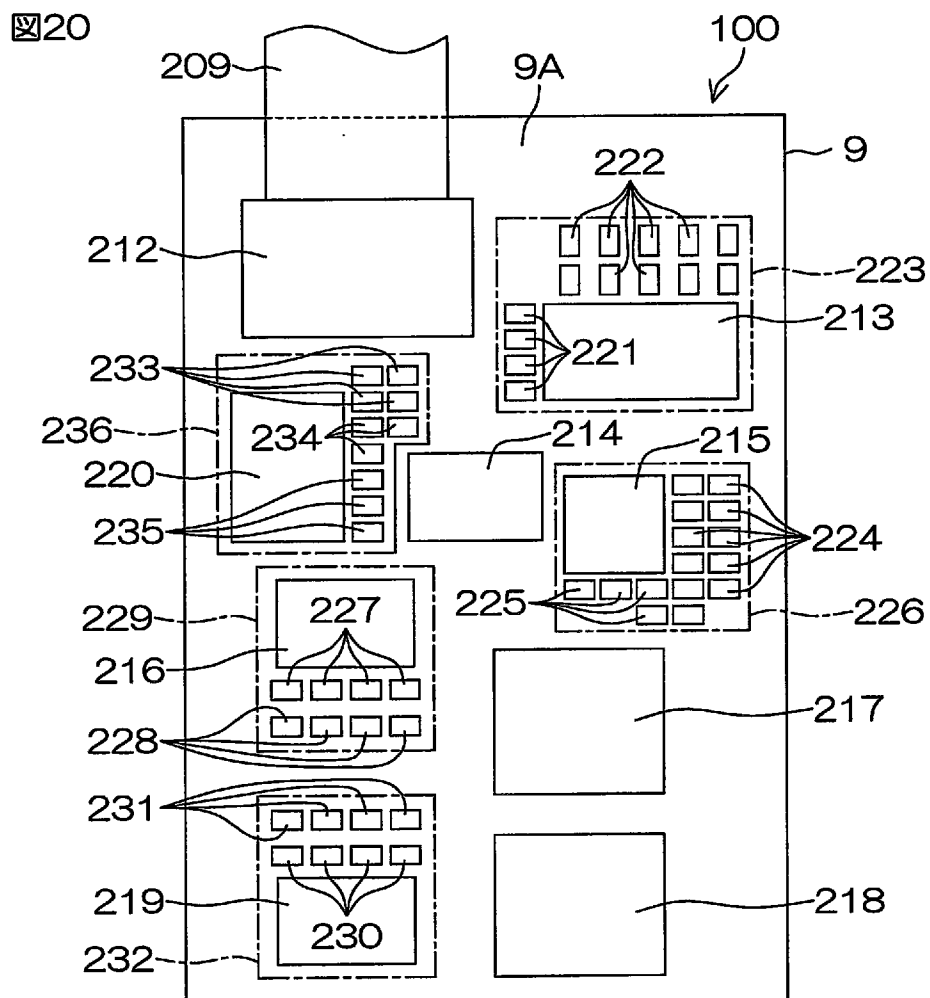
図18



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/071412

A. CLASSIFICATION OF SUBJECT MATTER

H01C7/00(2006.01)i, H01G4/12(2006.01)i, H01G4/33(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01C7/00, H01G4/12, H01G4/33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013
Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-231120 A (Kabushiki Kaisha SKK), 16 August 2002 (16.08.2002), paragraphs [0001], [0025], [0027], [0032], [0036] (Family: none)	1, 3-6, 9-15 2, 7-8, 16-20
Y	JP 05-013201 A (Matsushita Electric Industrial Co., Ltd.), 22 January 1993 (22.01.1993), paragraph [0016]; fig. 1 (Family: none)	2
Y	JP 2012-102169 A (Sumitomo Bakelite Co., Ltd.), 31 May 2012 (31.05.2012), paragraph [0052] (Family: none)	7-8, 16-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
30 October, 2013 (30.10.13)

Date of mailing of the international search report
12 November, 2013 (12.11.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/071412

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 09-323300 A (Rohm Co., Ltd.), 16 December 1997 (16.12.1997), paragraph [0014] (Family: none)	16-20
A	JP 2006-024767 A (Koa Corp.), 26 January 2006 (26.01.2006), paragraph [0008] (Family: none)	1-20

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01C7/00(2006.01)i, H01G4/12(2006.01)i, H01G4/33(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01C7/00, H01G4/12, H01G4/33			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 3 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 3 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 3 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y	JP 2002-231120 A（株式会社エス・ケー・ケー）2002.08.16, 段落【0001】，【0025】，【0027】，【0032】，【0036】 （ファミリーなし）	1, 3-6, 9-15 2, 7-8, 16-20	
Y	JP 05-013201 A（松下電器産業株式会社）1993.01.22, 段落【0016】，図1（ファミリーなし）	2	
Y	JP 2012-102169 A（住友ベークライト株式会社）2012.05.31, 段落【0052】（ファミリーなし）	7-8, 16-20	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 3 0 . 1 0 . 2 0 1 3		国際調査報告の発送日 1 2 . 1 1 . 2 0 1 3	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 小池 秀介 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1	5 D 3 6 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 09-323300 A (ローム株式会社) 1997. 12. 16, 段落【0014】 (ファミリーなし)	16-20
A	JP 2006-024767 A (コア株式会社) 2006. 01. 26, 段落【0008】 (ファミリーなし)	1-20