

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 1 月 8 日 (08.01.2004)

PCT

(10) 国際公開番号
WO 2004/004009 A1

(51) 国際特許分類: H01L 27/04, 21/82

(21) 国際出願番号: PCT/JP2003/007486

(22) 国際出願日: 2003 年 6 月 12 日 (12.06.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-190288 2002 年 6 月 28 日 (28.06.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) [JP/JP]; 〒448-8671 愛知県刈谷市豊田町 2 丁目 1 番地 Aichi (JP). 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒943-0834 新潟県上越市西城町 2 丁目 5 番 13 号 Niigata (JP).

(MIYAGI, Hiroshi) [JP/JP]; 〒943-0834 新潟県上越市西城町 2 丁目 5 番 13 号 新潟精密株式会社内 Niigata (JP).

(74) 代理人: 大菅 義之 (OSUGA, Yoshiyuki); 〒102-0084 東京都千代田区二番町 8 番地 20 二番町ビル 3F Tokyo (JP).

(81) 指定国 (国内): CN, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

添付公開書類:
— 国際調査報告書

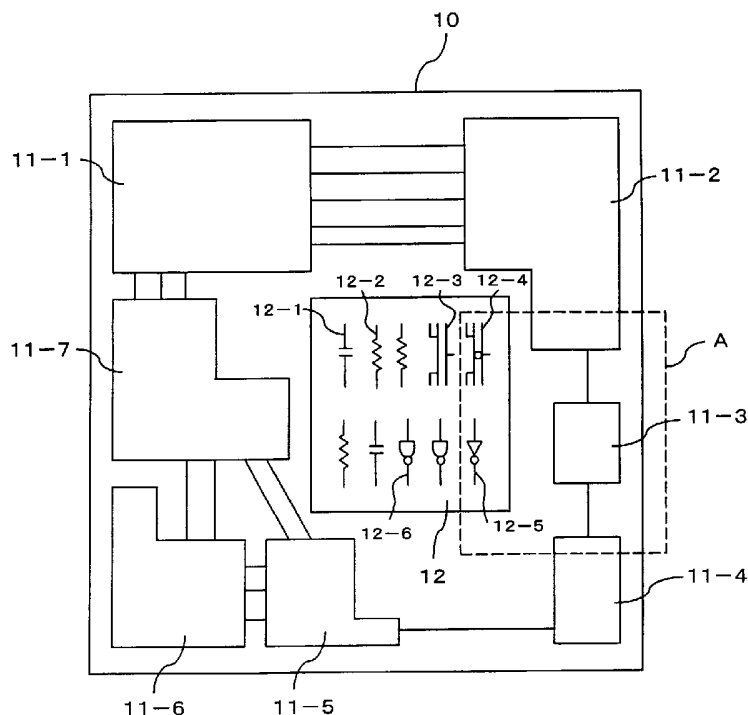
2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 宮城 弘

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



(57) Abstract: Function blocks (11) are located around a backup-element group block (12) that includes backup elements to be used in substitution for the elements within the function blocks (11) when any problems occur in these elements.

(57) 要約: 機能ブロック 11 内の素子に不具合が生じたときに代用する予備素子をまとめて、予備素子群ブロック 12 とし、その予備素子群ブロック 12 の周りに上記各機能ブロック 11 を配置する。

WO 2004/004009 A1

明 細 書

半導体集積回路

5 技術分野

本発明は、半導体集積回路に関し、特に、最初に用いられた素子の代用として用いられる予備素子を備える半導体集積回路に関する。

背景技術

- 10 一般に、半導体集積回路には、製造工程で発生する欠陥によって不良となった回路や素子を代用するために、冗長回路が予め備えられている。また、製造された回路が間違っていた場合にその回路の間違い部分を代用素子を用いて修正するために、予備素子が予め備えられているものもある。

- 15 冗長回路の代表的な例としては、半導体メモリの冗長回路がある。半導体メモリの場合、不良の多くは、メモリセルで発生するため、ワード線またはビット線を単位とした冗長メモリセルが備えられる。冗長回路は、正規の回路と同様にヒューズによって配線が接続されている。そして、不良が発生した段階で、不良回路に接続されているヒューズを切断するなどの処理を行うことにより、それまで使用されていなかった冗長回路が不良回路に代わって使用可能な状態
20 とされる。

- 一方、トランジスタ、抵抗、コンデンサ等の予備素子を用いる場合は、予備素子自体は半導体集積回路に搭載するが、配線は接続しない。そして、製造された半導体集積回路の素子に不具合があった場合に、その不具合のあった素子から予備素子にメタルマスク等を使ってメタル配線をつなぎ替えることにより、
25 それまで使用されていなかった予備素子が使用可能な状態とされる。

システムLSIに代表される近年の半導体集積回路は、複数の機能ブロックを1チップ上に搭載して構成されることが多い。この場合において、従来の半導体集積回路では、代替用の予備素子は、各機能ブロックの間に形成される空きスペース（デッドスペース）に搭載されていた。

5 図1は、従来の半導体集積回路の構成を模式的に示す平面図である。

図1に示すように、半導体チップ40に、複数の機能ブロック41（41-1、41-2、・・・41-7）が構成されている。

複数の機能ブロック41を1つの半導体チップ40上に実装する場合、各機能ブロック41の大きさや形の違いなどから、各機能ブロック41の間には何
10 れの素子も配線も存在しないデッドスペース42-1及び42-2が生じる。従来は、このデッドスペース42-1及び42-2に普段は使用しない予備素子を搭載して半導体チップ40の面積の有効利用を図ってきた。

例えば、図1においては、デッドスペース42-1に、コンデンサ43及び抵抗44が、デッドスペース42-2に、NMOSトランジスタ45、PMO
15 Sトランジスタ46、NOTゲート47、及びNANDゲート48が予備素子として配置されている。

しかしながら、デッドスペース42-1及び42-2は、各機能ブロック41をレイアウトした結果として生まれる産物であり、その位置がどの機能ブロック41からも近い距離にあるとは限らない。例えば、機能ブロック41-7
20 にPMOSトランジスタ46が必要となった場合などである。また、デッドスペース42-1及び42-2は複数の機能ブロック41に囲まれた狭い領域に生じることが多い。

従って、そのようなデッドスペース42-1及び42-2に予備素子を搭載した場合、ある機能ブロック41内で用いられていた素子から予備素子に配線
25 をつなぎ替えようとしても、配線自体が困難であったり、配線ができたとして

も配線長が非常に長くなってしまふなどの問題が生じていた。特に、アナログ回路の場合は、配線長が長くなるとノイズが大きくなり、機器の性能を落とす結果となり好ましくない。

本発明は、このような問題を解決するためになされたものであり、ある機能
5 ブロック内で最初に用いられていた素子から予備素子への配線の切り替えを簡単に行うことができるようにするとともに、予備素子への配線長もできるだけ短くすることが可能な半導体集積回路を提供することを目的とする。

発明の開示

10 上記の課題を解決するために本発明では、以下のような構成を採用した。

すなわち、本発明の半導体集積回路は、所定の機能を実現するための回路が集積された機能ブロックを1以上有する半導体集積回路であつて、該機能ブロック内の素子に対して代用する予備素子が設けられる予備素子ブロックを備え、該予備素子ブロックの周りに上記機能ブロックを配置する。

15 ここで、上記機能ブロックとは、例えば、高周波無線回路の半導体を構成する場合、チューナ部やインターフェース部のことであつて、そのようなチューナ部やインターフェース部に囲まれるようにして予備素子が設けられるブロックが配置されている。

このように、予備素子ブロックの周りに機能ブロックを配置することによつて、どの機能ブロックからも最短距離で予備素子と配線することができるので、
20 ある機能ブロック内の素子に不具合が生じた場合における予備素子への配線を簡単に行うことができると共に、予備素子への配線長も短くすることが可能となる。

また、上記半導体集積回路は、上記機能ブロックが、上記予備素子ブロック
25 を中心として、該予備素子ブロックの周りに配置されることが望ましい。

これより、どの機能ブロックからも予備素子への配線を簡単に行うことができると共に、予備素子への配線長も短くすることが可能となる。

また、上記半導体集積回路は、上記機能ブロックが、該機能ブロックに電源電圧を供給するための電源レールと、上記機能ブロック内における基準電圧を設定するためのグラウンドレールとを備え、上記予備素子ブロックは、上記機能ブロックが配置される上記電源レールから上記グラウンドレールまでの間の領域以外に配置されていることが望ましい。

これより、電源レールからグラウンドレールまでの領域を大きくさせないので、回路全体の大型化を抑えることが可能となる。

10 また、上記半導体集積回路は、上記予備素子ブロックが、上記機能ブロックに並行に配置し、且つ、細長く形成される構成でもよい。

これより、半導体集積回路の中央部分に予備素子ブロックを省スペースで配置することが可能となる。

15 また、上記半導体集積回路は、上記予備素子が、複数の配線層の最上位の配線層に接続されている構造としてもよい。

これより、半導体素子に不具合が生じた場合、最上位の配線層のマスクを変更するだけで、予備素子につなぎ替えることができるので、下層までにさかのぼってマスクを変更するという作業がなくなり、その分の作業時間やコストを大幅に削減することが可能となる。

20

図面の簡単な説明

本発明は、後述する詳細な説明を、下記の添付図面と共に参照すればより明らかになるであろう。

図1は、従来の半導体集積回路の構成を模式的に示す平面図である。

25 図2は、本発明の実施形態である半導体集積回路の構成を模式的に示す平面

図である。

図 3 は、図 2 に示す破線 A の拡大図である。

図 4 は、他の実施形態の半導体集積回路の構成を模式的に示す平面図である。

5

発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて説明する。

図 2 は、本発明の実施形態である半導体集積回路の構成を模式的に示す平面図である。

10 図 2 に示すように、半導体チップ 10 は、複数の機能ブロック 11 (11-1、11-2、・・・、11-7) と、予備素子群ブロック 12 とで構成されている。各々の機能ブロック 11 には、1つの機能を実現するための回路が MOS 構造或いはバイポーラ構造などにより集積化されている。

ここでいう機能とは、1つの半導体チップ 10 で実現しようとする処理全体
15 を、まとまりのある小さな機能単位で分割したものであり、その処理内容や分割数は半導体チップ 10 の用途によって異なる。例えば、高周波無線回路を半導体チップ 10 で実現する場合は、機能ブロック 11 として RF (Radio Frequency) チューナ部、IF (Intermediate Frequency) 処理部、インターフェース部などが含まれる。チップによって
20 は、更にベースバンド信号処理部が含まれる。

これらの機能ブロック 11 については、拡散工程を経てメタルマスクによるメタル配線が行われており、上記回路の配線は済んでいる。本実施形態の半導体集積回路では、これらの機能ブロック 11 とは別に、機能ブロック 11 で将来的に必要となる可能性が高い予備素子を予め 1つのブロックにまとめて構成
25 しておく。そして、この予備素子で構成される予備素子群ブロック 12 を半導

体チップ 10 の中心に配置する。これより、どの機能ブロック 11 から最も近い位置に予備素子群ブロック 12 が配置される。

また、機能ブロック 11 内の素子に不具合が生じた場合は、その不具合が生じた素子と予備素子群ブロック 12 内の予備素子とをメタルなどを用いた配線
5 でつなぎ替えるようにする。

また、本実施形態の半導体集積回路が多相構造である場合は、最上位層のマスクを変更することによって、不具合が生じた素子と予備素子とをつなぎ替える。すなわち、例えば、メタル層（配線層）3 枚と V I A（スルーホール）層 2 枚の配線層が 5 相構造の半導体集積回路を構成する場合、予め最下位層に予
10 備素子群ブロック 12 を配置しておく。そして、予備素子から最上位層までを V I A 及びメタル配線により接続しておく。これより、半導体素子に不具合が生じた場合は、最上位層のマスクを変更するだけで、予備素子につなぎ替えることができるので、下位層までさかのぼってマスクを変更するという作業がなくなり、その分の作業時間やコストを大幅に削減することが可能となる。

15 このように、予備素子群ブロック 12 を中心として、その周りに機能ブロック 11 を配置する構成としているので、どの機能ブロック 11 から最も近い位置で予備素子を使用することが可能となる。すなわち、予備素子までの配線長を短くすることが可能となる。

図 2 に示す予備素子群ブロック 12 には、コンデンサ 12-1、抵抗 12-
20 2、NMOS トランジスタ 12-3、PMOS トランジスタ 12-4、NOT ゲート 12-5、NAND ゲート 12-6 などが配置されている。なお、図 2 に示した予備素子は、あくまでも例示に過ぎず、これに限定されるものではない。

また、上記予備素子は、機能ブロック内に集積化された回路に不具合が生じたとき、その回路の修正のための代用素子として使用する可能性があるもので
25

ある。そのため、どんな素子を何個、予備素子群ブロック 1 2 に配置するかはその予備素子群ブロック 1 2 の周りに配置される機能ブロック 1 1 の回路内容によって異なる。しかしながら、将来必要とされそうな予備素子がわかるのであれば、その予備素子を対応する機能ブロックに近づけて配置するようにして
5 もよい。

また、上述したように、従来の半導体集積回路では、予備素子は各機能ブロック 4 1 の間に形成されるデッドスペース 4 2 - 1 及び 4 2 - 2 に配置されていた。そのため、例えば、機能ブロック 4 1 - 5 に抵抗 4 4 が必要になる場合
10 や機能ブロック 4 1 - 7 に PMOS トランジスタ 4 6 が必要になる場合などは、それらの予備素子に配線をつなぎ替えようとしても、他の機能ブロック 4 1、例えば、機能ブロック 4 1 - 6 などの存在が邪魔になって配線自体が非常に困難であった。また、他の機能ブロックを迂回する形にすれば、配線自体は可能であるが、配線長が非常に長くなってしまう。

これに対して、本実施形態の半導体集積回路では、半導体チップ 1 0 に備え
15 られる各機能ブロック 1 1 の中心に必要な予備素子を備える予備素子群ブロック 1 2 を配置するようにしている。そのため、例えば機能ブロック 1 1 - 1 や機能ブロック 1 1 - 7 内において素子に不具合があったときは、予備素子群ブロック 1 2 内に配置されている予備素子に配線をつなぎ替えて代用すればよく、予備素子への配線を簡単に行うことができるとともに、その配線長を格段に短
20 くすることができる。

また、本実施形態の半導体集積回路において、予備素子群ブロック 1 2 に予備素子のみを配置した場合、従来の半導体集積回路のように、デッドスペースのみに点々と予備素子を配置するよりも多くの予備素子を配置することが可能となる。

25 ここで、図 3 は、図 2 に示す破線 A の拡大図である。

図3に示すように、各機能ブロック11（図3では、機能ブロック11-2、11-3、及び11-4）は、各機能ブロック11に電源電圧を供給するための電源（VCC）レール20と各機能ブロック11において基準電圧を設定するためのグラウンド（GND）レール21との間に設けられている。そして、
5 予備素子群ブロック12は、グラウンドレール21の隣（外側）に設けられている。すなわち、予備素子群ブロック12は、機能ブロック11が配置される電源レール20とグラウンドレール21との間の領域aではなく、その外側に位置する領域bに設けられていることが望ましい。また、図3では示されていないが、電源レール20及びグラウンドレール21は、その他の機能ブロック
10 11-1、11-4、11-5、11-6、及び11-7の両側にも同様にして設けられている。なお、図3において、予備素子群ブロック12は、グラウンドレール21側に配置されているが、機能ブロック11の構成によっては、電源レール20側に配置されてもよい。

このように、例えば、予備素子群ブロック12を領域bに設けることにより、
15 予備素子群ブロック12を電源レール20とグラウンドレール21との間の領域aに設ける構成より、電源レール20とグラウンドレール21との距離（領域）を小さくすることができ、半導体チップ10全体の面積を小さくすることが可能となる。

以上のように、本実施形態の半導体集積回路によれば、ある機能ブロック内
20 の使用素子に不具合が生じた場合に、予備素子への配線を極めて簡単に行うことができる。また、予備素子への配線長もできるだけ短くすることができ、機器の性能劣化（特にノイズなど）を極力抑えることができる。なお、予備素子群ブロック12を中心にしてその周りを各機能ブロック11が配置する構成により、半導体チップ10のサイズはわずかに大きくなるが、従来莫
25 大にかかっていた作業時間とコストを大幅に削減することができるメリットと

比較考量すれば、デメリットを補って余りあるものである。

また、以上、説明した実施形態の半導体集積回路は、本発明を実施するにあたっての具体化の一例を示したものに過ぎず、本発明の要旨を逸脱しない範囲内で種々の構成または形状を取ることができる。

- 5 例えば、図 4 は、他の実施形態の半導体集積回路の構成を模式的に示す平面図である。

図 4 に示す半導体チップ 30 は、図 2 に示す半導体チップ 10 と同様に、予備素子群ブロック 31 を中心に、機能ブロック 11（11-1、11-2、・・・、11-7）が配置されている。

- 10 図 2 の半導体チップ 10 と異なる点は、予備素子群ブロック 31 を機能ブロック 11 に平行に配置し、且つ、細長く構成した点である。なお、図 4 に示す予備素子群ブロック 31 は、各予備素子が 1 つずつ一列に並んで構成されているが、ブロックの形状が細長ければ、予備素子の配列の形などは特には限定されない。

- 15 このように、予備素子群ブロック 31 を細長くすることにより、予備素子群ブロック 31 を半導体チップ 30 の中心に省スペースで配置することができるので、半導体チップ 30 の面積を小さくすることが可能となる。なお、予備素子群ブロック 31 は、形状を細長くし面積を小さくした分、その予備素子群ブロック 31 に配置できる予備素子の数は減るが、半導体チップ 30 の全体の面積は小さくなる。
- 20

- 本発明の半導体集積回路は、上述したように、機能ブロック内の素子に不具合が生じたときに代用する予備素子を設けた予備素子ブロックを備え、その予備素子ブロックの周りに上記各機能ブロックを配置する構成としたので、ある機能ブロック内の素子に不具合が生じた場合における予備素子への配線を簡単
- 25 に行うことができるとともに、予備素子への配線長も短くすることが可能とな

る。

請 求 の 範 囲

1. 所定の機能を実現するための回路が集積された機能ブロックを1以上有する半導体集積回路であって、
- 5 上記機能ブロック内の素子に対して代用する予備素子が設けられる予備素子ブロックを備え、
上記予備素子ブロックの周りに上記機能ブロックを配置することを特徴とする半導体集積回路。
- 10 2. 請求の範囲の第1項に記載の半導体集積回路であって、
上記機能ブロックは、上記予備素子ブロックを中心として、該予備素子ブロックの周りに配置されることを特徴とする半導体集積回路。
3. 請求の範囲の第1項に記載の半導体集積回路であって、
- 15 上記機能ブロックは、該機能ブロックに電源電圧を供給するための電源レールと、該機能ブロック内における基準電圧を設定するためのグラウンドレールとを備え、
上記予備素子ブロックは、上記機能ブロックが配置される上記電源レールから上記グラウンドレールまでの間の領域以外に配置することを特徴とする半導
20 体集積回路。
4. 請求の範囲の第1項に記載の半導体集積回路であって、
上記予備素子ブロックは、上記機能ブロックに並行に配置し、且つ、細長く形成することを特徴とする半導体集積回路。

5. 請求の範囲の第1項に記載の半導体集積回路であって、

上記予備素子は、複数の配線層の最上位の配線層に接続されていることを特徴とする半導体集積回路。

1/4

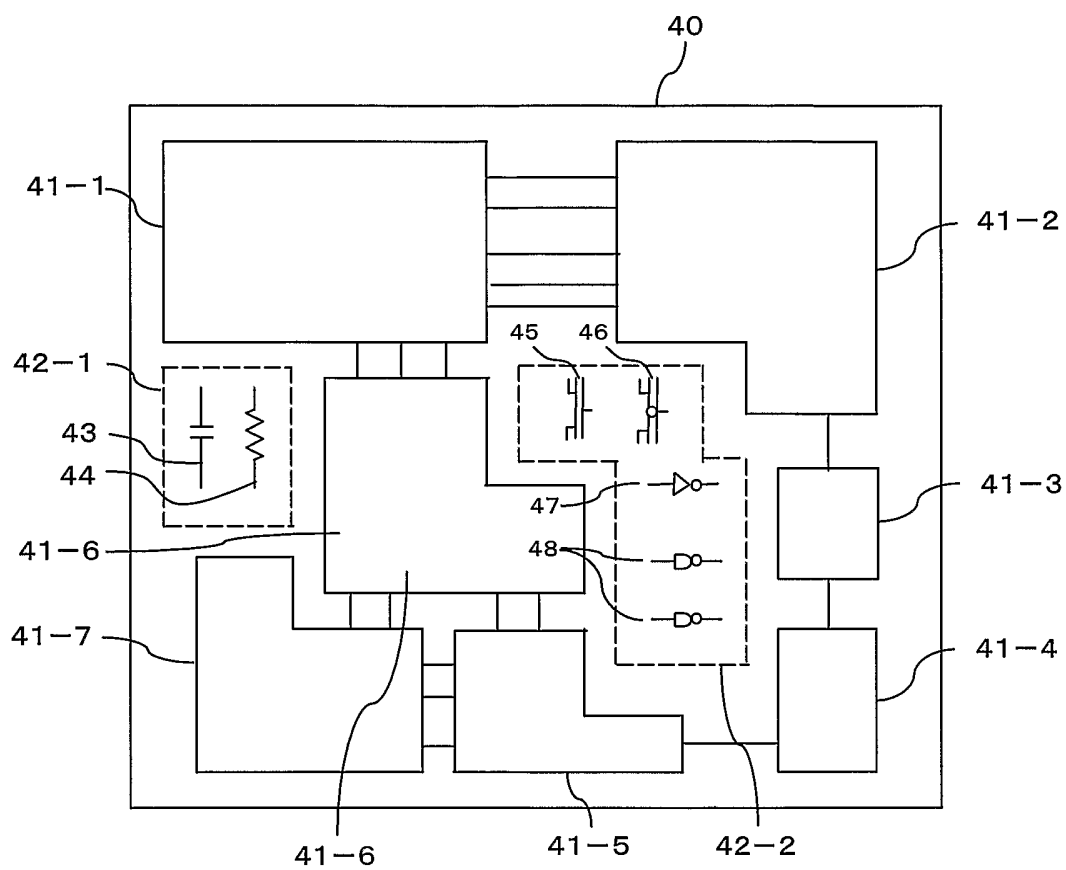


図 1

2/4

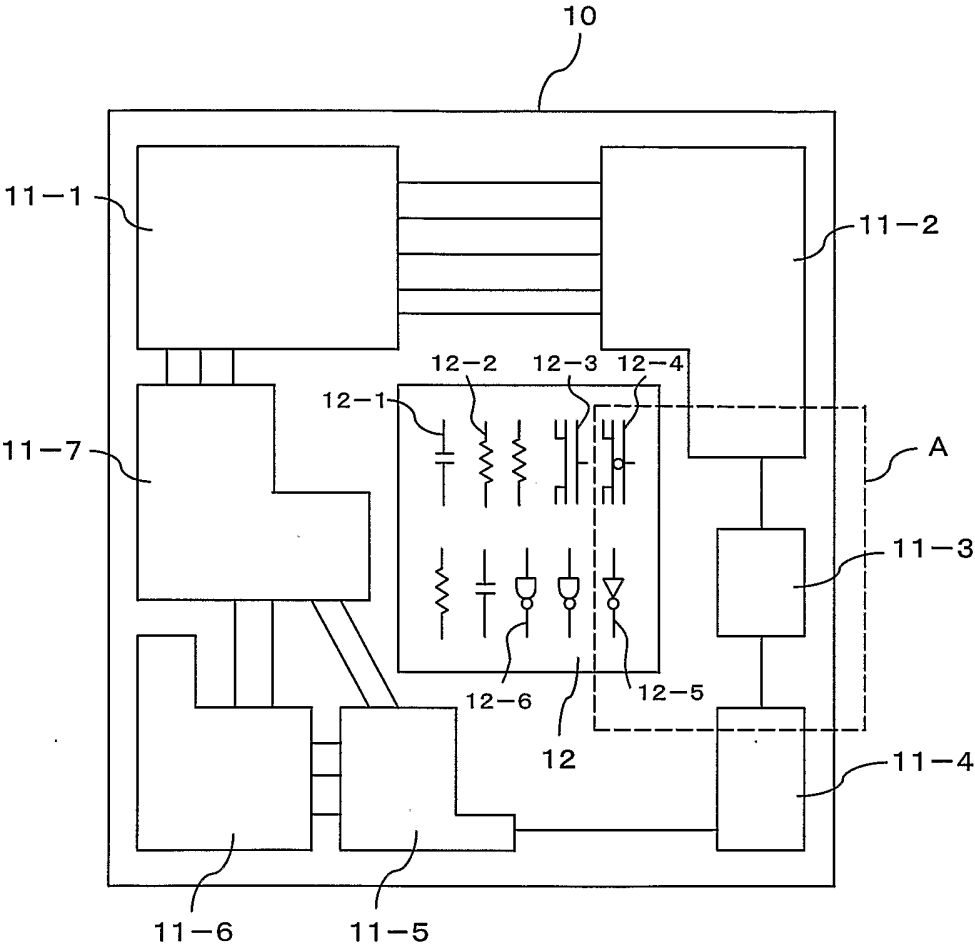


図 2

3/4

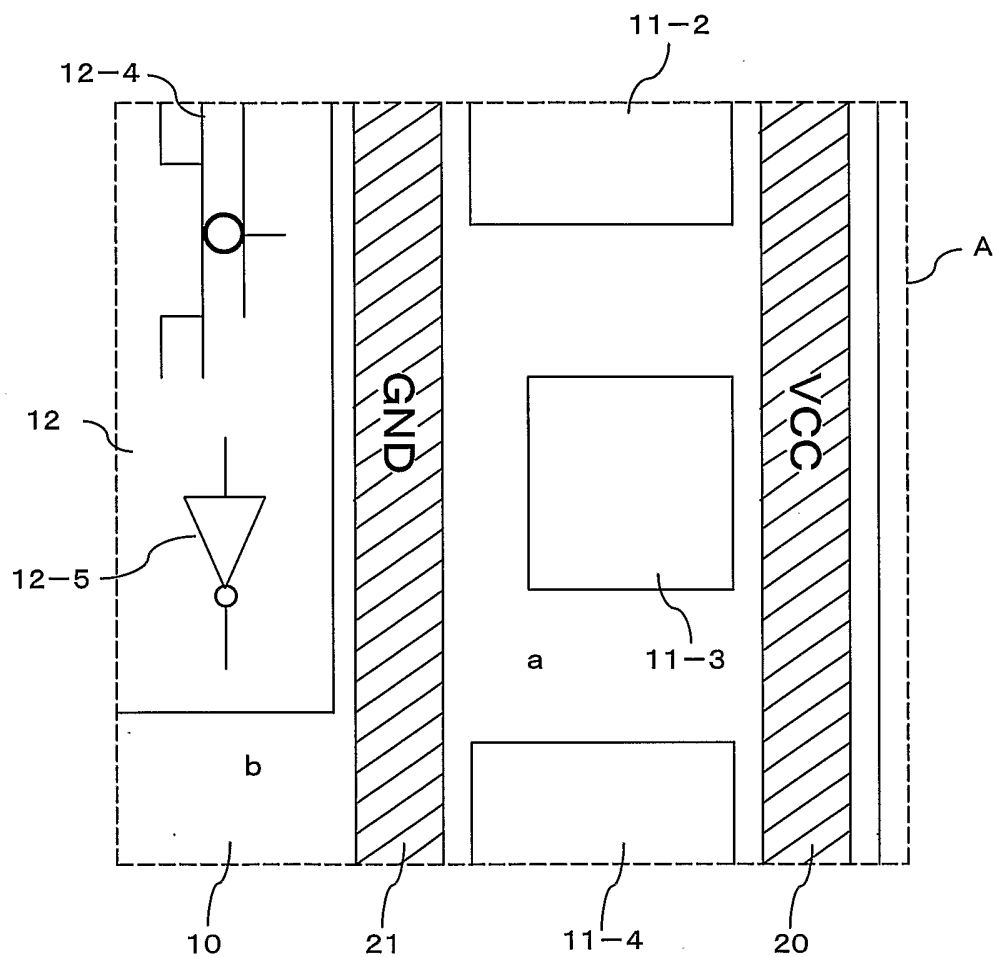


図 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/07486

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L27/04, H01L21/82

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L27/04, H01L21/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2002/0048204 A1 (KURODA et al.), 25 April, 2002 (25.04.02), Par. No. [0053]; Fig. 29 & JP 2000-315393 A Par. No. [0140]; Fig. 39	1-4 5
X Y	JP 06-076594 A (Mitsubishi Electric Corp.), 18 March, 1994 (18.03.94), Fig. 1 (Family: none)	1-4 5
X Y	JP 10-261781 A (Hitachi, Ltd.), 29 September, 1998 (29.09.98), Fig. 2 (Family: none)	1-2, 4 5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
13 August, 2003 (13.08.03)

Date of mailing of the international search report
26 August, 2003 (26.08.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07486

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 06-045448 A (NEC Corp.), 18 February, 1994 (18.02.94), Par. No. [0011] (Family: none)	5

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/04, H01L21/82

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/04, H01L21/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1966年
 日本国公開実用新案公報 1971-2003年
 日本国実用新案登録公報 1996-2003年
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	US 2002/0048204 A1 (KURODA et al.) 2002.04.25 段落番号 [0053], 図29 & JP 2000-315393 A、段落番号【0140】、 図39	1-4 5
X Y	JP 06-076594 A (三菱電機株式会社) 1994.03.18 図1 (ファミリーなし)	1-4 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

13.08.03

国際調査報告の発送日

26.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

4L

9361

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 10-261781 A (株式会社日立製作所) 1998.09.29 図2 (ファミリーなし)	1-2, 4 5
Y	J P 06-045448 A (日本電気株式会社) 1994.02.18 段落番号【0011】 (ファミリーなし)	5