

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年10月15日(15.10.2020)



(10) 国際公開番号

WO 2020/208741 A1

(51) 国際特許分類:  
H01L 23/48 (2006.01) H01L 23/12 (2006.01)

(21) 国際出願番号: PCT/JP2019/015614

(22) 国際出願日: 2019年4月10日(10.04.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 新電元工業株式会社 (SHIN-DENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).

(72) 発明者: 梅田 宗一郎 (UMEDA, Soichiro); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 久徳 淳志 (KYUTOKU, Atsushi); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP).

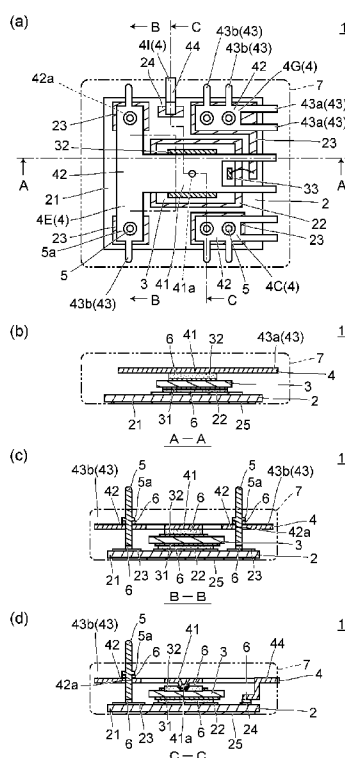
(74) 代理人: めぶき国際特許業務法人, 外(MEBUKI IP LAW FIRM et al.); 〒4080044 山梨県北杜市小淵沢町1037番地5 Yamanashi (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SEMICONDUCTOR DEVICE, AND LEAD FRAME MATERIAL

(54) 発明の名称: 半導体装置、及びリードフレーム材



(57) Abstract: A semiconductor device 1 is characterized by comprising: an embedded substrate 2 on which a semiconductor chip 3 is mounted, said embedded substrate 2 having terminals that include an electrical pathway terminal 23 formed on the surface thereof; a lead frame 4 having a chip-connected electrode portion 41 that is electrically connected to the surface of the semiconductor chip 3 via a conductive bonding member 6, a substrate-connected electrode portion 42 that is electrically connected to the electrical pathway terminal 23 of the embedded substrate 2, and a horizontal support portion 43 that extends outward from the chip-connected electrode portion 41 or the substrate-connected electrode portion 42; and a pin terminal 5 that stands vertically upright with respect to the horizontal plane of the substrate-connected electrode portion 42 of the lead frame 4, wherein the horizontal support portion 43 extends further outward than the embedded substrate 2. According to the present invention, it is possible to provide a semiconductor device having a pin terminal structure in which an external connection terminal has good tip-end pitch accuracy.

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,  
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,  
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,  
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

---

(57) 要約：半導体装置 1 は、半導体チップ 3 が実装され、表面に電気経路端子 2 3 を含む端子が形成された内蔵基板 2 と、半導体チップ 3 の表面に導電性接合部材 6 を介して電氣的に接続されたチップ接続電極部 4 1、内蔵基板 2 の電気経路端子 2 3 に電氣的に接続された基板接続電極部 4 2、チップ接続電極部 4 1 若しくは基板接続電極部 4 2 から外側に張り出す水平面支持部 4 3 を有するリードフレーム 4 と、リードフレーム 4 の基板接続電極部 4 2 の平面に対して垂直方向に立つピン端子 5 とを備え、水平面支持部 4 3 は、内蔵基板 2 より外側まで張り出していることを特徴とする。本発明によれば、外部接続端子の先端ピッチ精度が良好なピン端子構造の半導体装置を提供することができる。

## 明 細 書

発明の名称：半導体装置、及びリードフレーム材

### 技術分野

[0001] 本発明は、半導体装置、及びリードフレーム材に関する。

### 背景技術

[0002] 特許文献 1 には、内蔵基板上や、内蔵基板上に実装されている半導体チップ上に、導電性接合部材を介してリードフレームが接合された半導体装置が開示されている。このような半導体装置のリードフレームは、製造時に、リードフレーム材として外枠部内側に繋がった状態で半導体チップ上及び内蔵基板上に接合され、その後外枠部から切り離される。また、特許文献 2 には、外部接続端子がピン端子構造の半導体装置が開示されている。

[0003] 特許文献 1 に開示された従来の半導体装置 601 は、図 4（a）に示すように、半導体チップ 403 が実装された内蔵基板 402 と、内蔵基板 402 及び半導体チップ 403 上に導電性接合部材 406 を介して接合されたリードフレーム 404 と、これらを一部残して樹脂封止しているモールド樹脂 407 とを備えている。製造時リードフレーム材の状態において、リードフレーム 404 が外枠部（不図示）と接合している部分 445 は、図 4（a）及び図 4（b）に示すように、外部接続端子としてモールド樹脂 407 から露出している。

[0004] また、半導体装置 401 において、リードフレーム 404 は、半導体チップ 403 の電極に接合するチップ接続電極部 441 と、チップ接続電極部 441 から半導体チップ 403 の外形外側まで張り出させた部分 443 とを有している。張り出させた部分 443 の先端は、図 4（c）に示すように、内蔵基板 402 上の電気経路端子 423 の一部に導電性接合部材 406 を介して接合されている。リードフレーム 404 は、張り出させた部分 443 が薄い導電性接合部材 406 を介して内蔵基板 402 で受けられているため、製造時、自重による傾きがある程度抑えられた状態で接合される。

[0005] 特許文献2に開示された従来の半導体装置501は、いわゆるピン端子構造の半導体装置であり、図5に示すように、外部接続端子として、内蔵基板502上に接合されたピン端子505を備えている。ピン端子505は、内蔵基板502表面に対して垂直に立てられ、モールド樹脂507から露出している。このようなピン端子構造の半導体装置は、電気経路を短くできる。

## 先行技術文献

### 特許文献

[0006] 特許文献1：特開2016-072575号公報

特許文献2：特許3691402号公報

### 発明の概要

#### 発明が解決しようとする課題

[0007] しかしながら、上記した半導体装置401では、張り出させた部分443が、薄いと言っても導電性接合部材406を介して受けられているため、リードフレーム404が自重で傾いて接合されてしまう虞がある。また、半導体装置401では、張り出させた部分443が内蔵基板402によって受けられているため、内蔵基板402が傾いていた場合、リードフレーム404がモールド樹脂407に対して傾いて接合されてしまう虞がある。リードフレームが傾いて接合されてしまうと、外部接続端子の先端ピッチ精度が悪化してしまうという問題がある。特に、ピン端子構造の半導体装置の場合には、ピン端子を立てる表面に傾きがあるとピン端子が傾き、ピン端子の先端ピッチ精度が悪化してしまうという問題がある。

[0008] そこで、本発明は、上記した問題を解決するためになされたもので、外部接続端子の先端ピッチ精度が良好なピン端子構造の半導体装置を提供することを目的とする。また、本発明は、外部接続端子の先端ピッチ精度が良好なピン端子構造の半導体装置に用いられるリードフレーム材を提供することを目的とする。

#### 課題を解決するための手段

- [0009] [1] 本発明の半導体装置は、半導体チップが実装され、表面に電気経路端子を含む端子が形成された内蔵基板と、前記半導体チップの表面に導電性接合部材を介して電氣的に接続されたチップ接続電極部、前記内蔵基板の電気経路端子に電氣的に接続された基板接続電極部、及び平面的に見て前記チップ接続電極部若しくは前記基板接続電極部から外側に張り出す水平面支持部を有するリードフレームと、前記リードフレームの前記基板接続電極部に電氣的に接続されているとともに前記基板接続電極部の平面に対して垂直方向に立つピン端子とを備え、前記水平面支持部は、平面的に見て前記内蔵基板より外側まで張り出していることを特徴とする。
- [0010] [2] 本発明の半導体装置においては、前記水平面支持部の先端は、前記内蔵基板及び前記半導体チップに接していないことが好ましい。
- [0011] [3] 本発明の半導体装置においては、前記チップ接続電極部、前記基板接続電極部、及び前記水平面支持部は、同一平面に沿って広がっており、前記ピン端子は、前記内蔵基板上の前記電気経路端子に導電性接合部材を介して電氣的に接続されていることが好ましい。
- [0012] [4] 本発明の半導体装置においては、前記リードフレームは、前記水平面支持部として、前記内蔵基板の一方組の対辺から張り出している第1の水平面支持部と前記内蔵基板の他方組の対辺から張り出している第2の水平面支持部とを有し、前記第1の水平面支持部及び前記第2の水平面支持部によって、水平面支持機構が構成されていることが好ましい。
- [0013] [5] 本発明の半導体装置においては、前記水平面支持機構を構成する複数の前記水平面支持部は、同等幅で形成されていることが好ましい。
- [0014] [6] 本発明の半導体装置においては、前記チップ接続電極部は、前記半導体チップの表面の導電性接合部材の厚みに対応する高さの打ち出し突起を有することが好ましい。
- [0015] [7] 本発明の半導体装置においては、前記内蔵基板は、絶縁端子をさらに有し、前記リードフレームは、前記絶縁端子に導電性接合部材を介して電氣的に接続された絶縁端子連結部をさらに有し、当該絶縁端子連結部の一部以

外が全てモールド樹脂に覆われていることが好ましい。

[0016] [ 8 ] 本発明のリードフレーム材は、半導体チップが実装され、表面に電気経路端子を含む端子が形成された内蔵基板と、前記半導体チップ及び前記内蔵基板に電氣的に接続されたリードフレームとを備える半導体装置における前記リードフレームに加工されるリードフレーム材であって、前記内蔵基板に重ね合わせて平面的に見た際に、前記内蔵基板を囲う枠状の外枠部と、少なくとも一部が前記半導体チップと重なるチップ接続電極部と、少なくとも一部が前記内蔵基板の前記電気経路端子と重なる基板接続電極部と、一端が前記チップ接続電極部又は前記基板接続電極部に繋がり、他端が前記外枠部に繋がる第 1 の水平面支持部と、一端が前記基板接続電極部と繋がり、他端が前記内蔵基板の外側に位置するとともに、どことも繋がらない第 2 の水平面支持部と、を有することを特徴とする。

[0017] [ 9 ] 本発明のリードフレーム材においては、前記外枠部、前記チップ接続電極部、前記基板接続電極部、及び前記水平面支持部は、同一平面に沿って広がっていることが好ましい。

[0018] [ 1 0 ] 本発明のリードフレーム材においては、前記内蔵基板に重ね合わせて平面的に見た際に、前記電気経路端子と重なる位置に貫通孔が形成されていることが好ましい。

[0019] [ 1 1 ] 本発明のリードフレーム材においては、前記端子の一部として絶縁端子が形成された前記内蔵基板に重ね合わせて平面的に見た際に、一端が前記絶縁端子に重なり、他端が前記外枠部に繋がる絶縁端子連結部をさらに有することが好ましい。

## 発明の効果

[0020] 本発明の半導体装置によれば、平面的に見てチップ接続電極部若しくは基板接続電極部から内蔵基板よりも外側まで張り出す水平面支持部を有するリードフレームを備えるため、製造時に固定治具で水平面支持部を受けることで傾きを抑えてリードフレームを配置できることから、リードフレームと接合する外部接続端子の先端ピッチ精度を良好にできる。また、本発明の半導

体装置によれば、基板接続電極部の平面に対して垂直方向に立つピン端子を備えるため、外部接続端子をピン端子とするピン端子構造を構成できる。その結果、本発明の半導体装置は、外部接続端子の先端ピッチ精度が良好なピン端子構造の半導体装置となる。

[0021] 本発明のリードフレーム材においては、内蔵基板に重ね合わせて平面的に見た際に、一端がチップ接続電極部又は基板接続電極部に繋がり、他端が外枠部に繋がる第1の水平面支持部と、一端が基板接続電極部と繋がり、他端が内蔵基板の外側に位置するとともに、どことも繋がらない第2の水平面支持部とを備える。このため、本発明のリードフレーム材によれば、製造時に固定治具で第1及び第2の水平面支持部を受けることで傾きを抑えてリードフレーム材を配置できることから、リードフレーム材と接合する外部接続端子の先端ピッチ精度を良好にできる。また、本発明のリードフレーム材は、内蔵基板に重ね合わせて平面的に見た際に、少なくとも一部が内蔵基板の電気経路端子と重なる基板接続電極部を備えるため、基板接続電極部を介してピン端子を内蔵基板の電気経路端子に接合可能なことから、外部接続端子をピン端子とするピン端子構造を構成できる。その結果、本発明のリードフレーム材は、外部接続端子の先端ピッチ精度が良好なピン端子構造の半導体装置に用いられるリードフレーム材となる。

### 図面の簡単な説明

[0022] [図1]実施形態に係る半導体装置1を示す模式図である。図1(a)は、半導体装置1の内部を透過した上面図であり、図1(b)は、A-A断面図であり、図1(c)は、B-B断面図であり、図1(d)は、C-C断面図である。

[図2]実施形態に係るリードフレーム材40を示す模式図である。

[図3]実装工程S1における支持状態を示す模式図である。図3(a)は、上面図であり、図3(b)は、D-D断面図である。

[図4]従来の半導体装置401を示す模式図である。図4(a)は、半導体装置401の内部を透過した上面図であり、図4(b)は、E-E断面図であ

り、図4(c)は、F-F断面図である。

[図5]従来の半導体装置501の断面を示す模式図である。

### 発明を実施するための形態

[0023] 以下、本発明の半導体装置について、図に示す実施形態に基づいて説明する。なお、各図面は模式図であり、必ずしも実際の寸法を厳密に反映したものではない。

#### [0024] 1. 実施形態における半導体装置1の構成

実施形態に係る半導体装置1は、図1(a)～(d)に示すように、内蔵基板2と、半導体チップ3と、リードフレーム4と、ピン端子5と、導電性接合部材6と、を備え、リードフレーム4の一部及びピン端子5の先端側を除いてモールド樹脂7で樹脂封止されている。

[0025] 内蔵基板2は、電気回路基板である。内蔵基板としては適宜の基板（例えば、プリント基板）を用いることができるが、実施形態の内蔵基板2は、絶縁性基材21と、チップを搭載するために絶縁性基材21の一方の表面に露出するチップ接続端子22と、電気回路の一部であり絶縁性基材21の一方の表面に露出する複数の電気経路端子23と、電気回路と電氣的に繋がらず絶縁性基材21の一方の表面に露出する絶縁端子24と、絶縁性基材21の他方の面に露出する放熱用金属板25とを有するDCB(Direct Copper Bonding)基板である。なお、放熱用金属板25はモールド樹脂7から露出している。

[0026] 半導体チップ3は、内蔵基板2上に実装されている。半導体チップ3は、一方の面（内蔵基板2側の面）に形成されたコレクタ電極31、並びに、他方の面（内蔵基板2側の面とは反対側の面）に形成されたエミッタ電極32、及びエミッタ電極32とは離間した位置に形成されたゲート電極33を有するIGBTである。コレクタ電極31は、導電性接合部材6を介して内蔵基板2のチップ接続端子22に接合されている。エミッタ電極32は、導電性接合部材6を介してリードフレーム4に接合されている。ゲート電極33は、ワイヤやジャンパー等の導電性部材を介して内蔵基板2に接続されてい

る。

[0027] リードフレーム4は、複数ピースの平板状の金属部材からなり、後述の1のリードフレーム材40（図2参照）から切り離されて形成されたものである。リードフレーム4は、半導体チップ3のコレクタ電極31と電氣的に接続するリードフレームコレクタピース4C、半導体チップ3のエミッタ電極32と電氣的に接続するリードフレームエミッタピース4E、半導体チップ3のゲート電極33と電氣的に接続するリードフレームゲートピース4G、及び半導体チップと電氣的に接続していないリードフレーム絶縁ピース4Iに分割されている。リードフレーム4は、ワイヤよりも断面積が大きく、大電流を流すことができる。リードフレーム4は、チップ接続電極部41と、基板接続電極部42と、水平面支持機構43と、絶縁端子連結部44とを有している。チップ接続電極部41、基板接続電極部42、及び水平面支持機構43は、同一平面に沿って広がっており、平面高さは一定である。リードフレーム4は、絶縁端子連結部44の一端部以外が全てモールド樹脂7に覆われている。

[0028] チップ接続電極部41は、導電性接合部材6を介して半導体チップ3の表面のエミッタ電極32に電氣的に接続されている。チップ接続電極部41は、リードフレームエミッタピース4Eに形成されている。チップ接続電極部41は、半導体チップ3側の表面中央部に、半導体チップ3との間の導電性接合部材6の厚みに対応する高さの打ち出し突起41aを有する。チップ接続電極部41は、半導体チップ3上に載置された際、打ち出し突起41aの頂点が半導体チップ3に接触する。このため、チップ接続電極部41は、その表面と半導体チップ3の表面との間に一定量の隙間が確保され、十分な厚みの導電性接合部材6を介して半導体チップ3に接合されている。

[0029] 基板接続電極部42は、後述のピン端子5を介して内蔵基板2の電気経路端子23に電氣的に接続されている。基板接続電極部42には、内蔵基板2と重ね合わせた際に内蔵基板2の電気経路端子23と重なる位置に、後述のピン端子5の外形形状に対応した貫通孔42aが形成されている（図2も併

せて参照)。基板接続電極部42は、リードフレームコレクタピース4C、リードフレームエミッタピース4E、及びリードフレームゲートピース4Gのそれぞれに形成されている。なお、リードフレームエミッタピース4Eにおける基板接続電極部42は、一部がチップ接続電極部41と繋がっている。

[0030] 水平面支持機構43は、それぞれが、平面的に見てチップ接続電極部41若しくは基板接続電極部42から外側に張り出す複数の水平面支持部によって構成されている。水平面支持機構43は、それぞれが水平面支持部となる第1の水平面支持部43a及び複数の第2の水平面支持部43bによって構成されている。第1の水平面支持部43a及び第2の水平面支持部43bは、それぞれ同等の幅で形成されている。また、第1の水平面支持部43a及び第2の水平面支持部43bの先端は、内蔵基板2及び半導体チップ3に接しておらず、どことも繋がっていない。

[0031] 第1の水平面支持部43aは、内蔵基板2の一方組の対辺(図1(a)において横方向に対向する辺)から張り出している。第1の水平面支持部43aは、リードフレームコレクタピース4C、リードフレームエミッタピース4E、及びリードフレームゲートピース4Gのそれぞれに形成されている。なお、リードフレームエミッタピース4Eにおける第1の水平面支持部43aは、チップ接続電極部41から張り出している。

[0032] 第2の水平面支持部43bは、内蔵基板2の他方組の対辺(図1(a)において縦方向に対向する辺)から張り出している。第2の水平面支持部43bは、リードフレームコレクタピース4C、リードフレームエミッタピース4E、及びリードフレームゲートピース4Gのそれぞれに形成されている。なお、リードフレームエミッタピース4Eにおける第2の水平面支持部43bは、基板接続電極部42から張り出している。

[0033] 絶縁端子連結部44は、導電性接合部材6を介して内蔵基板2の絶縁端子24に電氣的に接続されている。絶縁端子連結部44は、クランク状に曲げられて、一端が絶縁端子24に接続され、他端がモールド樹脂7の側面から

僅かに露出している。絶縁端子連結部44は、リードフレーム絶縁ピース41に形成されている。

[0034] ピン端子5は、中央部に径が大きな部分のフランジ部5aを有する細長い円柱状の導電性ピンである。ピン端子5は、リードフレーム4の貫通孔42aに内蔵基板2側と反対側から一方側を差し込まれ、基板接続電極部42の平面に対して垂直方向に立つよう配置される。ピン端子5は、一方側の端部が導電性接合部材6を介して内蔵基板2に接合され、フランジ部5aの一方側の面が導電性接合部材6を介してリードフレーム4に接合される。これにより、ピン端子5は、リードフレーム4の基板接続電極部42に電氣的に接続されるとともに、内蔵基板2上の電気経路端子23に電氣的に接続される。ピン端子5は、他方側がモールド樹脂7の表面から突出し、外部接続端子として機能する。

[0035] 導電性接合部材6は、導電性および接着性を有する合金又は金属である。導電性接合部材としては、銀ペーストや銀ナノ粒子を有する導電性接着剤等を採用してもよいが、本実施形態の導電性接合部材6は、はんだ材を加熱・溶融して固化させたはんだである。導電性接合部材6は、鉛フリーはんだでもよい。導電性接合部材6は、内蔵基板2の各端子、半導体チップ3の各電極、リードフレーム4、又はピン端子5の間で複数箇所に用いられ、両者を機械的に接合するとともに電氣的に接続する。

[0036] モールド樹脂7には適宜の樹脂が用いられ、モールド樹脂7は、内蔵基板2の放熱用金属板25の一部、リードフレーム4の絶縁端子連結部44の一部、及びピン端子5の一部を除き、内蔵基板2、半導体チップ3、リードフレーム4、ピン端子5、及び導電性接合部材6を樹脂封止している。

[0037] 2. 実施形態におけるリードフレーム材40の構成

前述したように、リードフレーム4は、複数ピースからなるが、製造過程において1のリードフレーム材40から切り離されて形成されたものである。ここで、本実施形態の半導体装置1の製造に用いられるリードフレーム材40について説明する。リードフレーム材40は、半導体装置1におけるリ

ードフレーム4に加工されるリードフレーム材であって、図2に示すように、外枠部45と、チップ接続電極部41と、基板接続電極部42と、第1の水平面支持部43aと、第2の水平面支持部43bと、絶縁端子連結部44とを有している。リードフレーム材40は、外枠部45、チップ接続電極部41、基板接続電極部42、第1の水平面支持部43a及び第2の水平面支持部43bが同一平面に沿って広がっており、全体的には内側に開口と貫通孔とを有する矩形状の金属製平板である。リードフレーム材40は、製造時において、第1カットラインCL1及び第2カットラインCL2に沿って切り離されることで、内側がリードフレーム4として分離する。なお、リードフレーム材40における外枠部45以外の部分については、前述のリードフレーム4として説明した形態と基本的には同様であるため、以下においては詳細な形態を省略して説明する。

[0038] リードフレーム材40における外枠部45は、枠部分45aと連結部分45bとを有し、内蔵基板2に重ね合わせて平面的に見た際に、内蔵基板2の周囲を囲う。枠部分45aは、矩形枠状に形成されている。枠部分45aには、4つ角等に位置決め用貫通孔46が形成されていてもよい。連結部分45bは、枠部分45aと内側のリードフレーム4となる部分とを繋いでいる。例えば、連結部分45bは、枠部分45aと第1の水平面支持部43aとを繋いでいる。なお、図2において、位置決め用貫通孔46は、4箇所真円状で描かれているが、逃がしを考慮して部分的に楕円形状に形成したり、2箇所だけに形成したりしてもよい。

[0039] リードフレーム材40におけるチップ接続電極部41は、リードフレーム4におけるチップ接続電極部41となる部分であり、内蔵基板2に重ね合わせて平面的に見た際に、少なくとも一部が半導体チップ3と重なる。リードフレーム材40におけるチップ接続電極部41においても、中央に打ち出し突起41aが形成されている。

[0040] リードフレーム材40における基板接続電極部42は、リードフレーム4における基板接続電極部42となる部分であり、内蔵基板2に重ね合わせて

平面的に見た際に、少なくとも一部が内蔵基板 2 の電気経路端子 2 3 と重なる。リードフレーム材 4 0 における基板接続電極部 4 2 においても、内蔵基板 2 に重ね合わせて平面的に見た際に、電気経路端子 2 3 と重なる位置に貫通孔 4 2 a が形成されている。

[0041] リードフレーム材 4 0 における第 1 の水平面支持部 4 3 a は、リードフレーム 4 における第 1 の水平面支持部 4 3 a となる部分であり、一端がチップ接続電極部 4 1 又は基板接続電極部 4 2 に繋がっている。また、リードフレーム材 4 0 における第 1 の水平面支持部 4 3 a は、他端がリードフレーム 4 として切り離された際にはどこにも繋がっていないが、切り離される前には外枠部 4 5 の連結部分 4 5 b に繋がっている。

[0042] リードフレーム材 4 0 における第 2 の水平面支持部 4 3 b は、リードフレーム 4 における第 2 の水平面支持部 4 3 b となる部分であり、一端が基板接続電極部 4 2 と繋がり、他端が内蔵基板 2 の外側に位置するとともに、どこにも繋がっていない。

[0043] リードフレーム材 4 0 における絶縁端子連結部 4 4 は、リードフレーム 4 における絶縁端子連結部 4 4 となる部分であり、内蔵基板 2 に重ね合わせて平面的に見た際に、一端が絶縁端子 2 4 に重なる。また、リードフレーム材 4 0 における絶縁端子連結部 4 4 は、他端がリードフレーム 4 として切り離された際にはどこにも繋がっていないが、切り離される前には外枠部 4 5 の枠部分 4 5 a に繋がっている。

[0044] 3. 実施形態に係る半導体装置 1 の製造過程における部品実装

半導体装置 1 の製造過程においては、図 3 に示すような内側に凹部を有する固定治具 8 0 が用いられて部品実装される。固定治具 8 0 の凹部は、リードフレーム 4 の一方の面と半導体チップ 3 の一方の面との距離寸法に対応した深さ寸法位置において、内蔵基板 2 の外形形状に対応した外形形状の底面 8 1 を有している。固定治具 8 0 は、上面において、リードフレーム材載置面 8 2 を有し、リードフレーム材載置面 8 2 の一部からは、リードフレーム材 4 0 の位置決め用貫通孔 4 6 に合わせて位置決めピン 8 3 が突出している

。底面 8 1 とリードフレーム材載置面 8 2 とは、互いに平行な平面となっている。

[0045] 半導体装置 1 の製造過程における部品実装の際、図 3 (b) に示すように、固定治具 8 0 に、内蔵基板 2、半導体チップ 3、内側にリードフレーム 4 を有するリードフレーム材 4 0、ピン端子 5、及び未固化状態の導電性接合部材 6 が配置された後、導電性接合部材 6 が固化される。

[0046] 具体的には、まず、チップ接続端子 2 2 を上方に向けた内蔵基板 2 が固定治具 8 0 の底面 8 1 に載置される。次に、内蔵基板 2 のチップ接続端子 2 2 及び電気経路端子 2 3 に導電性接合部材 6 (はんだ材) が塗布される。次に、コレクタ電極 3 1 を下方に向けた半導体チップ 3 が内蔵基板 2 のチップ接続端子 2 2 上に載置される。次に、半導体チップ 3 のエミッタ電極 3 2 に導電性接合部材 6 (はんだ材) が塗布される。次に、固定治具 8 0 のリードフレーム材載置面 8 2 にリードフレーム材 4 0 が載置される。次に、リードフレーム材 4 0 の基板接続電極部 4 2 に導電性接合部材 6 (はんだ材) が塗布される。次に、ピン端子 5 が、下端を内蔵基板 2 の電気経路端子 2 3 上の導電性接合部材 6 に接触させるようにして、リードフレーム材 4 0 の基板接続電極部 4 2 の貫通孔 4 2 a に挿通されて立てられる。そうすると、固定治具 8 0 に内蔵基板 2、半導体チップ 3、リードフレーム 4、ピン端子 5、及び導電性接合部材 6 が図 3 に示すように配置される。次に、全体が加熱されることで導電性接合部材 6 により内蔵基板 2、半導体チップ 3、内側にリードフレーム 4 を有するリードフレーム材 4 0、及びピン端子 5 は一体化する。

[0047] なお、半導体装置 1 の製造過程における部品実装の際、半導体チップ 3 のゲート電極 3 3 と内蔵基板 2 とは、両者を繋ぐためにワイヤが用いられるか導電性接合部材を介する金属板が用いられるかによって、適宜上記具体的な手順の中で電氣的に接合される。また、はんだ材としては、ペースト状のはんだ材 (いわゆるクリームはんだ) や固体状のはんだ材 (いわゆる板はんだ) またはこれらを組み合わせて用いることができる。

[0048] 4. 実施形態に係る効果

半導体装置 1 によれば、平面的に見てチップ接続電極部 4 1 若しくは基板接続電極部 4 2 から内蔵基板 2 よりも外側まで張り出す水平面支持部 4 3 a, 4 3 b を有するリードフレーム 4 を備えるため、製造時に固定治具 8 0 で水平面支持部 4 3 a, 4 3 b を受けることで傾きを抑えてリードフレーム 4 を配置できることから、リードフレーム 4 と接合する外部接続端子の先端ピッチ精度を良好にできる。また、半導体装置 1 によれば、基板接続電極部 4 2 の平面に対して垂直方向に立つピン端子 5 を備えるため、外部接続端子をピン端子 5 とするピン端子構造を構成できる。その結果、半導体装置 1 は、外部接続端子の先端ピッチ精度が良好なピン端子構造の半導体装置となる。

[0049] また、半導体装置 1 によれば、水平面支持部 4 3 a, 4 3 b の先端は、内蔵基板 2 及び半導体チップ 3 に接しておらず、どことも繋がっていないため、水平面支持部 4 3 a, 4 3 b の先端を製造時におけるリードフレーム 4 の水平出しに使用できる。

[0050] また、半導体装置 1 においては、リードフレーム 4 のチップ接続電極部 4 1、基板接続電極部 4 2、及び水平面支持部 4 3 a, 4 3 b は、同一平面に沿って広がっているため、各部間に曲げ加工等されていないことから、リードフレーム 4 各部の平面精度を高めることが容易である。その上で、半導体装置 1 においては、ピン端子 5 が内蔵基板 2 上の電気経路端子 2 3 に導電性接合部材 6 を介して電氣的に接続されている。このため、半導体装置 1 によれば、外部接続端子としてのピン端子 5 の先端ピッチ精度を容易に出すことができる。

[0051] また、半導体装置 1 においては、リードフレーム 4 は、複数の第 1 の水平面支持部 4 3 a 及び複数の第 2 の水平面支持部 4 3 b によって構成される水平面支持機構 4 3 を有する。この水平面支持機構 4 3 は、第 1 の水平面支持部 4 3 a が内蔵基板 2 の一方組の対辺から張り出し、第 2 の水平面支持部 4 3 b が内蔵基板 2 の他方組の対辺から張り出している。このため、半導体装置 1 によれば、製造時にリードフレーム 4 を一の辺に沿ったライン以外でも支持可能であることから、傾きを抑えてリードフレーム 4 を構成できる。

- [0052] また、半導体装置 1 においては、リードフレーム 4 の水平面支持機構 4 3 を構成する複数の水平面支持部 4 3 a, 4 3 b は、同等幅で形成されている。このため、半導体装置 1 によれば、製造時に導電性接合部材 6 を固化させる際、リードフレーム 4 のチップ接続電極部 4 1 及び基板接続電極部 4 2 での熱応力の偏りが抑えられることから、傾きを抑えてリードフレーム 4 を構成できる。
- [0053] また、半導体装置 1 においては、リードフレーム 4 のチップ接続電極部 4 1 は、半導体チップ 3 の表面の導電性接合部材 6 の厚みに対応する高さの打ち出し突起 4 1 a を有する。このため、半導体装置 1 によれば、製造時に導電性接合部材 6 を固化させる際、半導体チップ 3 が浮いてきたとしても打ち出し突起 4 1 a で抑えることが可能であることから、半導体チップ 3 とリードフレーム 4 との間に性能維持に必要な十分な厚みの導電性接合部材 6 を構成できる。
- [0054] また、半導体装置 1 においては、リードフレーム 4 は、内蔵基板 2 の絶縁端子 2 4 に導電性接合部材 6 を介して電氣的に接続された絶縁端子連結部 4 4 を有し、絶縁端子連結部 4 4 の一部以外が全てモールド樹脂 7 に覆われている。このため、半導体装置 1 によれば、側面に内蔵基板 2 の電気回路と繋がる端子が露出しないことから、高耐圧化に優れるよう構成できる。
- [0055] リードフレーム材 4 0 においては、内蔵基板 2 に重ね合わせて平面的に見た際に、一端がチップ接続電極部 4 1 又は基板接続電極部 4 2 に繋がり、他端が外枠部 4 5 に繋がる第 1 の水平面支持部 4 3 a と、一端が基板接続電極部 4 2 と繋がり、他端が内蔵基板 2 の外側に位置するとともに、どことも繋がらない第 2 の水平面支持部 4 3 b とを備える。このため、リードフレーム材 4 0 によれば、製造時に固定冶具 8 0 で第 1 及び第 2 の水平面支持部 4 3 a, 4 3 b を受けることで傾きを抑えてリードフレーム材 4 0 を配置できることから、リードフレーム材 4 0 と接合する外部接続端子の先端ピッチ精度を良好にできる。また、リードフレーム材 4 0 においては、内蔵基板 2 に重ね合わせて平面的に見た際に、少なくとも一部が内蔵基板 2 の電気経路端子

23と重なる基板接続電極部42を備える。このため、リードフレーム材40によれば、基板接続電極部42を介してピン端子5を内蔵基板2の電気経路端子23に接合可能なことから、外部接続端子をピン端子5とするピン端子構造を構成できる。その結果、リードフレーム材40は、外部接続端子の先端ピッチ精度が良好なピン端子構造の半導体装置1に用いられるリードフレーム材となる。

[0056] また、リードフレーム材40によれば、外枠部45、チップ接続電極部41、基板接続電極部42、及び第1及び第2の水平面支持部43a, 43bは、同一平面に沿って広がっているため、内側を切り離して形成されたリードフレーム4各部の平面精度を高めることができる。

[0057] また、リードフレーム材40によれば、内蔵基板2に重ね合わせて平面的に見た際に、電気経路端子23と重なる位置に貫通孔42aが形成されているため、先端を電気経路端子23に接合させるピン端子5を立てることができる。

[0058] また、リードフレーム材40においては、絶縁端子24が形成された内蔵基板2に重ね合わせて平面的に見た際に、一端が絶縁端子24に重なり、他端が外枠部45に繋がる絶縁端子連結部44をさらに有する。このため、リードフレーム材40によれば、製造時において、半導体装置1の内部部品を電気回路と繋がらない絶縁端子連結部44と繋がる外枠部45で支持可能なことから、モールド樹脂7による樹脂封止の作業性を向上できる。

[0059] 以上、本発明を上記の実施形態に基づき説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能である。

[0060] (1) 上記実施形態において記載した構成要素の数、形状、位置、大きさ等は例示であり、本発明の効果を損なわない範囲において変更することが可能である。

[0061] (2) 上記実施形態においては、半導体チップ3をIGBTとしたが、本発

明はこれに限定されるものではない。半導体チップ3を他の3端子の半導体素子（例えば、MOSFET）としてよいし、半導体チップ3を2端子の半導体素子（例えば、ダイオード）としてよいし、半導体チップ3を4端子以上の半導体素子（4端子の半導体素子としては、例えばサイリスタ）としてもよい。

[0062] （3）上記実施形態においては、半導体装置を、半導体チップを1つ備える半導体装置としたが、本発明はこれに限定されるものではない。例えば、半導体装置を、半導体チップを2つ備える半導体装置としてもよいし、半導体チップを3つ以上備える半導体装置としてもよい。

[0063] （4）上記実施形態において、半導体装置を、半導体チップの一方の面にコレクタ電極を有し、他方の面にエミッタ電極およびゲート電極を有する、いわゆる縦型の半導体装置としたが、本発明はこれに限定されるものではない。例えば、半導体装置を、基板側とは反対側の面に全ての電極を有する、いわゆる横型の半導体装置としてもよい。

[0064] （5）上記実施形態のリードフレーム4においては、チップ接続電極部41、基板接続電極部42、及び第1及び第2の水平面支持部43a、43bは、同一平面に沿って広がっているものとして説明したが、本発明はこれに限定されるものではない。リードフレームのチップ接続電極部、基板接続電極部、及び第1及び第2の水平面支持部は、同一平面に沿って広がっていることが好ましいが、一部平行にずれていてもよい。

[0065] （6）上記実施形態のリードフレーム4においては、第1の水平面支持部43aの先端が外枠部45と繋がり、第2の水平面支持部43bの先端がどことも繋がっていないものとして説明したが、本発明はこれに限定されるものではない。例えば、リードフレーム材は、第1の水平面支持部の先端がどことも繋がっておらず、第2の水平面支持部の先端が外枠部と繋がっているものであってもよい。また、例えば、リードフレーム材は、第1及び第2の水平面支持部の先端がいずれも外枠部と繋がっているものであっても良い。

[0066] （7）上記実施形態において、リードフレーム4が第1及び第2の水平面支

持部 4 3 a, 4 3 b を有するものとして説明したが、本発明はこれに限定されるものではない。例えば、リードフレームは、第 1 及び第 2 の水平面支持部のいずれかを有するものであってもよい。

[0067] (8) 上記実施形態のピン端子 5 においては、円柱状のものとして説明したが、本発明はこれに限定されるものであってもよい。例えば、ピン端子は、角柱状のものであってもよく、薄板状のものであってもよい。

### 符号の説明

[0068] 1 …半導体装置、2 …内蔵基板、3 …半導体チップ、4 …リードフレーム、5 …ピン端子、6 …導電性接合部材、7 …モールド樹脂、2 3 …電気経路端子、2 4 …絶縁端子、4 0 …リードフレーム材、4 1 …チップ接続電極部、4 1 a …打ち出し突起、4 2 …基板接続電極部、4 3 …水平面支持機構、4 3 a …第 1 の水平面支持部、4 3 b …第 2 の水平面支持部、4 4 …絶縁端子連結部、4 5 …外枠部

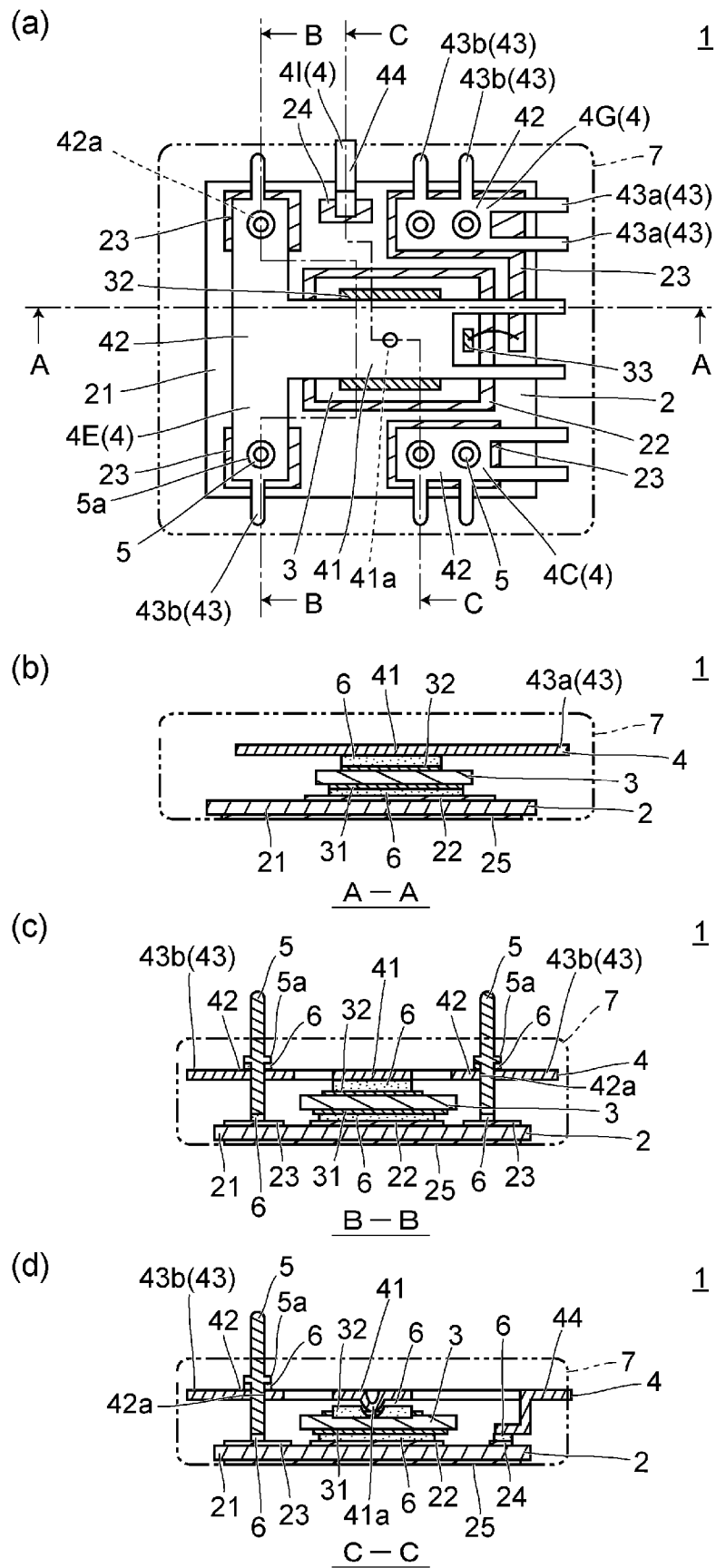
## 請求の範囲

- [請求項1]       半導体チップが実装され、表面に電気経路端子を含む端子が形成された内蔵基板と、
- 前記半導体チップの表面に導電性接合部材を介して電氣的に接続されたチップ接続電極部、前記内蔵基板の電気経路端子に電氣的に接続された基板接続電極部、及び平面的に見て前記チップ接続電極部若しくは前記基板接続電極部から外側に張り出す水平面支持部を有するリードフレームと、
- 前記リードフレームの前記基板接続電極部に電氣的に接続されるとともに前記基板接続電極部の平面に対して垂直方向に立つピン端子とを備え、
- 前記水平面支持部は、平面的に見て前記内蔵基板より外側まで張り出していることを特徴とする半導体装置。
- [請求項2]       前記水平面支持部の先端は、前記内蔵基板及び前記半導体チップに接していないことを特徴とする請求項1に記載の半導体装置。
- [請求項3]       前記チップ接続電極部、前記基板接続電極部、及び前記水平面支持部は、同一平面に沿って広がっており、
- 前記ピン端子は、前記内蔵基板上の前記電気経路端子に導電性接合部材を介して電氣的に接続されていることを特徴とする請求項1又は2に記載の半導体装置。
- [請求項4]       前記リードフレームは、前記水平面支持部として、前記内蔵基板の一方組の対辺から張り出している第1の水平面支持部と前記内蔵基板の他方組の対辺から張り出している第2の水平面支持部とを有し、
- 前記第1の水平面支持部及び前記第2の水平面支持部によって、水平面支持機構が構成されていることを特徴とする請求項1～3のいずれかに記載の半導体装置。
- [請求項5]       前記水平面支持機構を構成する複数の前記水平面支持部は、同等幅で形成されていることを特徴とする請求項4に記載の半導体装置。

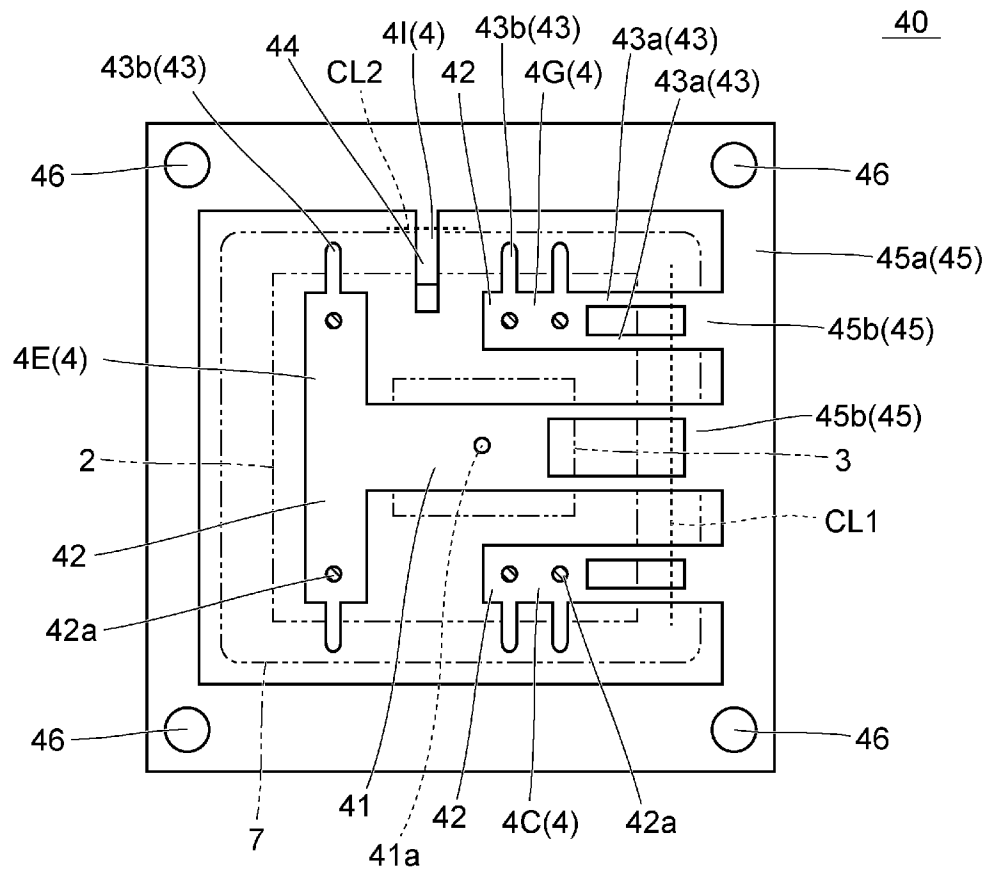
- [請求項6] 前記チップ接続電極部は、前記半導体チップの表面の導電性接合部材の厚みに対応する高さの打ち出し突起を有することを特徴する請求項1～5のいずれかに記載の半導体装置。
- [請求項7] 前記内蔵基板は、絶縁端子をさらに有し、  
前記リードフレームは、前記絶縁端子に導電性接合部材を介して電氣的に接続された絶縁端子連結部をさらに有し、当該絶縁端子連結部の一部以外が全てモールド樹脂に覆われていることを特徴とする請求項1～6のいずれかに記載の半導体装置。
- [請求項8] 半導体チップが実装され、表面に電気経路端子を含む端子が形成された内蔵基板と、前記半導体チップ及び前記内蔵基板に電氣的に接続されたリードフレームとを備える半導体装置における前記リードフレームに加工されるリードフレーム材であって、前記内蔵基板に重ね合わせて平面的に見た際に、  
前記内蔵基板を囲う枠状の外枠部と、  
少なくとも一部が前記半導体チップと重なるチップ接続電極部と、  
少なくとも一部が前記内蔵基板の前記電気経路端子と重なる基板接続電極部と、  
一端が前記チップ接続電極部又は前記基板接続電極部に繋がり、他端が前記外枠部に繋がる第1の水平面支持部と、  
一端が前記基板接続電極部と繋がり、他端が前記内蔵基板の外側に位置するとともに、どことも繋がらない第2の水平面支持部と、を有することを特徴とするリードフレーム材。
- [請求項9] 前記外枠部、前記チップ接続電極部、前記基板接続電極部、及び前記水平面支持部は、同一平面に沿って広がっていることを特徴とする請求項8に記載のリードフレーム材。
- [請求項10] 前記内蔵基板に重ね合わせて平面的に見た際に、前記電気経路端子と重なる位置に貫通孔が形成されていることを特徴とする請求項8又は9に記載のリードフレーム材。

[請求項11]       前記端子の一部として絶縁端子が形成された前記内蔵基板に重ね合わせて平面的に見た際に、一端が前記絶縁端子に重なり、他端が前記外枠部に繋がる絶縁端子連結部をさらに有することを特徴とする請求項8～10のいずれかに記載のリードフレーム材。

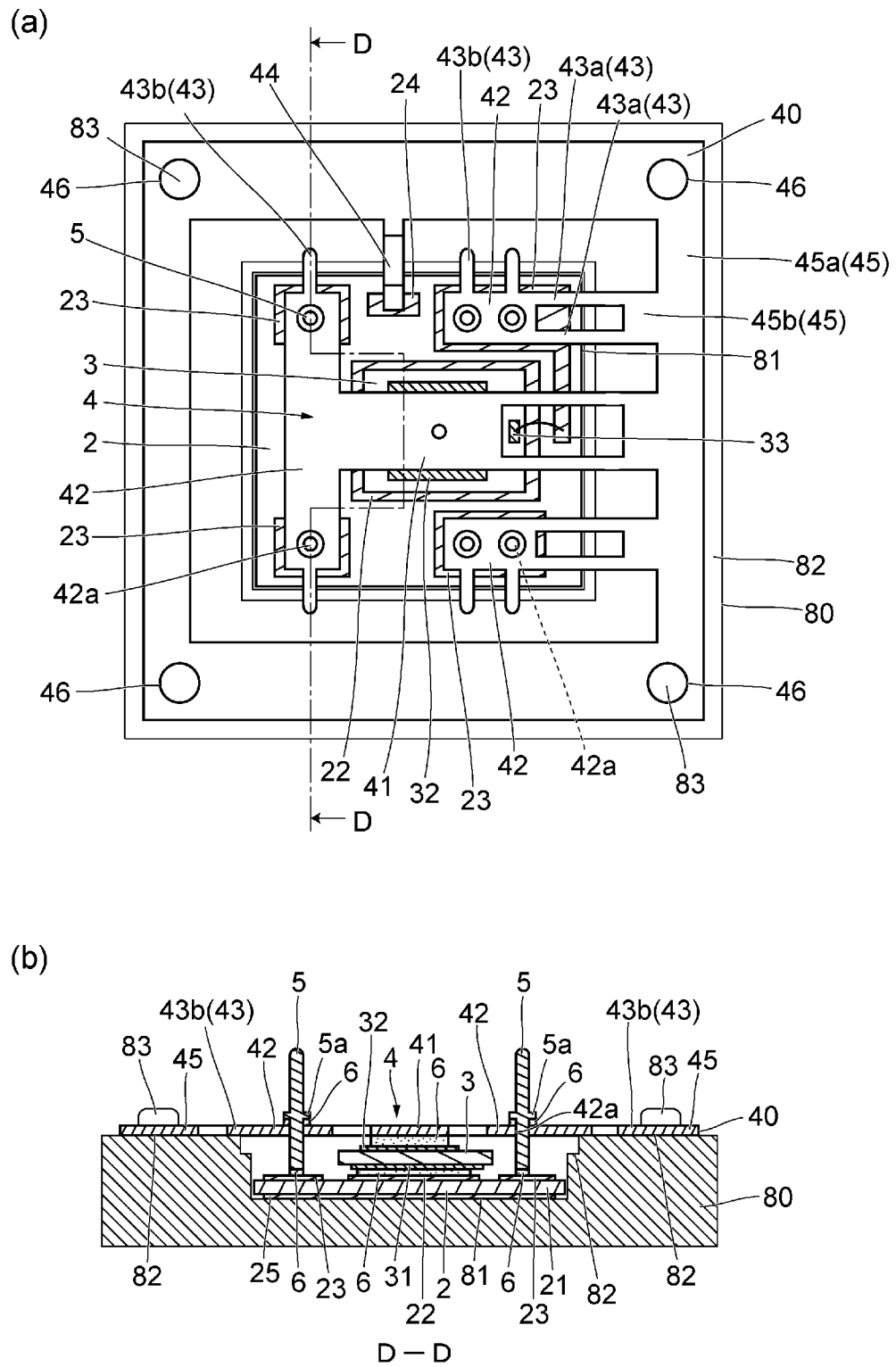
[図1]



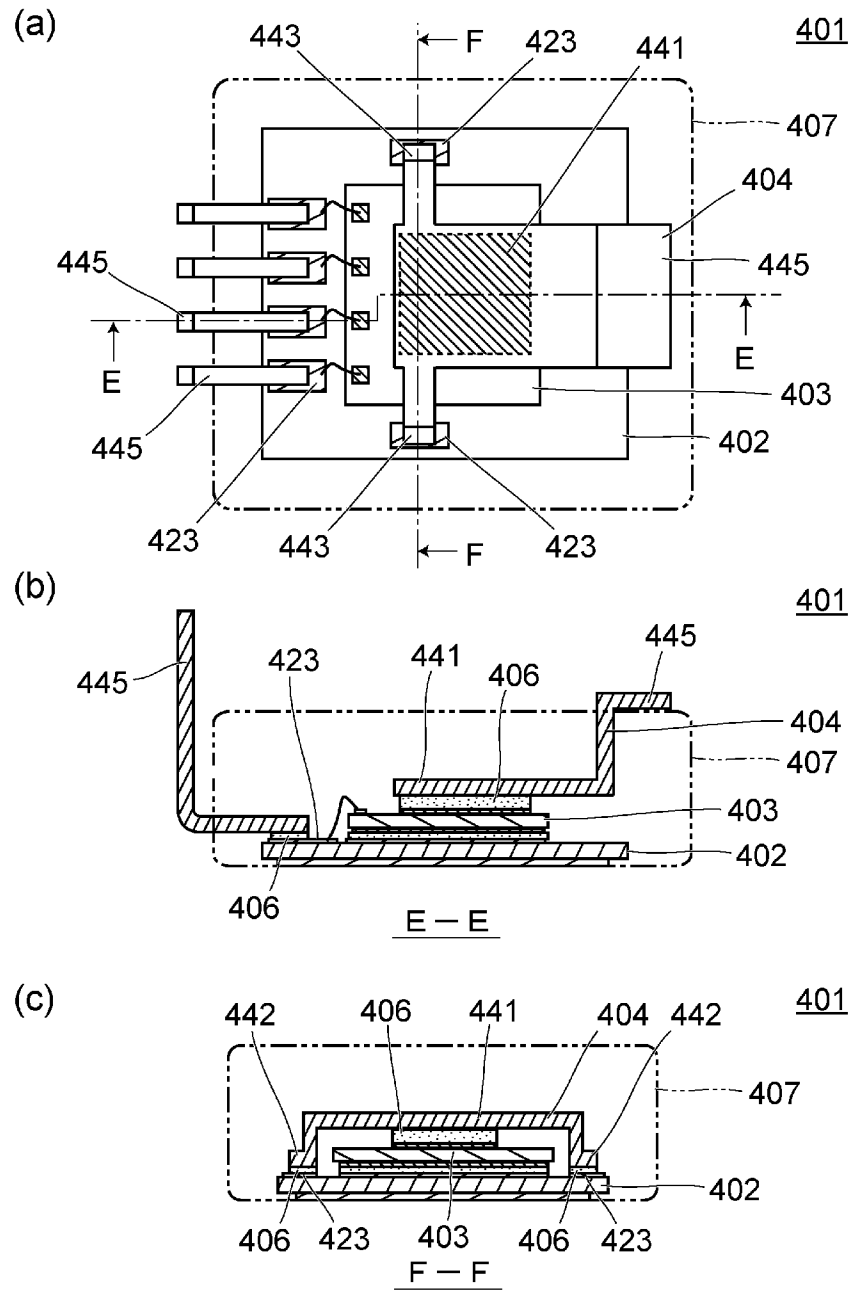
[図2]



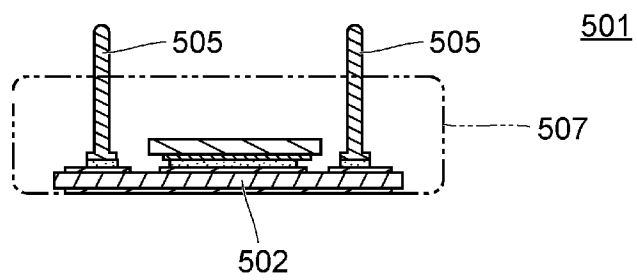
[図3]



[図4]



[図5]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/015614

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L23/48 (2006.01) i, H01L23/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L23/48, H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                 | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2012-129336 A (FUJI ELECTRIC CO., LTD.) 05 July 2012, paragraphs [0026], [0041]-[0046], fig. 1-3 (Family: none) | 1-11                  |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
12.06.2019

Date of mailing of the international search report  
25.06.2019

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L23/48(2006.01)i, H01L23/12(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L23/48, H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2019年 |
| 日本国実用新案登録公報 | 1996-2019年 |
| 日本国登録実用新案公報 | 1994-2019年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                             | 関連する<br>請求項の番号 |
|-----------------|-------------------------------------------------------------------------------|----------------|
| A               | JP 2012-129336 A（富士電機株式会社）2012.07.05,<br>段落[0026],[0041]-[0046]、図1-3（ファミリーなし） | 1-11           |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

|                                                               |                                                                     |
|---------------------------------------------------------------|---------------------------------------------------------------------|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの                                | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの     |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                        | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                     |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献                                     | 「&」 同一パテントファミリー文献                                                   |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願                                  |                                                                     |

国際調査を完了した日

12.06.2019

国際調査報告の発送日

25.06.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

豊島 洋介

5 F

9850

電話番号 03-3581-1101 内線 3516