



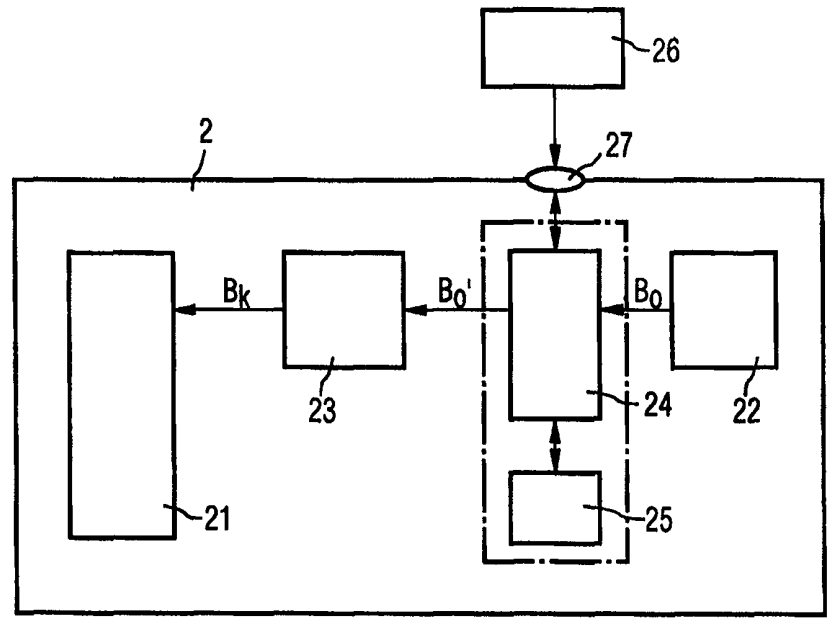
<p>(51) Internationale Patentklassifikation <sup>6</sup> : <b>G06F 11/00</b></p>	<p><b>A2</b></p>	<p>(11) Internationale Veröffentlichungsnummer: <b>WO 99/27448</b>  (43) Internationales Veröffentlichungsdatum: 3. Juni 1999 (03.06.99)</p>
<p>(21) Internationales Aktenzeichen: PCT/DE98/03323 (22) Internationales Anmeldedatum: 11. November 1998 (11.11.98)  (30) Prioritätsdaten: 197 51 156.2      19. November 1997 (19.11.97)    DE 198 22 999.2      22. Mai 1998 (22.05.98)                    DE  (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).  (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): BECKMANN, Jürgen [DE/DE]; Drüenstrasse 24a, D-47506 Neukirchen-Vluyn (DE). VON WENDORFF, Wilhard [DE/DE]; Atterseeestrasse 14, D-81241 München (DE).  (74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).</p>	<p>(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).  <b>Veröffentlicht</b> <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i></p>	

(54) Title: PROGRAM-CONTROLLED UNIT AND METHOD

(54) Bezeichnung: PROGRAMMGESTEUERTE EINHEIT UND VERFAHREN

(57) Abstract

The invention relates to a program-controlled unit which is configured to execute a program consisting of a plurality of commands. The inventive device comprises at least one program memory with a plurality of commands filed therein, at least one decoder which is successively supplied with individual commands from the program memory, and at least one execution unit which further processes coded commands of the decoder. The invention is characterised in that at least one device is provided to correct the commands by comparing an individual command read from the memory with a predetermined command model. If the command does not tally with the predetermined model, said device produces a transformed or modified command which is fed into the decoder.



### (57) Zusammenfassung

Die Erfindung betrifft eine programmgesteuerte Einheit, die dazu ausgelegt ist, ein Programm bestehend aus einer Vielzahl von Befehlen auszuführen, mit mindestens einem Programmspeicher, indem die Vielzahl von Befehlen abgelegt ist, mit mindestens einer Decodiereinrichtung, der nacheinander einzelne Befehle aus dem Programmspeicher zugeführt werden, mit mindestens einer Ausführungseinheit, die die codierten Befehle der Decodiereinrichtung weiterverarbeitet, dadurch gekennzeichnet, dass mindestens eine Einrichtung zur Befehlskorrektur vorgesehen ist, die einen einzelnen, aus dem Programmspeicher herausgelesenen Befehl mit mindestens einem vorgegebenen Befehlsmuster vergleicht und bei einem Abweichen des Befehls von dem vorgegebenen Befehlsmuster einen transformierten oder korrigierten Befehl erzeugt, der der Decodiereinrichtung zugeführt wird.

### LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshjan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland			TR	Türkei
BG	Bulgarien	HU	Ungarn	ML	Mali	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MN	Mongolei	UA	Ukraine
BR	Brasilien	IL	Israel	MR	Mauretanien	UG	Uganda
BY	Belarus	IS	Island	MW	Malawi	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	MX	Mexiko		
CF	Zentralafrikanische Republik	JP	Japan	NE	Niger	UZ	Usbekistan
CG	Kongo	KE	Kenia	NL	Niederlande	VN	Vietnam
CH	Schweiz	KG	Kirgisistan	NO	Norwegen	YU	Jugoslawien
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	NZ	Neuseeland	ZW	Zimbabwe
CM	Kamerun			PL	Polen		
CN	China	KR	Republik Korea	PT	Portugal		
CU	Kuba	KZ	Kasachstan	RO	Rumänien		
CZ	Tschechische Republik	LC	St. Lucia	RU	Russische Föderation		
DE	Deutschland	LI	Liechtenstein	SD	Sudan		
DK	Dänemark	LK	Sri Lanka	SE	Schweden		
EE	Estland	LR	Liberia	SG	Singapur		

## Beschreibung

## Programmgesteuerte Einheit und Verfahren

- 5 Die vorliegende Erfindung betrifft eine programmgesteuerte Einheit gemäß dem Oberbegriff des Patentanspruchs 1 sowie ein Verfahren zur Befehlskorrektur bei einer programmgesteuerten Einheit.
- 10 Demgemäß ist eine programmgesteuerte Einheit vorgesehen, die dazu ausgelegt ist, ein Programm bestehend aus einer Vielzahl von Befehlen auszuführen,
- mit mindestens einem Programmspeicher, in dem die Vielzahl von Befehlen abgelegt ist,
  - 15 - mit mindestens einer Decodiereinrichtung, der nacheinander einzelne Befehle aus dem Programmspeicher zuführbar sind, und
  - mit mindestens einer Ausführungseinheit, die die decodierten Befehle der Decodiereinrichtung weiterverarbeitet.
- 20 Derartige programmgesteuerte Einheiten sind beispielsweise Mikroprozessoren, Mikrocontroller, Signalprozessoren oder dergleichen. Programmgesteuerte Einheiten sind in der Regel dazu ausgelegt, Programme auszuführen.
- 25 Der grundsätzliche Aufbau einer programmgesteuerten Einheit ist in Figur 1 dargestellt. Die dort gezeigte programmgesteuerte Einheit 1 umfaßt eine Rechen- und Steuereinheit 11 (Ausführungseinheit), die beispielsweise als zentrale Rechen-
- 30 einheit (CPU) ausgebildet sein kann, einen internen Festwertspeicher in Form eines ROMs 12, eine I/O-Schnittstelle 13 zur Verbindung der programmgesteuerten Einheit 1 mit einem in Figur 1 nicht gezeigten externen Speicher und eine zwischen den Speichern und der Rechen- und Steuereinheit 11 geschaltete
- 35 Dekodereinrichtung 14 in Form eines Befehlsdekoders.

Die von der Rechen- und Steuereinheit 11 auszuführenden Programme, genauer gesagt die diese repräsentierenden Programmcodes, können im internen Festwertspeicher 12 und/oder im externen Speicher abgelegt sein. Die Dekodereinrichtung 14  
5 löst dann die zur Ausführung dieser Programmcodes erforderlichen Schritte in der Rechen- und Steuereinheit 11 aus.

Mit der steigenden Komplexität von programmgesteuerten Einheiten wird es zunehmend schwieriger, fehlerfreie Systeme zu  
10 entwickeln. Insbesondere stellt sich häufig erst nach deren Entwicklungsphase bzw. Herstellungsphase heraus, daß einzelne Prozessorbefehle bzw. Programmteile zu falschen oder gar destruktiven Ausführungen der Rechen- und Steuereinheit führen.

Derartige Fehler in einem Befehl oder einer Befehlsfolge einer programmgesteuerten Einheit konnten bislang hardwaremäßig nur durch ein grundlegend neues, kostenintensives Nachdesign der programmgesteuerten Einheit oder zumindest Teilen davon behoben werden. Erschwerend kommt hinzu, daß ein solches Nachdesign einer fehlerhaften programmgesteuerten Einheit  
20 äußerst zeitaufwendig ist, was insbesondere zu Wettbewerbsnachteilen gegenüber konkurrierenden Produkten führen kann.

Einfacher läßt sich ein bekannt gewordener Fehler in einem Befehl/Befehlsfolge softwaremäßig korrigieren oder vermeiden. Insbesondere kann hier durch verhältnismäßig einfache Maßnahmen darauf geachtet werden, daß die fehlerhaften Befehle/Befehlsfolgen nicht verwendet werden. Diese softwaremäßige  
30 Befehlskorrektur ist jedoch nur schwer durch den Hersteller zu kontrollieren. Insbesondere führt die softwaregesteuerte Fehlerkorrektur zu einer mitunter erheblichen Beeinträchtigung der Leistungsfähigkeit der gesamten programmgesteuerten Einheit.

35

Die beiden oben genannten Maßnahmen zur Fehlerkorrektur von Befehlen einer programmgesteuerten Einheit, d. h. die soft-

ware- oder hardwaremäßige Fehlerkorrektur, können jedoch eine vorsätzlich mißbräuchliche Ausnutzung eines Befehls/Befehlsfolge, beispielsweise durch Computerviren, nicht verhindern.

- 5 Darüberhinaus müssen bei der Entwicklung von programmgesteuerten Einheiten auch die nachfolgenden Aspekte und Problemstellungen beachtet werden:

10 Typischerweise wächst die Bandbreite von internen oder externen Speicherbauteilen langsamer als die Bandbreite der entsprechenden Steuer- und Recheneinheit bzw. der CPU. Aufgrund dessen muß bei der Entwicklung auf eine sehr hohe Codierungsdichte Wert gelegt werden. Dies kann beispielsweise durch spezielle anwenderspezifische Befehle, wie beispielsweise den  
15 sogenannten CISC-Befehlen (consumer specific instruction set) erreicht werden. Auf der anderen Seite ist es jedoch auch notwendig, daß ein- und dieselbe Steuer- und Recheneinheit flexibel ausgelegt ist und für unterschiedliche Anwendungen geeignet ist.

20 Ein weiterer wichtiger Aspekt betrifft die steigende Komplexität im Design von neuen programmgesteuerten Einheiten. Aufgrund dieser steigenden Komplexität ist es nahezu unmöglich, fehlerfreie programmgesteuerte Einheiten zu erzeugen. Bislang  
25 werden fehlerhafte Befehle oder Befehlsketten mittels Software in entsprechende Austauschbefehle bzw. Austauschbefehlsketten umgewandelt. Derartige Softwarebefehle erfordern jedoch zusätzlichen Speicheraufwand, wodurch der real zur Verfügung stehende Speicher eingegrenzt wird.

30 Ein weiterer sehr wichtiger Aspekt bei der Entwicklung von programmgesteuerten Einheit liegt in der Minimierung der Leistungsaufnahme.

35 Der vorliegenden Erfindung liegt demgegenüber die Aufgabe zugrunde, eine programmgesteuerte Einheit und ein Verfahren zur Befehlskorrektur bei einer programmgesteuerten Einheit anzu-

geben, bei der nachträglich entdeckte Fehler in einem Befehl/Befehlsfolge auf einfache Weise korrigiert werden können. Gleichzeitig oder alternativ sollte nicht nur die Korrektur der fehlenden Befehle, sondern auch eine individuelle  
5 Anpassung der programmgesteuerten Einheit an bestimmte Aufgaben bzw. an eine bestimmte Hardwareumgebung ermöglicht werden.

Erfindungsgemäß wird diese Aufgabe durch eine programmgesteuerte Einheit mit den Merkmalen des Patentanspruchs 1 sowie ein Verfahren zur Befehlskorrektur bei einer programmgesteuerten Einheit mit den Merkmalen des Patentanspruchs 10 gelöst.  
10

Demgemäß ist eine gattungsgemäße programmgesteuerte Einheit vorgesehen, die dadurch gekennzeichnet ist, daß mindestens eine Einrichtung zur Befehlskorrektur vorgesehen ist, die einen einzelnen, aus dem Programmspeicher ausgelesenen Befehl mit mindestens einem vorgegebenen Befehl oder Befehlsmuster  
20 vergleicht und bei einem Abweichen des ausgelesenen Befehls von dem vorgegebenen Befehl oder Befehlsmuster einen transformierten oder korrigierten Befehl erzeugt.

Weiters ist ein gattungsgemäßes Verfahren zur Befehlskorrektur einer programmgesteuerten Einheit vorgehen, bei dem folgende Verfahrensschritte ausgeführt werden:  
25

- a) Ein einzelner Befehl wird aus dem Programmspeicher in die Schaltung zur Befehlskorrektur geladen;
- b) der Befehl wird mit mindestens einem vorgegebenen Befehlsmuster verglichen;  
30
- c) bei einem vorgegebenen Abweichen des Befehls von dem vorgegebenen Befehlsmuster wird ein transformierter oder korrigierter Befehl erzeugt;
- d) der transformierte oder korrigierte Befehl wird anschließend der Decodiereinrichtung zugeführt.  
35

Durch die erfindungsgemäße programmgesteuerte Einheit bzw. das erfindungsgemäße Verfahren werden verbotene oder fehlerhafte oder unzulässige Befehle/Befehlsfolgen vor deren Verarbeitung durch die Decodiereinrichtung aussortiert. Die aussortierten Befehle/Befehlsfolgen werden vorteilhafterweise durch korrigierte oder transformierte neue Befehle oder Befehlsfolgen ersetzt, die dann der Decodiereinrichtung zugeführt werden. Diese Fehlerkorrektur erfolgt auf einfache Weise durch eine Schaltung zur Befehlskorrektur, die vorzugsweise zwischen Decodiereinrichtung und Programmspeicher angeordnet ist. Für eine Fehlerkorrektur ist es im einfachsten Fall bereits ausreichend, die auszusortierenden Befehle/Befehlsfolgen oder auch lediglich ein markantes Befehlsmuster daran in einem lokalen Speicher abzulegen, in dem dann auch die Befehle/Befehlsfolgen abgelegt sind, durch die die fehlerhaften Befehle/Befehlsfolgen ersetzt werden sollen.

Der besondere Vorteil der erfindungsgemäßen Schaltung zur Befehlskorrektur bzw. des lokalen Speichers besteht darin, daß es sich hierbei um ein leicht umprogrammierbares bzw. vorzugsweise auch austauschbares Schaltungsteil der programmgesteuerten Einheit handelt. Mit der Einrichtung zur Befehlskorrektur können nachträglich erkannte Fehler des Programmspeichers bzw. der Rechen- und Steuereinheit korrigiert werden, ohne daß der Programmspeicher bzw. die Rechen- und Steuereinheit ausgetauscht werden müssen.

Die durch die Einrichtung zur Befehlskorrektur auszusortierenden Befehle sind typischerweise fehlerhafte Befehle/Befehlsfolgen des Programmspeichers. Es sei jedoch an dieser Stelle angemerkt, daß die vorliegende Erfindung nicht beschränkt ist auf das Aussortieren von solchen fehlerhaften Befehlen/Befehlsfolgen. Insbesondere ist die Erfindung auch sehr vorteilhaft, wenn es sich bei den auszusortierenden Befehlen um unerwünschte oder verbotene Befehle/Befehlsfolgen handelt. Verbotene Befehle können beispielsweise Befehle/Befehlsfolgen sein, die durch Computerviren oder einem

Hardwarefehler verursacht wurden. Nachfolgend werden daher der Einfachheit halber alle diese vorstehend bezeichneten Befehle/Befehlsfolgen kurz als auszusortierende Befehle bezeichnet.

5

Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung sind den jeweiligen Unteransprüchen zu entnehmen.

Die Erfindung wird nachfolgend anhand der in den Figuren der Zeichnung angegebenen Ausführungsbeispiele näher erläutert. Es zeigt dabei:

15

Figur 1 schematisch den inneren Aufbau einer herkömmlichen programmgesteuerten Einheit;

Figur 2 schematisch den inneren Aufbau einer erfindungsgemäßen programmgesteuerten Einheit;

20

Figur 3 schematisch den Ablauf des erfindungsgemäßen Verfahrens zur Befehlskorrektur in der Schaltung zur Befehlskorrektur.

25

Bei der nachfolgend näher beschriebenen programmgesteuerten Einheit handelt es sich um einen Microcontroller. Die Erfindung ist jedoch nicht auf Microcontroller beschränkt, sondern kann sehr vorteilhaft auch bei als Mikroprozessoren, Signalprozessoren oder dergleichen ausgebildeten, programmgesteuerten Einheiten verwendet werden.

30

Figur 2 zeigt schematisch den inneren Aufbau des durch die Schaltung zur Befehlskorrektur erweiterten erfindungsgemäßen programmgesteuerten Einheit.

35

In Figur 2 ist mit 2 der Microcontroller bezeichnet. Der Microcontroller 2 enthält unter anderem eine Rechen- und Steuereinheit 21. Die Rechen- und Steuereinheit 21 ist im vorliegenden Ausführungsbeispiel eine zentrale Recheneinheit

CPU, kann jedoch auch als Coprozessor wie beispielsweise ein Kryptoprozessor ausgebildet sein. Ferner weist der Microcontroller 2 einen Programmspeicher 22 auf, der beispielsweise als Festspeicher in Form eines Flash-EPROMs ausgebildet ist.

5 Es wäre selbstverständlich auch denkbar, daß der Programmspeicher 22 als RAM-Speicher ausgebildet ist, der regelmäßig von einem externen Massespeicher, z. B. einer Floppydisk oder einer Festplatte, geladen wird. Der Programmspeicher 22 enthält das Programm des Microcontrollers, die dort typischerweise in Form von Befehlscodes abgelegt sind.

10

Zwischen der Rechen- und Steuereinheit 21 und dem Programmspeicher 22 ist eine Decodiereinrichtung 23 vorgesehen. Erfindungsgemäß ist dem Programmspeicher 22 eine Schaltung zur Befehlskorrektur 24 nachgeschaltet. Im gezeigten Ausführungsbeispiel ist die Schaltung zur Befehlskorrektur 24 zwischen

15 Programmspeicher 22 und Decodiereinrichtung 23 angeordnet. Es wäre selbstverständlich auch denkbar, daß die Schaltung zur Befehlskorrektur 24 zwischen der Decodiereinrichtung 23 und der Rechen- und Steuereinheit 21 angeordnet ist bzw. durch die Rechen- und Steuereinheit 21 selbst gebildet wird.

20

Die Schaltung zur Befehlskorrektur 24 weist einen beispielsweise als Festwertspeicher ausgebildeten, lokalen internen Speicher 25 auf. Zusätzlich oder alternativ wäre es auch denkbar, den lokalen Speicher als externen Speicher 26, der mit der Schaltung zur Befehlskorrektur 24 über eine I/O-Schnittstelle 27 verbunden ist, zu realisieren.

25

Ferner wäre es denkbar, wenn die Schaltung zur Befehlskorrektur 24 und der interne Speicher 25 in Form eines einzigen Bauteiles realisiert ist. Dieser Sachverhalt ist in Figur 2 mit dem durch gestrichelte Linie angedeuteten Kästchen dargestellt. Besonders vorteilhaft ist es ferner, wenn die Schaltung zur Befehlskorrektur 24 außerhalb der programmgesteuerten Einheit 2 angeordnet ist. Diese Möglichkeit ist insbesondere

30

35

dere bei einem als Microcontroller ausgebildeten programmgesteuerten Einheit 2 von Vorteil.

5 In dieser "Durchgangsposition" zwischen Programmspeicher 22 und Dekodereinrichtung 23 kann die Schaltung zur Befehlskorrektur 24 alle von dem Programmspeicher 22 ankommenden Befehle  $B_0$ , die der Decodiereinrichtung 22 zugeführt werden sollen, kontrollieren. Gegebenenfalls auszusortierende Befehle/Befehlsfolgen können dann durch neue Befehle/Befehlsfolgen  
10  $B_0'$  ersetzt werden. Diese Befehlskorrektur erfolgt durch einen internen Vergleich jedes in die Schaltung zur Befehlskorrektur eingekoppelten Datums eines Befehlscodes  $B_0$  mit entsprechenden Befehlscodes, die in dem lokalen Speicher 25, 26 abgelegt sind. Die entsprechenden Befehlscodes der gegebenenfalls auszusortierenden Befehle/Befehlsfolgen können vorteil-  
15 hafterweise ebenfalls in dem lokalen Speicher 25, 26 abgelegt sein.

Der besondere Vorteil der vorliegenden Erfindung besteht darin, daß die Schaltung zur Befehlskorrektur 24 bzw. der lokale Speicher 25, 26 leicht umprogrammierbare Bauteile sind, mit denen nachträglich erkannte Fehler beispielsweise im Programmspeicher bzw. der Rechen- und Steuereinheit 21 auf einfache Weise korrigiert werden können, ohne daß der komplette  
20 Microcontroller 2 ausgetauscht werden muß. Für die Umprogrammierung ist es grundsätzlich bereits ausreichend, in dem lokalen Speicher 25, 26 die Befehle/Befehlsfolgen abzulegen, die auszusortieren sind, sowie die Befehle/Befehlsfolgen, durch die sie zu ersetzen werden sollen.  
25

30 Hierbei kann durch geeignete hardwaremäßige Maßnahmen sichergestellt werden, daß die Wirkung bzw. die Funktionsweise der Schaltung zur Befehlskorrektur 24 nicht umgangen werden kann. Im einfachsten Fall kann diese Wirkung dadurch bewerkstelligt  
35 werden, daß der lokale Speicher 25, 26 hardwaremäßig als Festwertspeicher fixiert ist. Insbesondere kann ein solcher

Festwertspeicher in bekannter Weise als ROM-, PROM-, EPROM- oder EEPROM-Speicherbauteil realisiert sein.

5 Während diese Hardwarelösung nahezu umgehungssicher ist, erfordert sie andererseits zusätzlichen Aufwand materialtechnischer und arbeitstechnischer Art. Deshalb können softwaremäßige Lösungen bevorzugt sein, bei denen die softwaregesteuerte Umprogrammierung des lokalen Speichers 25, 26, beispielsweise gesteuert durch die Rechen- und Steuereinheit 21, erfolgen kann.  
10

Bei einer solchen softwaremäßigen Umprogrammierung müßte insbesondere Vorsorge für einen Mißbrauch dieser Programmierung getroffen werden. Dies könnte beispielsweise durch einen  
15 passwortgeschützten lokalen Speichers 25, 26 erreicht werden, wobei das Passwort beispielsweise lediglich dem Hersteller bekannt ist. Sobald dann ein fehlerhafter Befehl/Befehlsfolge des Microcontrollers 2 bekannt wird, könnte der Hersteller dieses Passwort bekanntgeben und durch ein spezielles Programm die Belegung eines oder mehrerer Speichersegmente im  
20 lokalen Speicher 25, 26 mit den benötigten Korrekturdaten - d. h. mit den auszusortierenden Befehlen und mit den diese ersetzenden Befehle - erlauben.

25 Auf diese Weise kann der lokale Speicher 25, 26 auf einfache Weise durch bloße Softwareanweisungen je nach Bedarf mit Korrekturdaten belegt werden. Die Korrektur gravierender Fehler in der Rechen- und Steuereinheit 21 bzw. im Programmspeicher könnte auf sehr einfache Weise erfolgen. Insbesondere wäre es  
30 auch denkbar, daß diese softwaregesteuerte Umprogrammierung des lokalen Speichers 25, 26 auf einfache Weise und kostenattraktiv beispielsweise über Internet oder einem gängigen anderen Datennetzwerk erfolgt.

35 Die oben beschriebene Ausführung der Schaltung zur Befehlskorrektur 24 ist selbstverständlich, sofern die Funktionalität dieser Schaltung erhalten bleibt, in weiten Grenzen ab-

wandelbar. Insbesondere wäre es auch denkbar, die Schaltung zur Befehlskorrektur 24 mit einem Cache-Speicher zu kombinieren.

- 5 Nachfolgend wird das erfindungsgemäße Verfahren zur Befehlskorrektur 24 anhand des Ablaufdiagramms in Figur 3 näher beschrieben.

10 In den Eingang der Schaltung zur Befehlskorrektur 24 wird ein Befehl  $B_0$  aus dem Programmspeicher 22 eingekoppelt. Bei dem Befehl  $B_0$  handelt es sich beispielsweise um einen Befehlscode, der durch die Rechen- und Steuereinheit 21 ausgeführt werden soll. Typischerweise, jedoch nicht notwendigerweise, weist der Befehl  $B_0$  eine Wortbreite von 4, 8, 16 oder 32 Bit  
15 auf.

Der Befehl  $B_0$  wird in einem ersten Verfahrensschritt (A) mit N-verschiedenen Vergleichsbefehlen  $v_i$  ( $i = 1 \dots N$ ) verglichen. Die Vergleichsbefehle  $v_i$  sind zum Beispiel die in dem lokalen  
20 Speicher 25 abgelegten auszusortierenden Befehle bzw. deren Befehlsmuster. Aus Sicherheitsgründen sollte bei einer solchen Abfrage nicht ein direkter Vergleich ( $B_0 = v_i$  ?) vorgenommen werden. Besonders vorteilhaft ist es vielmehr, wenn der zu vergleichende Befehl  $B_0$  vor dem eigentlichen Vergleich  
25 durch eine eindeutige Codier-Abbildung  $C_i(B_0)$  transformiert wird. Diese Transformation kann im einfachsten Fall mittels einer bitweisen XOR-Verknüpfung mit einem beispielsweise nur dem Prozessorhersteller bekannten Codewort  $c_i$  erzielt werden. Für diese Transformation gilt dann folgende Beziehung:

30

$$C_i(B_0) := B_0 \text{ XOR } c_i$$

Diese Codier-Abbildung  $C_i(B_0)$  können auf der Schaltung zur Befehlskorrektur 24 auf einfache Weise durch eine bekannte  
35 Logikschaltung, zum Beispiel durch ein festverdrahtetes logischens Gatter, ausgebildet sein.

In Abhängigkeit von dem Ergebnis dieses Vergleichs wird in einem zweiten Verfahrensschritt (B) der ausgangsseitig durch die Schaltung zur Befehlskorrektur 24 bereitgestellte Befehl  $B_0'$  bestimmt. Dieser Befehl  $B_0'$  kann dann an die Steuer- und Recheneinheit 21 weitergeleitet werden.

Für den ersten Fall (1), daß keine Übereinstimmung bei dem Vergleich gefunden wurde, ist  $B_0' = B_0$ . Daß bedeutet, der in die Schaltung zur Befehlskorrektur 24 eingekoppelte Befehl  $B_0$  bleibt unverändert.

Für den zweiten Fall (2), daß eine Übereinstimmung von  $B_0$  und  $v_j$  gefunden wurde, wird am Ausgang der Schaltung zur Befehlskorrektur 24 eine Folge von  $M_j$  Ersatzbefehlen ausgegeben, wobei für den Befehl  $B_0'$  gilt:

$$B_0' = \{e_1^j, \dots, e_{M_j}^j\}$$

Im einfachsten Fall wird hier stets nur ein einziger Befehl  $B_0$  ausgegeben, d. h.  $M_j = 1$ . Allerdings kann die Leistungsfähigkeit der Schaltung zur Befehlskorrektur 24 erheblich gesteigert werden, wenn hier ganze Befehlsfolgen  $B_0' = \{e_1^j, \dots, e_{M_j}^j\}$  eingesetzt werden können. In diesem Falle ist allerdings auch eine zeitliche Abstimmung der Schaltung zur Befehlskorrektur 24 mit dem Befehlholen-Takt der Rechen- und Steuereinheit 21 erforderlich.

Bei dem oben beschriebenen Einbau ganzer Befehlsfolgen sollten die entsprechenden Daten möglichst ganz im Speicher 25 abgelegt sein. Das kann indes zu Problemen führen, wenn dessen Speicherkapazität erschöpft ist oder wenn variable Ersetzungen vorgenommen werden müssen (z. B. abhängig von der laufenden Software-Applikation). Für diesen Fall besteht alternativ oder zusätzlich die Möglichkeit, als Ersatzbefehl einen Software-Interrupt auszugeben, der extern (z. B. im BIOS) eine passende Routine mit der Funktionsnummer FN aufruft. Sym-

bolisch könnte der Ausgangsbefehl  $B_0'$  dann folgendermaßen aussehen:

5  $B_0' = \{ \text{lade Funktionsnummer FN in Register;} \\ \text{interrupt zu FN,} \}$

Der dritte Verfahrensschritt (C) in Figur 3 zeigt einen möglichen Ablauf zur Veränderung der Inhalte der Schaltung zur Befehlskorrektur 24 (Load-Modus). Eine derartige Veränderung könnte z. B. von einem eigens für die Schaltung zur Befehlskorrektur 24 vorgesehenen Befehl  $B_0 = \text{load}$  eingeleitet werden. Beim dem Vergleich im Verfahrensschritt (A), (B) wird dieser Befehl erkannt und führt dazu, daß die Schaltung zur Befehlskorrektur 24 in einen Load-Modus übergeht, in dem er  
10 eingekoppelte Befehle  $B_0$  intern ausgewertet wird. Das Ergebnis dieser internen Auswertung kann, muß jedoch nicht, an die Rechen- und Steuereinheit 21 weitergeleitet werden. Gegebenenfalls könnten ersatzweise sogenannte No-Operation Befehle  $B_0' = \{ \text{nop} \}$  oder dergleichen an die Rechen- und Steuereinheit  
15 21 weitergeleitet werden. Dieser kann dann den nächsten Befehlholen-Takt zum Einlesen des nächsten Befehls anzeigen.

Im Load-Modus werden die dem load-Befehl nachfolgenden Daten  $B_0$  als sukzessive Informationen darüber verstanden,

- 25 (a) welcher Vergleichswert  $k$   
 (b) mit dem jetzigen Inhalt  $v_k$   
 (c) mit einem neuen Inhalt  $v_k$  überschrieben werden soll  
 und  
 (d) welche Anzahl  $M_k$  von  
 30 (e) Ersatzbefehlen  $e_1^k, \dots, e_{M_k}^k$  dafür eingesetzt werden sollen.

Der Load-Modus könnte auch jederzeit, beispielsweise durch einen  $B_0 = \text{end-load}$ -Befehl oder durch eine falsche Eingabe,  
35 beendet werden.

Aus Sicherheitsgründen könnte der Load-Modus auch abgebrochen werden, wenn

- unter (a) ein  $k$  angegeben wird, das nicht dem nächsten freien  $k$  entspricht (d. h. es müßte  $k=N+1$  gelten, also der Anzahl der bisher eingespeicherten Vergleiche plus eins entsprechen), oder wenn
- unter (b) nicht korrekt der augenblickliche Inhalt  $v_k$  angegeben ist; dieser Inhalt dient also als ein - nur dem Hersteller bekanntes - Password, welches erst unmittelbar vor einem Überschreiben eingegeben werden kann.

Diese Sicherheitskontrolle bedingt, daß jeder Vergleichswert  $v_k$  nur genau einmal gesetzt werden kann. Will man ein beliebig häufiges Überschreiben zulassen, so dürfte die Passwort-Kontrolle nicht mehr über den Inhalt  $v_k$  erfolgen (der ja nach dem ersten Verändern öffentlich bekannt wird), sondern sie müßte über einen separaten Password-Speicher - ähnlich den Transaktions-Nummern im online-banking - oder eine andere Art der Zugangskontrolle erfolgen.

Besonders vorteilhaft ist es, wenn das Verfahren zur Befehlskorrektur von eingekoppelten Befehlen  $B_0$  auf sehr schnelle Art und Weise mit in dem lokalen Speicher 25 abgelegten Befehlen/Befehlsfolgen verglichen wird. Dies ist insbesondere dann erreichbar, wenn diese im lokalen Speicher 25 abgelegten Befehle/Befehlsfolgen in Form von Befehlsmustern abgelegt sind. Diese Befehlsmuster kontrollieren dabei lediglich einen Teil der Daten der eingekoppelten Befehle  $B_0$ . Durch diesen Vergleich dieser Befehlsmuster kann die Leistungsfähigkeit der Schaltung zur Befehlskorrektur erheblich gesteigert werden, wodurch das Verfahren zur Befehlskorrektur nahezu ohne Verzögerung ablaufen kann.

Die vorliegende Erfindung bezieht sich generell auch auf die Implementierung von benutzerspezifischen Befehlen in einem festverdrahteten Baustein. Durch die vorliegende Erfindung kann der Benutzer auf sehr einfache Weise einen kompletten

Befehlssatz durch einen Einzelbefehl ersetzen. Auf diese Weise muß diese Befehlssegments nicht mehrere Male im Programmcode des Programmspeichers oder in Form eines Unterprogrammes abgelegt sein. In diesem Fall arbeitet die Schaltung zur Befehlskorrektur quasi als "Precompiler" oder Vorübersetzer.

In einer Weiterbildung der Erfindung kann die erfindungsgemäße Schaltung zur Befehlskorrektur auch sehr vorteilhaft dafür eingesetzt werden, benützerspezifische Befehle in eine fest verdrahteten Logikschaltung zu implementieren.

Der besondere Vorteil darin liegt, daß fehlerhafte Befehle auf einfache Weise durch ganze Befehlsfolgen bzw. Befehlssequenzen, die dasselbe funktionelle jedoch nicht notwendigerweise zeitliche Verhalten des ursprünglichen Befehles aufweisen, ersetzt werden. Insbesondere kann der Benutzer hiermit auch die Adreßweite signifikant verringern.

Ein weiterer Vorteil besteht in der Möglichkeit der Verringerung der Benutzerfreundlichkeit von gewissen Operationen, beispielsweise wenn der Benutzer aus Gründen der Datensicherheit bewußt die Funktionalität herabsetzen möchte.

Besonders vorteilhaft ist die Erfindung, wenn die zu ersetzenden Befehle durch makroähnliche Befehlsfolgen oder Befehlssequenzen ersetzt werden. Auf diese Weise kann der Anwender die Codierungsdichte deutlich erhöhen. Weiters kann der Anwender ebenfalls die Leistungsaufnahme signifikant verringern, da durch diese makroähnlichen Befehle häufige Zugriffe auf Befehle oder Befehlscodes aus dem Programmspeicher, die naturgemäß einen erhöhten Leistungsverbrauch zur Folge haben, ersetzt werden können.

## Patentansprüche

1. Programmgesteuerte Einheit (2), die dazu ausgelegt ist,  
ein Programm bestehend aus einer Vielzahl von Befehlen ( $B_0$ )  
5 auszuführen,  
- mit mindestens einem Programmspeicher (22), in dem die  
Vielzahl von Befehlen ( $B_0$ ) abgelegt ist,  
- mit mindestens einer Decodiereinrichtung (23), der nachein-  
ander einzelne Befehle ( $B_0$ ) aus dem Programmspeicher (2)  
10 zuführbar sind, und  
- mit mindestens einer Ausführungseinheit (21, die die deco-  
dierten Befehle ( $B_D$ ) der Decodiereinrichtung (3) weiterver-  
arbeitet,  
dadurch gekennzeichnet, daß  
15 mindestens eine Einrichtung zur Befehlskorrektur (24) vorge-  
sehen ist, die einen einzelnen, aus dem Programmspeicher (22)  
ausgelesenen Befehl ( $B_0$ ) mit mindestens einem vorgegebenen  
Befehl oder Befehlsmuster vergleicht und bei einem Abweichen  
des ausgelesenen Befehls ( $B_0$ ) von dem vorgegebenen Befehl  
20 oder Befehlsmuster einen transformierten oder korrigierten  
Befehl ( $B_0'$ ) erzeugt.
2. Programmgesteuerte Einheit nach Anspruch 1,  
dadurch gekennzeichnet, daß  
25 die Einrichtung zur Befehlskorrektur (24) eine Speicherein-  
richtung (25, 26) aufweist, in der die vorgegebenen Befehle  
oder Befehlsmuster abgelegt sind.
3. Programmgesteuerte Einheit nach einem der vorstehenden An-  
30 sprüche,  
dadurch gekennzeichnet, daß  
die Speichereinrichtung (25, 26) schreibgeschützt ist.
4. Programmgesteuerte Einheit nach einem der vorstehenden An-  
35 sprüche,  
dadurch gekennzeichnet, daß  
die Speichereinrichtung (25, 26) ein Festwertspeicher ist.

5. Programmgesteuerte Einheit nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, daß  
5 die Speichereinrichtung (25, 26) und/oder die Schaltung zur Befehlskorrektur (24) austauschbar ist.
6. Programmgesteuerte Einheit nach einem der vorstehenden Ansprüche,  
10 dadurch gekennzeichnet, daß  
der vorgegebene Befehl oder Befehlsmuster einen Fehler im Befehlssatz des Programmspeichers (22) anzeigt.
7. Programmgesteuerte Einheit nach einem der vorstehenden Ansprüche,  
15 dadurch gekennzeichnet, daß  
der vorgegebene Befehl oder Befehlsmuster die Datenfolge oder Befehle von mindestens einem bekannten Programmvirus angibt.
- 20 8. Programmgesteuerte Einheit nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, daß  
die programmgesteuerte Einheit (2) als Mikroprozessor oder als Mikrocontroller oder als Signalprozessor ausgebildet ist.  
25
9. Programmgesteuerte Einheit nach einem der vorstehenden Ansprüche,  
dadurch gekennzeichnet, daß  
die Ausführungseinheit (21) die zentrale Recheneinheit ist.  
30
10. Verfahren zur Befehlskorrektur bei einer programmgesteuerten Einheit (2) nach einem der vorstehenden Ansprüche,  
bei der folgende Verfahrensschritte ausgeführt werden:  
a) Ein einzelner Befehl ( $B_0$ ) wird aus dem Programmspeicher  
35 (22) in die Schaltung zur Befehlskorrektur (24) geladen;  
b) der Befehl ( $B_0$ ) wird mit mindestens einem vorgegebenen Befehl oder Befehlsmuster verglichen;

- c) bei einem Abweichen des Befehls ( $B_0$ ) von dem vorgegebenen Befehlsmuster wird ein transformierter oder korrigierter Befehl ( $B_0'$ ) erzeugt;
- d) der transformierte oder korrigierte Befehl ( $B_0'$ ) wird anschließend der Decodiereinrichtung (23) zugeführt.

11. Verfahren zur Befehlskorrektur eines Programmes nach Anspruch 10,

dadurch gekennzeichnet, daß

- e) die Schritte a) bis d) solange wiederholt werden, bis das vollständige Programm aus dem Programmspeicher (2) geladen wurde und von der Schaltung zur Befehlskorrektur (24) überprüft wurde.

12. Verfahren nach einem der Ansprüche 10 oder 11,

dadurch gekennzeichnet, daß

- der vorgegebene Befehl oder Befehlsmuster über Internet oder einem ähnlichen Datennetzwerk in die Speichereinrichtung (25, 26) oder die Einrichtung zur Befehlskorrektur (24) eingelesen wird.

13. Verfahren nach einem der Ansprüche 10 bis 12,

dadurch gekennzeichnet, daß

- vor dem Vergleich des Befehls mit dem vorgegebenen Befehls oder Befehlsmuster eine Codierabbildung des Befehls ( $B_0$ ) mit einem Codewort ( $c_i$ ) erfolgt.

FIG 1

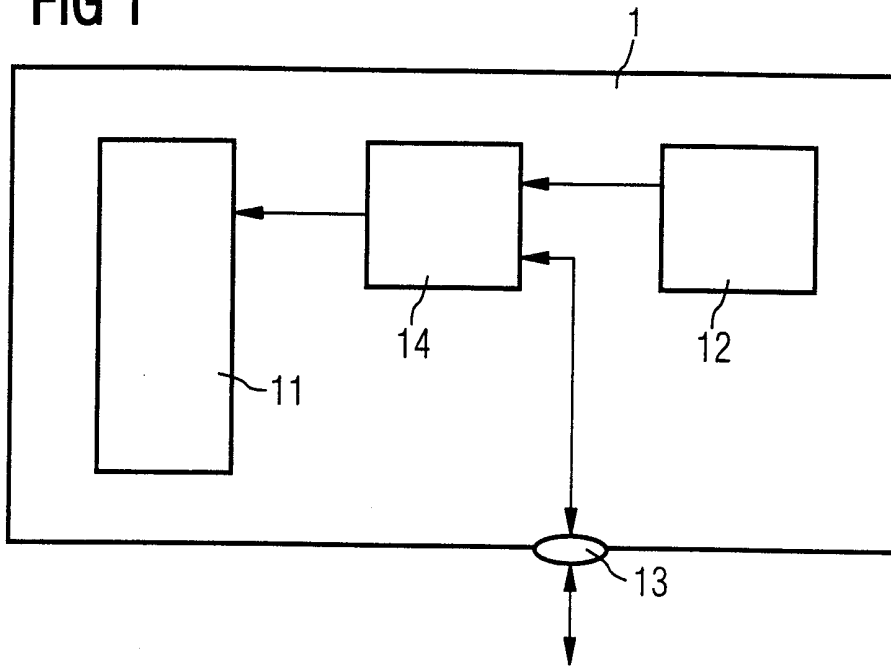


FIG 2

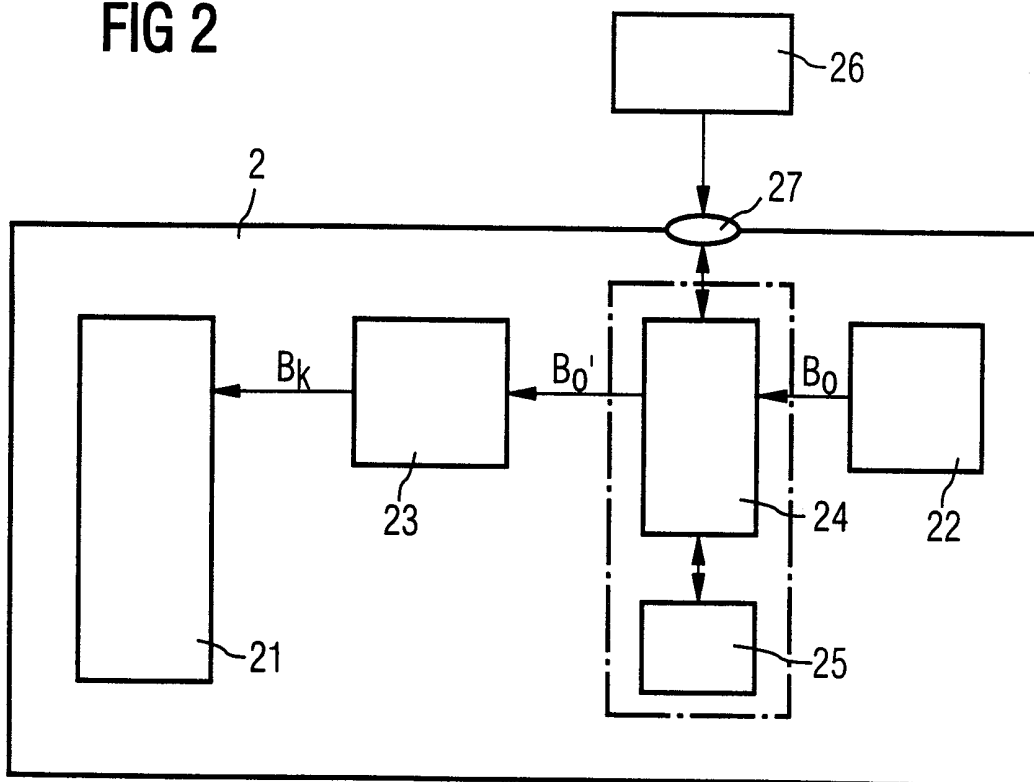


FIG 3

