СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1116424 A

3 (51) G 06 F 5/02

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3592121/18-24
(22) 17.05.83
(46) 30.09.84. Бюл.№36
(72) В.Л.Баранов и Е.А.Смичкус
(71) Ордена Ленина институт кибернетики им. В.М. Глушкова
(53) 681.33(088.8)
(56) 1. Авторское свидетельство СССР №574714, кл. G 06 F 5/00, 1975.

2. Авторское свидетельство СССР №924695, кл. G 06 F 5/02, 1979 (прототип).

(54)(57) ПРЕОБРАЗОВАТЕЛЬ КОДА СИСТЕМЫ ОСТАТОЧНЫХ КЛАССОВ В ПОЗИЦИОННЫЙ КОД, содержащий блок управления, первый сумматор, первый триггер, два элемента И, элемент ИЛИ, причем прямой выход первого триггера соединен с управляющим входом сумматора, блок управления содержит генератор тактовых импульсов, триггер и элемент И, причем выход генератора тактовых импульсов соединен с первым входом элемента И, второй вход которого соединен с прямым выходом триггера, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия, преобразователь содержит три регистра сдвига, блок умножения, два сумматора, формирователь дополнительного кода, переключатель основания, переключатель диапазона, коммутатор, четыре элемента И, два элемента задержки, второй триггер, блок управления содержит делитель частоты, распределитель, генератор одиночных импульсов, второй и третий элементы И, первый и второй элементы ИЛИ, элемент задержки, причем выход первого элемента И соединен с информационным входом делителя частоты и с первыми входами второго и третьего элементов И, инверсный выход генератора тактовых импульсов соединен с тактовым входом генератора одиночных импульсов, выход которого соединен с единичным входом триггера, вторые входы второго и третьего элементов И соединены соответственно с выходами первого и второго элементов ИЛИ, выход делителя частоты соединен с входом распределителя и входом элемента задержки, первые входы первого и второго элементов ИЛИ соединены с выходом второго разряда распределителя импульсов, выходы первого и третьего разрядов которого соединены соответственно с вторыми входами первого и второго элементов ИЛИ, импульсный выход третьего разряда распределителя импульсов соединен с нулевым входом триггера, причем в преобразователе единичные входы первого и второго триггеров соединены соответственно с выходами первого и второго элементов И, первый вход первого и первый вход второго элементов И соединены соответственно с выходами последнего и первого разрядов первого регистра сдвига, информационный вход которого соединен с выходом третьего элемента И, первый и второй выходы которого соединены соответственно с первым входом элемента ИЛИ и выходом второго сумматора, выход блока умножения соединен с первым входом первого сумматора, выход которого соединен с первым входом третьего сумматора, выход первого регистра сдвига соединен с инфор-

(19) SU (11) 1116424 A

мационным входом формирователя дополнительного кода, выход которого соединен с первыми входами второго сумматора и четвертого элемента И, выход которого соединен с первым входом блока умножения, второй вход которого соединен с выходом переключателя основания, информационный вход второго регистра сдвига соединен со своим выходом, со вторым входом второго сумматора и первым входом пятого элемента И, выход которого через первый элемент задержки соединен с вторым входом первого сумматора, прямой выход первого триггера соединен с вторым входом элемента ИЛИ, выход которого соединен с входом управления формирователя дополнительного кода, выход третьего сумматора соединен с информационным входом третьего регистра сдвига, входы ввода данных которого соединены с выходами переключателя диапазона, прямой выход второго триггера соединен с входом управления коммутатора, выход которого соединен с вторым входом третьего сумматора, выход третьего регистра сдвига соединен с первым входом шестого элемента И с первым информационным входом коммутатора, второй информационный вход которого соединен через второй элемент задержки с выходом шестого элемента И, второй вход которого соединен с инверсным выходом первого триггера, вход сброса формирователя дополнительного кода соединен с вторыми входами первого и второго элементов И и выходом элемента задержки блока управления, вход запуска генератора одиночных импульсов которого соединен с входом "Пуск" преобразователя первый вход элемента ИЛИ соединен с выходом первого разряда распределителя блока управления, входы управления занесением информации первого, второго и третьего сдвиговых регистров соединены с выходом генератора одиночных импульсов блока управления, выход второго элемента И которого соединен с входами управления сдвигом первого и второго регистров сдвига, вход управления сдвигом третьего регистра сдвига соединен с выходом третьего элемента И блока управления, выход второго разряда распределителя которого соединен с вторыми входами четвертого и пятого элементов И, нулевые входы первого и второго триггеров соединены с импульсным выходом третьего разряда распределителя блока управления, входы ввода данных первого и второго регистров сдвига являются первым и вторым информационными входами преобразователя, выходом которого является выход данных третьего сдвигового регистра.

1

Изобретение относится к вычислительной технике, предназначено для преобразования чисел из системы остаточных классов в позиционный код и может быть использовано в цифровых системах автоматики и телемеханики.

Известен преобразователь чисел, содержащий двоичный накапливающий счетчик, элемент сравнения, приемный регистр двоичного числа, суммирующий счетчик по модулю, элемент поразрядного сравнения, приемный регистр остатка кодового слова, многовходовой элемент И, триггер

2

управления и переключатель режима работы [1].

Недостаток известного преобразователя - низкое быстродействие.

Наиболее близким по технической сущности к изобретению является преобразователь кода системы остаточных классов в позиционный код, содержащий блок управления, сумматор, блок констант, n+1 счетчиков, триггер, два элемента И и элемент ИЛИ, причем установочные входы первых n счетчиков являются входами преобразователя, счетные их входы подключены к первому входу элемента

ИЛИ и первому выходу блока управления, второй выход которого соединен единичным входом триггера и первым входом управления сумматора, второй управляющий вход которого соединен с выходом триггера, первым входом первого элемента И и управляющим входом (n+1)-го счетчика, установочный вход которого соединен с выходом блока констант, вход которого соединен с выходом n-го счетчика, выход устройства соединен с выходом сумматора, вход которого соединен с выходом элемента ИЛИ, второй вход которого соединен со счетным входом (n+1)-го счетчика и выходом первого элемента И, второй вход которого соединен с третьим выходом блока управления, первый и второй входы которого соединены с входом "Пуск" преобразователя и выходом второго элемента И, первый и второй входы которого соединены с выходами соответствующих счетчиков, кроме того, блок управления содержит генератор тактовых импульсов, триггер и элемент И, причем выход генератора тактовых импульсов соединен с третьим выходом блока управления и первым входом элемента И, второй вход которого соединен с вторым выходом блока управления и выходом триггера, единичный и нулевой входы которого соединены с первым и вторым входами блока управления, первый выход которого соединен с выходом элемента И[2]

Недостатком данного преобразователя является также низкое быстродействие.

Цель изобретения - повышение быстродействия.

Поставленная цель достигается тем, что преобразователь кода системы остаточных классов в позиционный код, содержащий блок управления, первый сумматор, первый триггер, первый и второй элементы И, элемент ИЛИ, причем прямой выход первого триггера соединен с управляющим входом сумматора, а также блок управления, содержащий генератор тактовых импульсов, триггер и элемент И, причем выход генератора тактовых импульсов соединен с первым входом элемента И, второй вход которого соединен с прямым выходом триггера, содержит первый, второй и третий регистры сдвига, блок умножения, два сумматора, формирователь дополнительного кода, переключатель основания, второй триггер, переключатель диапазона, коммутатор, третий, четвертый, пятый и шестой элементы И, первый и второй элементы задержки, а блок управления содержит делитель частоты, распределитель, генератор одиночных импульсов, второй и третий элементы И, первый и второй элементы ИЛИ, элемент задержки, причем выход первого элемента И соединен с информационным входом делителя частоты и с первыми входами второго и третьего элементов И, инверсный выход генератора тактовых импульсов соединен с тактовым входом генератора одиночных импульсов, выход которого соединен с единичным входом триггера, вторые входы второго и третьего элементов И соединены соответственно с выходами первого и второго элементов ИЛИ, выход делителя частоты соединен с входом распределителя и входом элемента задержки, первые входы первого и второго элементов ИЛИ соединены с выходом второго разряда распределителя импульсов, выходы первого и третьего разрядов которого соединены соответственно с вторыми входами первого и второго элементов ИЛИ, импульсный выход третьего разряда распределителя импульсов соединен с нулевым входом триггера, причем в преобразователе единичные входы первого и второго триггеров соединены соответственно с выходами первого и второго элементов И первый вход первого и первый вход второго элементов И соединены соответственно с выходами последнего и первого разрядов первого регистра сдвига, информационный вход которого соединен с выходом третьего элемента И, первый и второй входы которого соединены соответственно с первым входом элемента ИЛИ и выходом второго сумматора, выход блока умножения соединен с первым входом первого сумматора, выход которого соединен с первым входом третьего сумматора, выход первого регистра сдвига соединен с информационным входом формирователя дополнительного кода, выход которого соединен с первыми входами второго сумматора и четвертого элемента И, выход которого соединен с первым входом блока умножения, второй

вход которого соединен с выходом переключателя основания, информационный вход второго регистра сдвига соединен со своим выходом, с вторым входом второго сумматора и первым входом пятого элемента И, выход которого через первый элемент задержки соединен с вторым входом первого сумматора, прямой выход первого триггера соединен с вторым входом элемента ИЛИ, выход которого соединен с входом управления формирователя дополнительного кода, выход третьего сумматора соединен с информационным входом третьего регистра сдвига, входы ввода данных которого соединены с выходами переключателя диапазона, прямой выход второго триггера соединен с входом управления коммутатора, выход которого соединен с вторым входом третьего сумматора, выход третьего регистра сдвига соединен с первым входом шестого элемента И и с первым информационным входом коммутатора, второй информационный вход которого соединен через второй элемент задержки с выходом шестого элемента И, второй вход которого соединен с инверсным выходом первого триггера, вход сброса формирователя дополнительного кода соединен с вторыми входами первого и второго элементов И и выходом элемента задержки блока управления, вход запуска генератора одиночных импульсов которого соединен с входом "Пуск" преобразователя, первый вход элемента ИЛИ соединен с выходом первого разряда распределителя блока управления, входы управления занесением информации первого, второго и третьего сдвиговых регистров соединены с выходом генератора одиночных импульсов блока управления, выход второго элемента И которого соединен с входами управления сдвигом первого и второго регистров сдвига, вход управления сдвигом третьего регистра сдвига соединен с выходом третьего элемента И блока управления, выход второго разряда распределителя которого соединен с вторыми входами четвертого и пятого элементов И, нулевые входы первого и второго триггеров соединены с импульсным выходом третьего разряда распределителя блока управления, входы ввода данных первого и второго регистров сдвига являются первым и вторым информационными входами преобразователя, выходом которого является выход данных третьего сдвигового регистра.

На фиг.1 изображена структурная схема предлагаемого преобразователя; на фиг.2 - то же, блока управления.

Схема (фиг.1) содержит блок 1 управления, регистры 2,3 и 4 сдвига, сумматоры 5,6 и 7, блок 8 умножения, формирователь 9 дополнительного кода, переключатель 10 основания, переключатель 11 диапазона, коммутатор 12, триггеры 13 и 14, элементы И 15-20, элемент ИЛИ 21 и элементы 22 и 23 задержки.

Блок управления (фиг.2) содержит генератор 24 тактовых импульсов, делитель 25 частоты, распределитель 26 импульсов, генератор 27 одиночных импульсов, вход 28, триггер 29, элементы И 30-32, элементы ИЛИ 33 и 34, элемент 35 задержки, выходы 36-42.

Преобразователь кода системы остаточных классов в позиционный код работает следующим образом.

С помощью переключателя 10 устанавливают двоичный код основания P_1 системы остаточных классов, переключатель 11 устанавливает диапазон представления чисел, равный $P_1 \cdot P_2$, где P_1 и P_2 основания системы остаточных классов.

Запуск преобразователя осуществляется сигналом на вход 28 блока 1 управления. По сигналу запуска генератор 27 одиночных импульсов вырабатывает одиночный импульс в паузе между тактовыми импульсами генератора 24 тактовых импульсов. Выходной импульс генератора 27 одиночных импульсов устанавливает триггер 29 в единичное состояние и поступает с выхода 36 блока 1 управления на шины управления регистров 2,3 и 4 сдвига, в которые по этому сигналу вводится исходная информация в виде параллельных двоичных кодов.

Регистры 2 и 3 сдвига содержат n разрядов, а регистр 4 сдвига $-V_n$ 1 разряд.

Параллельные $n-1$ разрядные двоичные коды остатков α_1 и α_2 считываются с входных шин преобразователя и по импульсу пятого выхода 36 блока 1 управления записываются в регистры 2 и 3 сдвига соответст-

венно. Параллельный 2n-2 разрядный двоичный код $P_1 \cdot P_2$ диапазона представления чисел считывается с переключателя 11 и записывается в регистр 4 сдвига.

Блок 1 управления после установки триггера 29 в единичное состояние вырабатывает на выходах следующие управляющие последовательности импульсов.

Тактовые импульсы генератора 24 тактовых импульсов, действующие с частотой f, делятся делителем 25 частоты в n раз и поступают на вход трехразрядного распределителя 26 импульсов.

Из выходных сигналов распределителя 26 импульсов элементы ИЛИ 33 и 34 формируют два сигнала, имеющие длительность $2n/f$. На выходе элемента ИЛИ 33 действует сигнал логической "единицы" во время первых $2n$ тактов работы преобразователя чисел, а на выходе элемента ИЛИ 34 устанавливается сигнал логической "единицы" спустя n тактов после запуска преобразователя чисел и действует в течение следующих $2n$ тактов до конца цикла преобразования. Выходные сигналы элементов ИЛИ 33 и 34 управляют элементами И 31 и 32 соответственно, через которые тактовые импульсы генератора 24 тактовых импульсов поступают на четвертый 37 и третий 38 выход блока 1 управления. Таким образом, на выходе 37 блока 1 управления действует последовательность тактовых импульсов в течение первых $2n$ тактов работы преобразователя чисел, а на третьем 38 выходе - спустя n тактов вырабатывается последовательность тактовых импульсов в течение следующих $2n$ тактов.

Выходные импульсы делителя 25 частоты задерживаются элементом 35 задержки на длительность тактового импульса генератора 24 тактовых импульсов и поступают на второй 39 выход блока 1 управления, на первом 40 и шестом 41 выходах которого действуют соответственно сигналы первого и второго разрядов распределителя 26 импульсов.

Сигнал с выхода 40 блока 1 управления поступает через элемент ИЛИ 21 на вход управления формирователя 9 дополнительного кода и переводит его в режим формирования дополнительного кода. Под действием последовательности тактовых импульсов с выхода 37 блока 1 управления двоичные коды остатков α_1 и α_2 сдвигаются, начиная с младшего разряда, с выходов регистров 2 и 3 сдвига соответственно. Формирователь 9 дополнительного кода преобразует двоичный код остатка α_1 в дополнительный код, который поступает на первый вход сумматора 5. Последовательный двоичный код, формируемый сумматоров 5 из дополнительного кода остатка α_1 и прямого кода остатка α_2, сдвигаемого с выхода регистра 3 сдвига, записывается через элемент И 17 в регистр 2 сдвига за время n тактов.

Таким образом, спустя n тактов после запуска преобразователя в регистре 2 сдвига устанавливается прямой или дополнительный код разности (остатков $\alpha_2 - \alpha_1$). Если разность остатков нечетная, то на выходе первого разряда регистра 2 сдвига действует сигнал логической "единицы". Если разность остатков четная, то на выходе первого разряда регистра 2 сдвига действует сигнал логического "нуля". Прямой или дополнительный код разности остатков дает на выходе n-го разряда регистра 2 сдвига сигнал логического "нуля" или "единицы" соответственно.

Спустя n тактов после запуска преобразователя на выходе 39 блока 1 управления вырабатывается импульс, по которому сбрасывается в исходное состояние формирователь 9 дополнительного кода, а также информация первого и n-го разрядов регистра 2 сдвига, переписывается через элементы И 16 и 15 в триггеры 13 и 14 соответственно. Таким образом, триггер 13 содержит информацию о четности или нечетности разности остатков, а триггер 14 - о знаке разности остатков.

Во вторые n тактов двоичный код разности остатков сдвигается под действием тактовых импульсов с выхода 37 блока 1 управления через формирователь 9 дополнительного кода и элемент И 18 на первый вход блока 8 умножения.

Формирователь 9 дополнительного кода преобразует дополнительный код разности остатков в прямой код, если на его вход управления через

элемент ИЛИ 21 поступает сигнал логической "единицы" прямого выхода триггера 14 или пропускает без изменения прямой код разности остатков, когда триггер 14 находится в нулевом состоянии.

Следовательно, на выходе формирователя 9 дополнительного кода во время вторых n тактов формируется прямой код абсолютной величины разности остатков, который через элемент И 18 поступает, начиная с младшего разряда, на последовательный вход блока 8 умножения. На последнем формируется последовательный двоичный код произведения $P_1 \cdot |\alpha_2 - \alpha_1|$, начиная с младшего разряда.

Сумматор 7 устанавливается в режим суммирования, если триггер 14 устанавливается в единичное состояние (знак разности остатков отрицателен), либо в режим вычитателя, когда триггер 14 находится в нулевом состоянии (знак разности остатков положителен). В зависимости от режима работы сумматор 7 формирует последовательный двоичный код величины $2\alpha_2 \pm P_1 \cdot |\alpha_2 - \alpha_1|$.

Последовательный двоичный код остатка α_2 во время вторых n тактов сдвигается, начиная с младшего разряда, под действием тактовых импульсов с выхода 37 блока 1 управления с выхода регистра 3 сдвига и поступает через элемент И 19 и элемент 22 задержки на такт на вход сумматора 7. Элемент 22 задержки обеспечивает сдвиг на один разряд последовательного двоичного кода остатка α_2 по отношению к последовательному двоичному коду произведения, т.е. реализует операцию умножения двоичного кода остатка на два.

Коммутатор 12 подключает выход регистра 4 к входу сумматора 6, если триггер 13 находится в единичном состоянии (разность остатков нечетная), либо подключает вход сумматора 6 к выходу элемента 23 задержки на такт, когда триггер 13 находится в нулевом состоянии (разность остатков четная). Элемент И 20 блокирует вход элемента 23 задержки, если триггер 14 находится в единичном состоянии, (знак разности остатков отрицателен), либо подключает выход регистра 4 сдвига к входу элемента 23 задержки, когда триггер 14 находится в нулевом состоянии (знак разности остатков положителен).

Спустя n тактов после запуска преобразователя двоичный код величины $P_1 \cdot P_2$ сдвигается под действием тактовых импульсов третьего выхода блока 1 управления из регистра 4 сдвига, и начиная с младшего разряда, поступает через коммутатор 12 на вход сумматора 6, когда разность остатков нечетная.

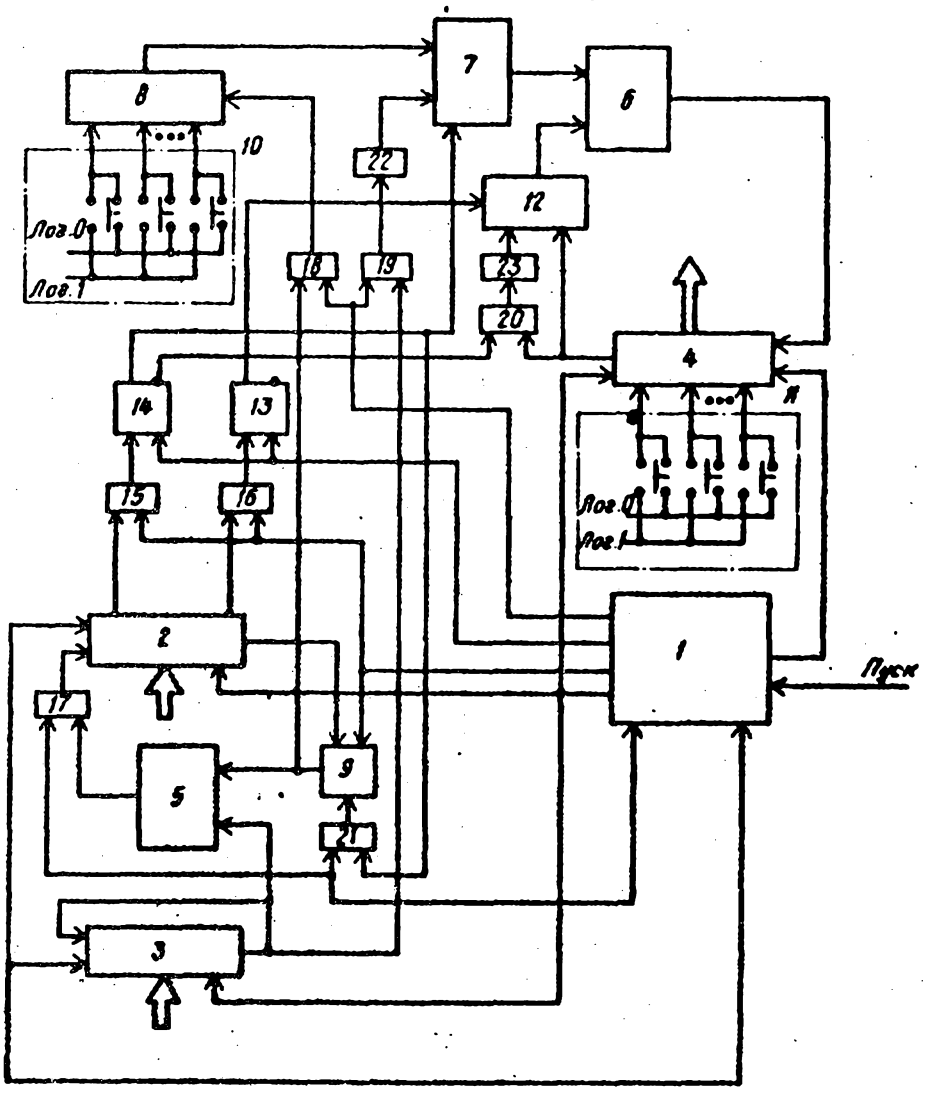
В этом случае на выходе сумматора 6 формируется последовательный двоичный код величины $P_1 \cdot P_2 + 2\alpha_2 \pm P_1 |\alpha_2 - \alpha_1|$, который равен удвоенному значению преобразованного числа. Когда разность остатков четная и знак разности остатков положителен, то двоичный код $P_1 \cdot P_2$ сдвигается из регистра 4 сдвига через элемент И 20, элемент 23 задержки на такт и коммутатор 12 на вход сумматора 6. Элемент 23 задержки на такт обеспечивает сдвиг на один разряд последовательного двоичного кода величины $P_1 \cdot P_2$ по отношению к последовательному двоичному коду, формируемому на выходе сумматора 7, т.е. реализует операцию умножения на два. В этом случае на выходе сумматора 6 формируется последовательный двоичный код величины $2P_1 \cdot P_2 + 2\alpha_2 - P_1 |\alpha_2 - \alpha_1|$, который равен удвоенному значению преобразованного числа.

В том случае, если разность остатков четная и знак разности остатков отрицателен, то элемент И 20 закрыт сигналом с инверсного выхода триггера 14 и на выходе коммутатора 12 действует нулевой двоичный код. На выходе сумматора 6 формируется в этом случае двоичный код величины $2\alpha_2 + P_1 \cdot |\alpha_2 - \alpha_1|$ который равен удвоенному значению преобразованного числа.

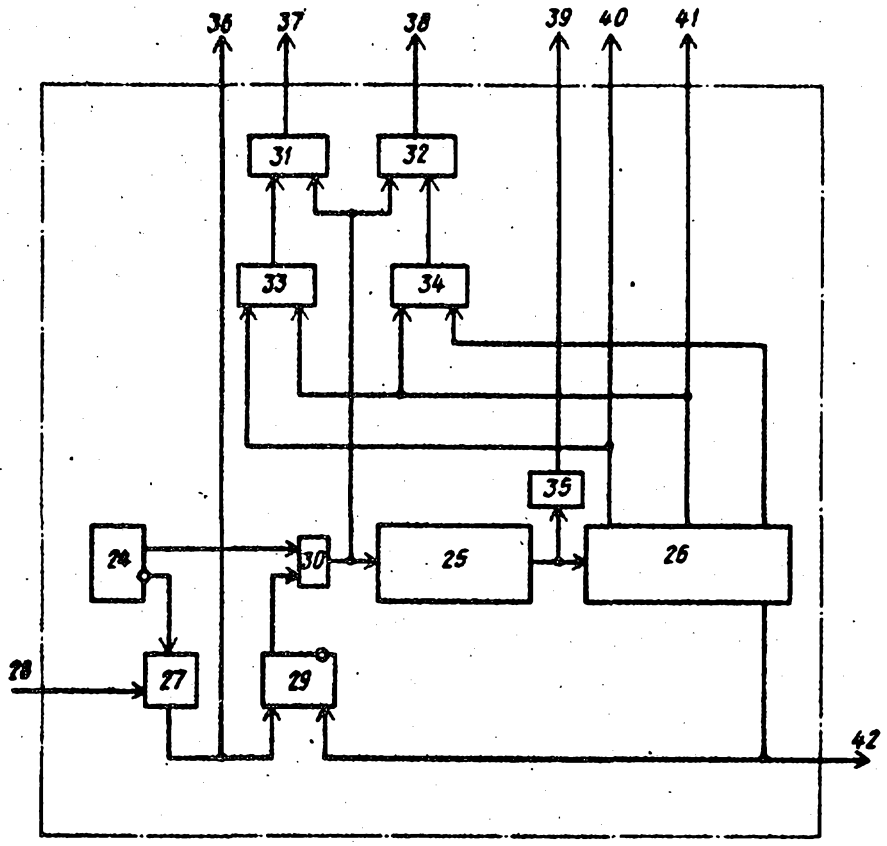
Последовательный двоичный код преобразованного числа с выхода сумматора 6 записывается, начиная с младшего разряда, в регистр 4 сдвига под действием тактовых импульсов с третьего 38 выхода блока 1 управления. Спустя 3 n тактов после запуска преобразователя чисел на импульсном выходе третьего разряда распределителя 26 импульсов формируется импульс, сбрасывающий триггер 29 блока 1 управления в нулевое состояние, в котором элемент И 30 блоки-

руется. Одновременно этот импульс поступает на седьмой 42 выход блока 1 управления и сбрасывает триггеры 13 и 14 в нулевое состояние. Цикл преобразования чисел заканчивается, а в регистре 4 сдвига фиксируется двоичный код преобразованного числа. Разрядность регистра 4 сдвига выбрана так, чтобы младший разряд двоичного кода преобразованного числа (второй разряд удвоенного значения преобразованного числа) в конце цикла преобразования находился в первом разряде регистра 4 сдвига.

Таким образом, при одинаковых диапазонах представления чисел предложенный преобразователь примерно в 3 раза превосходит по быстродействию прототипа, а при малых величинах диапазона представления с увеличением диапазона представления выигрыш в быстродействии предложенного устройства над прототипом растет. Кроме того, время преобразования в предложенном постоянно и не зависит от выбора оснований системы остаточных классов и преобразуемых чисел.



Фиг.1



Фиг. 2

Составитель А. Клюев
Редактор М. Келемеш Техред Т.Маточка Корректор И. Эрдейи

Заказ 6930/38 Тираж 698 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4