

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

**2 552 257**

②1 N° d'enregistrement national :

**83 14774**

⑤1 Int Cl<sup>4</sup> : G 11 C 8/00.

⑫

## DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 16 septembre 1983.

③0 Priorité :

④3 Date de la mise à disposition du public de la  
demande : BOPI « Brevets » n° 12 du 22 mars 1985.

⑥0 Références à d'autres documents nationaux appa-  
rentés :

⑦1 Demandeur(s) : LABORATOIRES D'ELECTRONIQUE ET  
DE PHYSIQUE APPLIQUEE - LEP, société anonyme. —  
FR.

⑦2 Inventeur(s) : Bertrand Gabillard.

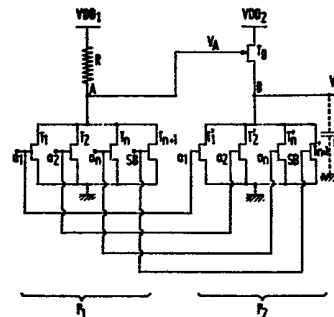
⑦3 Titulaire(s) :

⑦4 Mandataire(s) : Claudine Lottin, société civile SPID.

⑤4 Circuit décodeur pour mémoire RAM statique.

⑤7 Circuit décodeur élémentaire pour mémoire RAM statique  
intégrée monolithiquement, réalisé à l'aide de transistors à  
effet de champ en arséniure de gallium, constitué d'une part  
d'une première porte logique NON-OU  $P_1$  à  $(n + 1)$  entrées  
sur lesquelles sont portés les  $n$  signaux codés d'adressage de  
la mémoire ou bien leur complémentaire, et le signal de  
sélection du boîtier SB, cette porte  $P_1$  étant chargée à travers  
une résistance R par une tension d'alimentation  $V_{DD1}$ , et  
constitué d'autre part par une seconde porte NON-OU  $P_2$  qui  
admet les mêmes entrées que la porte  $P_1$  et dont la charge est  
remplacée par un transistor  $T_0$ , sur la grille duquel est appli-  
quée la sortie de la porte  $P_1$  et dont le drain est relié à la  
tension d'alimentation  $V_{DD2} < V_{DD1}$ ,  $V_{DD2}$  étant la tension  
d'alimentation des cellules mémoires fixée à la valeur d'écrê-  
tage des jonctions de grille des transistors qui les constituent,  
et la sortie  $V_S$  ou ligne de MOT de ce décodeur élémentaire se  
faisant sur les drains des transistors formant la porte  $P_2$  reliés  
à la source du transistor  $T_0$ .

Application : mémoires-caches ultrarapides.



FR 2 552 257 - A1

D

CIRCUIT DECODEUR POUR MEMOIRE RAM STATIQUE

L'invention concerne un circuit décodeur élémentaire pour une mémoire RAM statique intégrée monolithiquement, réalisé à l'aide de transistors à effet de champ en arséniure de gallium et constitué d'une porte NON-OU  $P_1$  sur les  $n$  entrées de laquelle  
05 sont appliqués les  $n$  signaux codés d'adressage  $a_1, a_2 \dots a_n$  de la mémoire ou leurs complémentaires.

Cette invention trouve son application dans la réalisation de mémoires-caches (en anglais = cache-memory) ultrarapides pour les gros ordinateurs utilisés dans les domaines de l'astro-  
10 logie et de la météorologie, ainsi que pour les processeurs d'appareils de simulation de vol permettant la visualisation d'images digitalisées à haute résolution.

Les circuits mémoires sont presque toujours organisés sous la forme d'un réseau de cellules qui présente la structure  
15 d'une matrice. Chaque cellule, correspondant à un chiffre binaire (en anglais BIT = BInary digiT) est située au croisement de deux lignes, une ligne horizontale ou rangée, une ligne verticale ou colonne. Ces lignes correspondent aux adresses de la mémoire et sont généralement notées  $X_1, X_2 \dots X_n$  pour les rangées et  
20  $Y_1, Y_2 \dots Y_n$  pour les colonnes. Ainsi chaque cellule de la mémoire a une adresse unique et peut être sélectionnée en activant simultanément la rangée et la colonne appropriées. Après sélection de la cellule, la donnée peut être transmise à la cellule ou extraite de la cellule par une paire de lignes communes à toutes  
25 les cellules dites lignes de BIT (en anglais BIT-LINE).

Le nombre de lignes d'adresse nécessaire au fonctionnement d'une mémoire à structure matricielle est  $2 N^{1/2}$ , où  $N$  est le nombre de points mémoire ou de BITS de mémoire. Un tel nombre de lignes d'adresse limiterait la taille de la mémoire,  
30 c'est pourquoi il est nécessaire d'avoir recours à un circuit

décodeur qui réduit le nombre des lignes d'adresse. Pour une mémoire constituée de  $2^n$  rangées et de  $2^p$  colonnes, dont la taille mémoire est donc  $N = 2^{(n+p)}$  BITS, le circuit décodeur des adresses de rangée comportera  $2^n$  circuits décodeurs élémentaires  
05 présentant chacun  $n$  entrées sur lesquelles sont appliquées les  $n$  adresses  $a_1, a_2 \dots a_n$  codées en binaire, tandis que le circuit décodeur des adresses de colonne comportera  $2^p$  circuits décodeurs élémentaires présentant chacun  $p$  entrées sur lesquelles sont appliquées les  $p$  adresses de colonne  $b_1, b_2 \dots b_n$  codées en  
10 binaire.

Chaque sortie de décodeur élémentaire, ou ligne de MOT, porte le signal binaire décodé réalisé selon l'une des  $2^n$ , ou bien  $2^p$  combinaisons logiques possibles desdites entrées.

On rappelle en outre que les mémoires dites RAM (de  
15 l'anglais : Random Access Memory : Mémoire à accès aléatoire) statiques se différencient des autres types de mémoire, d'une part, par le fait que les données peuvent y être à volonté lues ou inscrites, et d'autre part, par le fait que les données sont retenues en mémoire tant que l'alimentation et les signaux d'horloge externes, s'il y en a, sont maintenus. De ce fait, les signaux d'horloge  
20 externes ne sont pas obligatoires.

Pour la réalisation de mémoires-caches, destinées à l'application envisagée, la mise au point de mémoires RAM statiques ultrarapides, de faible consommation et monolithiquement intégrées,  
25 est impérative. C'est pourquoi, une technologie comprenant des transistors à effet de champ en arséniure de gallium est extrêmement favorable à la réalisation de tels circuits, du fait de la mobilité électronique particulièrement élevée dans ce matériau, permettant d'obtenir des temps de transit très courts dans les  
30 transistors. De plus, entre les différentes technologies actuellement réalisables à l'aide de transistors en arséniure de gallium, la technologie dite DCFL (Direct Coupled Field-effect transistor Logic) est celle qui présente à la fois la plus faible consommation et la plus forte densité d'intégration alliées à une très grande  
35 rapidité. La porte logique élémentaire, ou inverseur, réalisée à

l'aide de cette technologie, est composée d'un transistor à effet de champ à enrichissement (tension de pincement  $V_T \geq 0$ ) associé à une charge, et présente un signal de sortie compatible avec l'entrée de la porte logique suivante.

05 Or il est connu par la publication de M. INO et alii (Musashino Electrical communication Laboratory), dans le compte-rendu "IEEE GaAs I.C. Symposium 1982" sous le titre "GaAs 1Kb Static RAM with E/D MESFET DCFL", de réaliser un circuit  
10 décodeur pour une mémoire RAM statique, intégrée monolithiquement sur un substrat en arséniure de gallium (AsGa) et composée de transistors à effet de champ (MESFET : Metal Semiconductor Field Effect Transistor). Un circuit décodeur, tel que décrit dans le document cité et illustré par la figure 1 de la page 4 de ce même document, est composé de circuits décodeurs élémentaires. Chaque  
15 décodeurs élémentaires est essentiellement constitué d'une porte NON-OU à  $n$  entrées, destinées à recevoir chacune une des entrées d'adresses codée en binaire,  $a_1, a_2 \dots a_n$ , exprimée sous la forme d'un signal vrai ou bien de son complémentaire, formé avant  
20 l'entrée dans le décodeur par un circuit intermédiaire (en anglais : ADDRESS BUFFER), de manière à obtenir sur la sortie de la porte NON-OU, une combinaison de ces chiffres binaires, produite par la fonction logique NON-OU et constituant l'adresse d'une ligne ou d'une colonne.

25 Cette porte NON-OU est formée de transistors à effet de champ en arséniure de gallium, à enrichissement, présentant une tension de pincement  $V_T \geq 0$ , c'est-à-dire ne conduisant pas tant que la tension appliquée sur la grille n'est pas supérieure à cette tension  $V_T$ . Les transistors constituant cette porte NON-OU sont montés en parallèle, leur source commune étant reliée à la masse et  
30 leur drain commun étant relié aux grille-source court-circuitées d'un transistor à désertion, utilisé comme charge dite active.

Lorsque les valeurs du signal de sortie de la porte NOR passent de 0 à 1 ou de 1 à 0, la tension qui lui est associée charge ou décharge la capacité de sortie du circuit. Afin d'obtenir des  
35 temps équivalents pour la charge et la décharge de cette capacité, le signal de sortie de la porte NOR est porté sur l'entrée d'un

05 étage inverseur de manière à pouvoir disposer à la fois du signal de sortie vrai et de son complémentaire, puis ces signaux sont appliqués respectivement chacun sur une des deux entrées d'un étage PUSH-PULL. L'étage inverseur utilisé comporte un transistor à enrichissement comme transistor inverseur et un transistor à désertion comme charge. L'étage PUSH-PULL comporte également un transistor à enrichissement, monté en source commune à la masse, en série avec un transistor à désertion monté en drain commun à la tension d'alimentation.

10 Or, dans l'état actuel de la technique de fabrication des circuits en arséniure de gallium, le rendement de fabrication, c'est-à-dire le pourcentage de circuits fabriqués qui fonctionnent, est très faible : de l'ordre de 4 à 10 %. Après fabrication d'un circuit, ce dernier est testé et doit être éliminé s'il ne fonctionne pas. Ce mauvais rendement est dû aux difficultés rencontrées encore actuellement dans la mise en oeuvre de la technologie. C'est pourquoi, dans le but d'améliorer le rendement de fabrication d'un type de circuit, il est impératif de rendre ce type de circuit plus simple à réaliser.

20 Dans le cas du circuit décodeur, par exemple, il est intéressant de remplacer les transistors à désertion constituant les charges actives par des charges résistives, plus faciles à réaliser sur le plan technologique. D'autre part, il est intéressant de remplacer le transistor à désertion de l'étage PUSH-PULL par un transistor à enrichissement de manière à n'avoir recours qu'à un seul type de transistors pour la fabrication d'un tel circuit.

25 Mais si l'on envisage la transposition pure et simple du circuit décrit dans le document cité par la méthode décrite ci-dessus, on se heurte aussitôt au problème suivant : il apparaît entre la sortie de la porte NOR et la masse, une diode parasite due au fait que le transistor inverseur, sur lequel est portée cette tension de sortie, est du type Schottky. Cet effet de diode parasite empêche le signal de sortie de la porte NON-OU d'atteindre un niveau suffisant pour débloquer le transistor de l'étage PUSH-PULL sur lequel il est appliqué. L'étage PUSH-PULL est donc rendu inefficace, et dans ces conditions, il devient long et difficile de

30

35

charger la capacité de sortie du décodeur élémentaire.

La présente invention permet de s'affranchir de l'ensemble de ces inconvénients en proposant un circuit décodeur élémentaire tel que défini dans le préambule, remarquable en ce que, premièrement, les transistors sont tous du type à enrichissement, en ce que, deuxièmement la charge de la porte NON-OU  $P_1$  est une résistance  $R$  sur laquelle est appliquée une tension d'alimentation  $VDD_1$ , en ce que troisièmement, les  $n$  signaux appliqués sur les  $n$  entrées de cette première porte NON-OU  $P_1$  sont appliqués également sur les  $n$  entrées d'une seconde porte NON-OU  $P_2$  dont la charge est remplacée par un transistor  $T_0$ , sur la grille duquel est appliquée la sortie de la première porte NON-OU  $P_1$ , en ce que, quatrièmement le drain du transistor  $T_0$  est relié à une tension d'alimentation  $VDD_2 < VDD_1$ , la tension  $VDD_2$  étant la tension d'alimentation des cellules mémoires fixée à une valeur maximale déterminée par la tension d'écrêtage de la jonction de grille des transistors à effet de champ à enrichissement utilisés pour constituer le point mémoire, en ce que, cinquièmement, chacune des deux portes NON-OU  $P_1$  et  $P_2$  comporte une entrée de plus que le nombre  $n$  des signaux codés d'adressage, entrée sur laquelle est porté le signal de sélection du boîtier SB, et en ce que, enfin, la sortie d'un tel décodeur élémentaire ou ligne de MOT se fait sur les drains des transistors constituant la seconde porte NON-OU  $P_2$  reliés à la source du transistor  $T_0$ .

Dans une application à une mémoire RAM statique, le circuit décodeur de cette mémoire est composé de  $2^n$  circuits décodeurs élémentaires identiques réalisés selon l'invention pour activer les  $2^n$  lignes de la mémoire, et de  $2^p$  circuits décodeurs élémentaires identiques selon l'invention pour activer les  $2^p$  colonnes de la mémoire.

Dans ces conditions, le fait qu'il n'est pas nécessaire d'inclure dans le circuit décodeur élémentaire selon l'invention un étage inverseur entre l'étage décodeur proprement dit et l'étage PUSH-PULL, ce qui était le cas dans le circuit décrit dans le document cité, permet d'obtenir une diminution très conséquente du

05 temps de propagation dans ce circuit. La réduction d'un étage entraîne également une diminution de la puissance consommée, cette diminution de consommation étant d'ailleurs accentuée par le fait que la tension d'alimentation du second étage est inférieure à celle du premier étage.

De plus, il n'est pas non plus utile d'inclure dans le circuit, entre le premier et le second étage, une capacité destinée au "BOOTSTRAPPING" comme il est décrit dans le brevet des Etats-Unis n° 38 63 230 où une capacité n° 68 (représentée sur les figures 2 et 3 du document cité) est ainsi placée pour permettre la polarisation adéquate de l'étage suivant.

10 Enfin, il n'est pas non plus nécessaire d'ajouter au décodeur élémentaire un circuit du type des circuits n° 91 et 90 également représentés sur les figures 2 et 3 de ce même brevet des Etats-Unis n° 38 63 230 et destinés à éliminer les charges qui s'accumulent en sortie, sur la ligne de MOT, charges provenant du dernier étage du décodeur élémentaire, et provoquant un mauvais fonctionnement dudit décodeur.

20 Ces améliorations, qui permettent d'utiliser un moins grand nombre de transistors, compensent le fait que la seconde porte NON-OU implique un certain nombre de transistors supplémentaires. En fait, au cours de l'implantation du circuit, chaque décodeur élémentaire prend en hauteur la distance entre deux lignes ou deux colonnes de la mémoire. Si la surface occupée par le décodeur élémentaire est inférieure à la surface qui lui est ainsi impartie, la place se trouve perdue. Il se trouve que dans l'implantation de ce circuit à l'aide de la logique choisie, la seconde porte NON-OU appariée avec la première se place très bien sans augmenter la surface prévue pour le décodeur.

30 L'invention sera mieux comprise grâce à la description détaillée du circuit illustrée par les figures ci-après annexées.

La figure 1 représente le circuit décodeur élémentaire selon l'invention.

35 La figure 2 représente le point mémoire de la mémoire RAM statique associée au circuit décodeur élémentaire selon l'invention.

La figure 3 représente le diagramme de propagation du signal  $V_S$  sur la ligne de MOT par rapport au signal de sélection du boîtier SB et par rapport au signal  $a_i$  de sélection des adresses  $a_1, a_2 \dots a_n$ , en fonction du temps  $t$ , dans le circuit décodeur élémentaire selon l'invention.

Tel que représenté sur la figure 1, le circuit décodeur élémentaire, selon l'invention, comporte une première porte NON-OU  $P_1$  constituée de  $n+1$  transistors à effet de champ à enrichissement,  $n$  étant le nombre des signaux codés d'adressage de la mémoire. Sur  $n$  des entrées de cette première porte NON-OU  $P_1$  sont appliqués les  $n$  dits signaux codés d'adressage destinés à fournir la combinaison constituant l'adresse d'une ligne ou d'une colonne. Sur la dernière entrée de cette porte NON-OU  $P_1$  est appliqué le signal de sélection boîtier SB.

La charge de cette porte NON-OU  $P_1$  est constituée par une résistance  $R$  réalisée par implantation de matériaux dopants dans le substrat en GaAs. La tension d'alimentation  $V_{DD_1}$  à laquelle est reliée cette charge  $R$  est d'une valeur de 1,2 Volt. Les transistors de cette porte NON-OU  $P_1$  sont montés en source commune reliée à la masse. La sortie  $V_A$  de la première porte NON-OU  $P_1$  se fait au noeud A, sur les drains de ces transistors reliés à la charge  $R$ , et est appliquée sur la grille d'un transistor à effet de champ  $T_0$  à enrichissement dont le drain est porté au potentiel  $V_{DD_2}$  et dont la source est reliée au noeud B, aux drains de  $n+1$  transistors à effet de champ à enrichissement montés en parallèle et constituant ainsi une seconde porte NON-OU  $P_2$ . Les sources communes des transistors constituant  $P_2$  sont portées à la masse. La tension  $V_{DD_2}$ , d'une valeur de 0,7 Volt, est la tension d'alimentation des cellules mémoires, ainsi qu'il est montré figure 2.

Les  $n$  premières entrées de cette seconde porte NON-OU  $P_2$  reçoivent les mêmes signaux codés d'adressage que la première porte NON-OU  $P_1$ . La dernière entrée de la porte  $P_2$  reçoit le signal de sélection boîtier SB.

La sortie  $V_S$  du décodeur élémentaire ou ligne de MOT

se fait au noeud B, sur le drain commun des transistors de la porte  $P_2$ . Le signal de sortie  $V_S$ , en passant de 0 à 1, charge une capacité fictive  $C_S$ .

Lorsque toutes les entrées de  $P_1$  sont à 0, la tension  $V_A$ , sur le noeud A, peut monter pratiquement jusqu'à la valeur de la tension  $V_{DD_1}$ . Le transistor  $T_0$ , sur la grille duquel cette tension  $V_A$  est appliquée, devient conducteur. La capacité de sortie  $C_S$  se charge par la tension  $V_S$  qui devient alors très proche de la valeur  $V_{DD_2}$ , les transistors de la porte  $P_2$ , qui reçoivent les mêmes signaux que ceux de la porte  $P_1$ , étant eux-mêmes bloqués.

Au contraire, lorsque l'une des entrées de la porte  $P_1$  passe à 1, alors la valeur de la tension  $V_A$  devient pratiquement nulle, puisque l'un des transistors sur lequel le signal "1" est appliqué devient conducteur. Une tension  $V_A \approx 0$  est donc appliquée sur la grille du transistor  $T_0$  qui est alors bloqué. Par contre, le même signal "1" est également porté sur l'un des transistors de la porte  $P_2$  qui devient conducteur. Le transistor  $T_0$  étant bloqué, la tension  $V_S$  devient alors proche de 0, et la capacité  $C_S$  se décharge rapidement.

Tel que représenté sur la figure 2, le "point mémoire" ou cellule mémoire est constitué de deux transistors  $\tau_1$  et  $\tau_2$  montés en bistable et alimentés à travers les résistances  $R_1$  et  $R_2$  respectivement par la tension d'alimentation  $V_{DD_2}$ . Du fait de l'existence de diodes fictives  $D_1$  et  $D_2$ , entre les grilles respectives de ces transistors et la masse, dues au fait que les transistors  $\tau_1$  et  $\tau_2$  sont du type Schottky, les signaux  $V_1$  et  $V_2$ , sur les drains de ces derniers transistors, sont écrêtés à la valeur de 0,7 Volt.

Il suffit par conséquent d'alimenter les cellules de la mémoire par une tension  $V_{DD_2}$  de 0,7 Volt, toute tension d'une valeur supérieure augmentant la consommation sans augmenter le rapport entre le signal et le bruit.

D'autre part, le niveau haut ou "1" du signal  $V_S$ , sur la ligne de MOT, ne doit pas non plus excéder 0,7 Volt, car cette

tension serait alors écrêtée par les diodes fictives  $D_3$  et  $D_4$  qui apparaissent entre la grille des transistors d'accès  $\tau_3$  et  $\tau_4$ , de type Schottky et la masse, ce qui perturberait le fonctionnement de la cellule mémoire, en mettant simultanément en  
05 conduction ces deux transistors  $\tau_3$  et  $\tau_4$ . C'est la raison pour laquelle, le transistor  $T_0$  du second étage du décodeur élémentaire est alimenté par la tension  $VDD_2 = 0,7$  Volt alimentant les cellules mémoires.

Dès lors, il n'est pas besoin d'insérer entre le noeud A  
10 du premier étage du décodeur élémentaire et le noeud B du second étage une capacité du type de la capacité 68, telle que décrite dans le brevet des Etats-Unis n° 38 63 230, pour polariser correctement le transistor  $T_0$ . En effet, la résistance R, reliée à la tension d'alimentation  $VDD_1 = 1,2$  Volt est alors tout à fait  
15 suffisante pour la bonne polarisation de ce transistor.

D'autre part, on notera que le signal de sortie  $V_S$  est obtenu, dans le circuit selon la présente invention, par la combinaison des signaux codés d'adressage, appliqués, selon le besoin, sous la forme, pour chaque signal, du signal vrai ou de son complémentaire sur les entrées des portes NON-OU. Cette façon de procéder est très différente de celle qui est décrite dans le brevet  
20 précédemment cité, où, au contraire, seuls les signaux complémentaires des signaux codés d'adressage sont utilisés, et où lesdits signaux complémentaires sont appliqués soit sur les entrées d'une  
25 porte NON-OU, soit sur celles d'une porte ET de manière à obtenir la combinaison logique souhaitée en sortie. La façon de procéder, décrite dans le brevet cité, entraîne pour certaines combinaisons, une accumulation de charges non souhaitée sur la ligne de MOT, et rend impérative l'adjonction d'un circuit référencé 90 et 91 sur  
30 les figures 2 et 3 du document cité, pour éliminer ces charges. Du fait que, d'une part, dans le circuit réalisé selon la présente invention, il n'est pas utilisé de porte ET, et du fait que, d'autre part, le transistor  $T_0$  est convenablement polarisé, il n'y a pas accumulation de charges intempestives sur la ligne de MOT et il  
35 n'y a donc pas besoin non plus d'ajouter le moindre circuit.

Enfin, on remarquera que dans le circuit selon l'invention, le signal de sélection boîtier SB est appliqué de façon particulière sur des transistors équivalents à ceux qui reçoivent les signaux codés d'adressage.

05 Or, comme il est montré sur les figures 3a et 3b, il existe deux modes de sélection possibles d'un point mémoire. Selon le premier mode, dont le diagramme de propagation des signaux est représenté figure 3a, le signal de sélection boîtier est amené de l'état "1" à l'état "0" à l'instant  $t'_0$ , tandis que la sélection  
10  $a_i$  d'une combinaison d'adresse  $a_1, a_2, \dots, a_n$  est faite à l'instant  $t_1$ . Le signal de sortie  $V_S$  apparaît alors à l'instant  $t'_2$  sur la ligne de MOT,  $t'_2$  étant défini par rapport à  $t_1$  par la différence

$$\Delta t'_2 = t'_2 - t_1$$
 qui est fonction du temps de propagation dans le circuit et sur laquelle on ne peut pas jouer. Ce  
15 temps  $\Delta t'_2$  constitue le temps d'accès en mémoire dans ce premier mode de fonctionnement.

Selon le second mode de fonctionnement possible, dont le diagramme de propagation des signaux est représenté figure 3b, la  
20 sélection  $a_i$  d'une combinaison d'adresse  $a_1, a_2, a_n$  est appliquée sur les transistors  $T_1, T_2, \dots, T_n$  à l'instant  $t_0$ , tandis que le signal de sélection boîtier SB est appliqué sur le transistor  $T_{n+1}$  à l'instant  $t_1$ . Le signal de sortie  $V_S$  apparaît alors sur la ligne de MOT à un instant  $t_2$  défini par :

25 
$$t_2 - t_0 \approx t'_2 - t_1$$
  
Le temps d'accès en mémoire est, dans ce second mode de fonctionnement donné par la différence :

$$\Delta t_2 = t_2 - t_1 < \Delta t'_2$$
  
30 Le circuit réalisé selon l'invention offre la possibilité de fonctionner suivant le second mode, permettant ainsi un temps d'accès en mémoire diminué.

Dans une réalisation du circuit selon l'invention, les résistances et les transistors présentent les caractéristiques suivantes :

Résistance  $R = 20 \text{ k}\Omega$   
 Longueur de grille des transistors  $L = 0,9 \text{ }\mu\text{m}$   
 Largeur des transistors de la porte  $P_1$   $\ell = 7 \text{ }\mu\text{m}$   
 Largeur des transistors de la porte  $P_2$   $\ell = 7 \text{ }\mu\text{m}$   
 05 Largeur du transistor  $T_0$   $\ell = 17 \text{ }\mu\text{m}$   
 Tension d'alimentation  $V_{DD1} = 1,2 \text{ V}$   
 Tension d'alimentation  $V_{DD2} = 0,7 \text{ V}$   
 Tension de pincement  $V_T = 0,1 \text{ V}$

En outre, dans la réalisation de la cellule mémoire, les  
 10 résistances et transistors présentent les caractéristiques sui-  
 vantes :

Résistance de charge  $R_1 = R_2 = 20 \text{ k}\Omega$   
 Longueur de grille des transistors  $L = 0,9 \text{ }\mu\text{m}$   
 Largeur des transistors  $\tau_1$  et  $\tau_2$   $\ell = 8 \text{ }\mu$   
 15 Largeur des transistors  $\tau_3$  et  $\tau_4$   $\ell = 11 \text{ }\mu$   
 Tension de pincement  $V_T = 0,1 \text{ V}$

Dans ces conditions un temps de propagation de  $0,2\text{ns}$  est  
 obtenu dans le circuit décodeur élémentaire selon l'invention.

Dans une application à une mémoire RAM statique, le cir-  
 20 cuit décodeur de cette mémoire est composé de  $2^n$  circuits déco-  
 deurs élémentaires identiques réalisés selon l'invention pour ac-  
 tiver les  $2^n$  lignes de la mémoire, et de  $2^p$  circuits décodeurs  
 élémentaires identiques selon l'invention pour activer les  $2^p$   
 colonnes de la mémoire.

25 Il est manifeste que, d'une part l'application de l'in-  
 vention aux mémoires-caches réalisées à l'aide de transistors à  
 effet de champ intégrés sur un substrat d'arséniure de gallium,  
 n'est pas limitative, et que d'autre part de nombreuses variantes  
 sont possibles, en particulier sur la taille, les caractéristiques  
 30 et les tensions d'alimentation des transistors, sans sortir du ca-  
 dre de la présente invention tel que défini par les revendications  
 ci-après annexées.

REVENDEICATIONS :

1. Circuit décodeur élémentaire pour mémoire RAM statique intégrée monolithiquement, réalisé à l'aide de transistors à effet de champ en arséniure de gallium et constitué d'une porte logique NON-OU  $P_1$  sur les  $n$  entrées de laquelle sont appliqués les  $n$  signaux codés d'adressage de la mémoire ou leurs complémentaires, caractérisé en ce que, premièrement les transistors sont tous du type à enrichissement, en ce que, deuxièmement la charge de la porte NON-OU  $P_1$  est une résistance  $R$  sur laquelle est appliquée une tension d'alimentation  $VDD_1$ , en ce que, troisièmement les  $n$  signaux appliqués sur les  $n$  entrées de cette première porte NON-OU  $P_1$  sont appliqués également sur les  $n$  entrées d'une seconde porte NON-OU  $P_2$ , dont la charge est remplacée par un transistor  $T_0$ , sur la grille duquel est appliquée la sortie de la première porte NON-OU  $P_1$ , en ce que, quatrièmement le drain du transistor  $T_0$  est relié à une tension d'alimentation  $VDD_2 < VDD_1$ , la tension  $VDD_2$  étant la tension d'alimentation des cellules mémoires fixée à une valeur maximale déterminée par la tension d'écrtage de la jonction de grille des transistors à effet de champ à enrichissement utilisés pour constituer les cellules mémoires, en ce que cinquièmement, chacune des deux portes NON-OU  $P_1$  et  $P_2$  comporte une entrée de plus que le nombre  $n$  des signaux codés d'adressage, entrée sur laquelle est porté le signal de sélection du boîtier SB, et en ce que, enfin, la sortie  $V_S$  d'un tel décodeur élémentaire, ou ligne de MOT, se fait sur les drains des transistors constituant la seconde porte NON-OU  $P_2$  reliés à la source du transistor  $T_0$ .
2. Circuit selon la revendication 1, caractérisé en ce que la longueur de grille des transistors est  $L = 0,9 \text{ m}$  et la tension de pincement de ces transistors est  $V_T = 0,1 \text{ V}$ .
3. Circuit selon l'une des revendications 1 ou 2, caractérisé en ce que la valeur de la résistance est  $R = 20 \text{ K Ohm}$ .
4. Circuit selon l'une des revendications 1 à 3, caractérisé en ce que, la tension d'alimentation  $VDD_1 = 1,2 \text{ V}$  et la tension d'alimentation  $VDD_2 = 0,7 \text{ Volt}$ .

- 05 5. Circuit décodeur pour une mémoire RAM statique, caractérisé en ce qu'il comprend  $2^n$  décodeurs élémentaires identiques, selon l'une des revendications 1 à 4, pour activer les  $2^n$  lignes de la mémoire, et en ce qu'il comprend  $2^p$  de ces décodeurs élémentaires identiques pour activer les  $2^p$  colonnes de la mémoire.



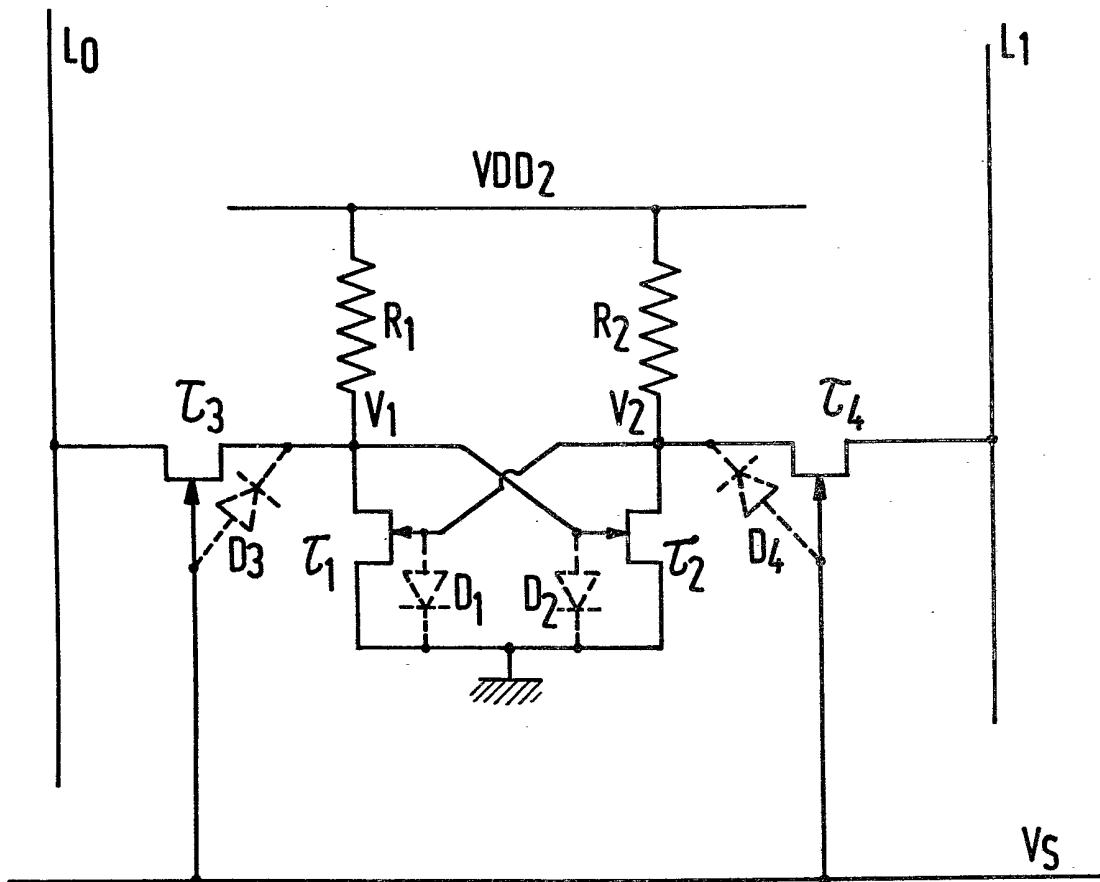


FIG.2

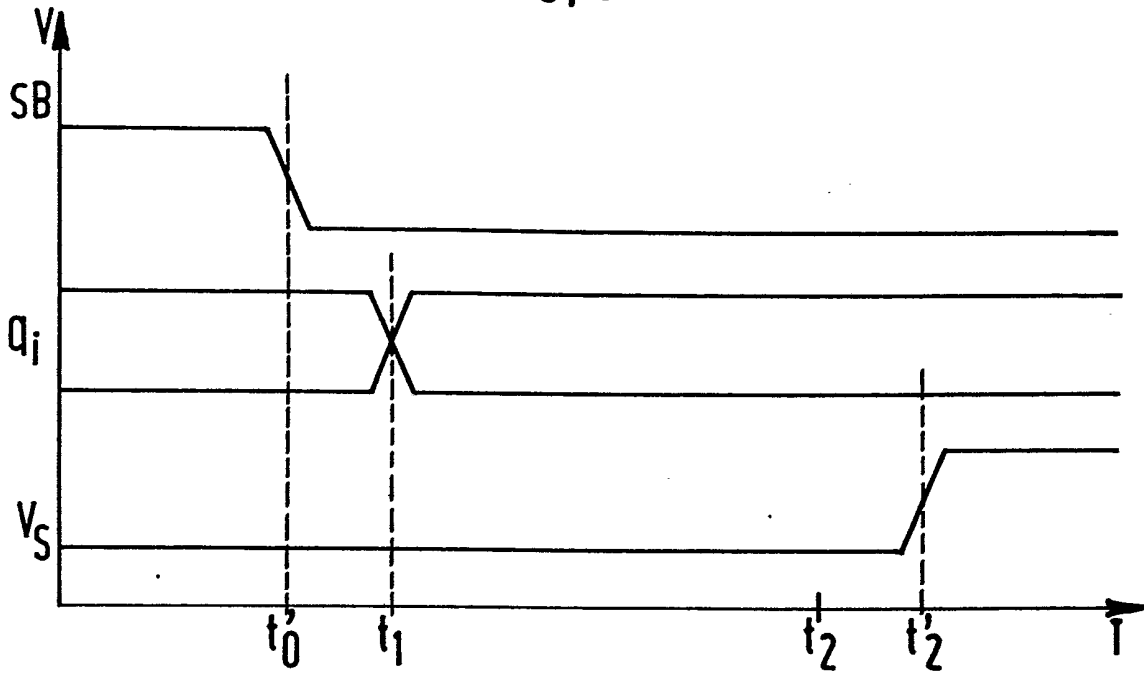


FIG. 3a

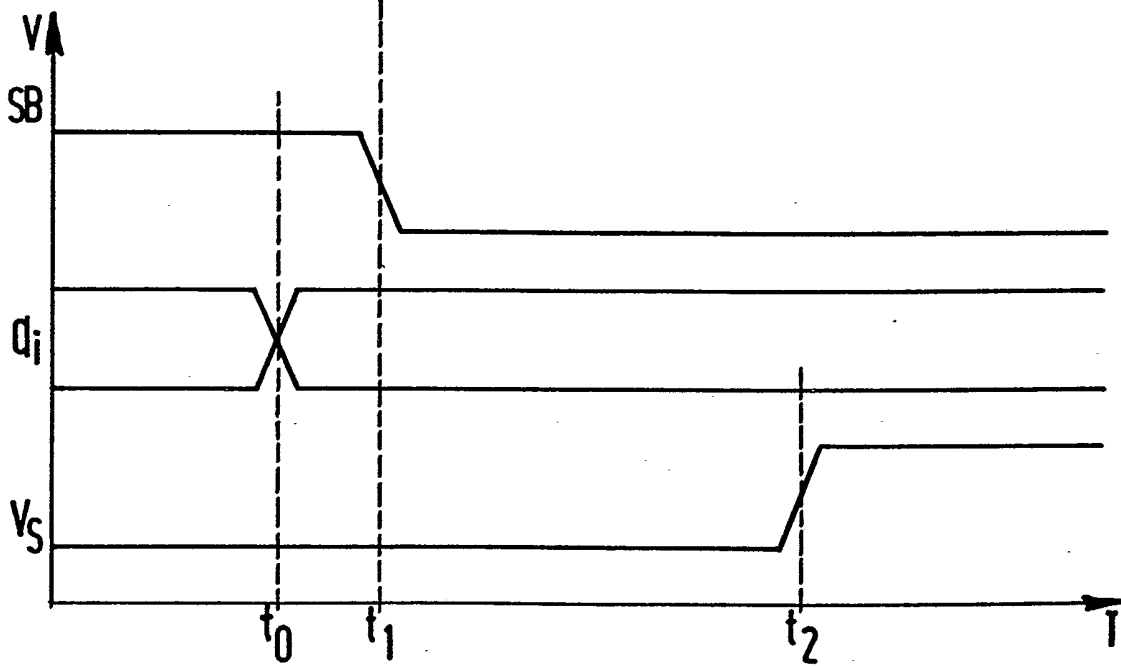


FIG. 3b