



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0061185
(43) 공개일자 2014년05월21일

(51) 국제특허분류(Int. Cl.)
H03K 5/135 (2006.01) H03K 3/03 (2006.01)
(21) 출원번호 10-2012-0128445
(22) 출원일자 2012년11월13일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
이현우
경기 이천시 부발읍 경충대로 2241, 104동 804호
(삼익아파트)
김철우
서울 성북구 길음로 16, 605동 1301호 (길음동,
삼성래미안3차아파트)
(74) 대리인
특허법인 신성

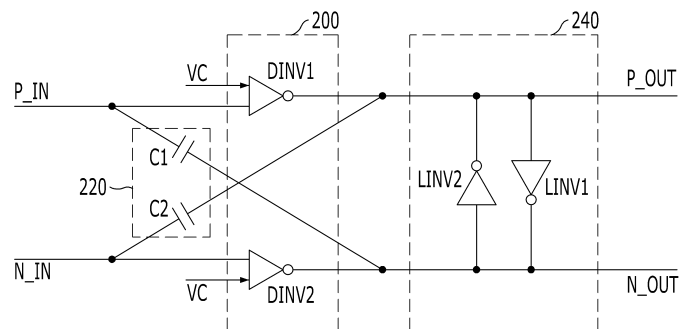
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 차동지연회로 및 그를 포함하는 발진회로

(57) 요약

본 발명은 차동지연회로 및 그를 포함하는 발진회로에 관한 발명으로서, 차동 입력단과 차동 출력단을 가지는 인버터 쌍으로 구성된 차동 지연단, 및 차동 입력단과 차동 출력단 사이에서 서로 엇갈리게 연결되는 한 쌍의 커패시터를 구비하는 차동지연회로를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

차동 입력단과 차동 출력단을 가지는 인버터 쌍으로 구성된 차동 지연단; 및
상기 차동 입력단과 상기 차동 출력단 사이에서 서로 엇갈리게 연결되는 한 쌍의 커패시터
를 구비하는 차동지연회로.

청구항 2

제1항에 있어서,
상기 차동 지연단은,
제어전압에 응답하여 그 지연량이 조절되는 차동지연회로.

청구항 3

제1항에 있어서,
상기 한 쌍의 커패시터는,
상기 차동 출력단 중 포지티브 출력단과 상기 차동 입력단 중 네거티브 입력단 사이에 접속되는 제1 커패시터;
및
상기 차동 출력단 중 네거티브 출력단과 상기 차동 입력단 중 포지티브 입력단 사이에 접속되는 제2 커패시터를
구비하는 차동지연회로.

청구항 4

제1항에 있어서,
상기 차동 출력단 사이에 연결되어 차동 지연단에서 출력되는 신호들이 서로 반대 위상을 갖도록 하는 래치부를
더 구비하는 차동지연회로.

청구항 5

제4항에 있어서,
상기 래치부는,
상기 차동 출력단 중 포지티브 출력단과 네거티브 출력단 사이에 정방향으로 접속된 제1 인버터; 및
상기 제1 인버터와는 병렬로 접속되고, 상기 차동 출력단 중 포지티브 출력단과 네거티브 출력단 사이에 역방향
으로 접속된 제2 인버터를 구비하는 차동지연회로.

청구항 6

다수의 차동지연회로가 루프 형태로 연결된 링 발진기; 및
상기 다수의 차동지연회로 각각의 차동 입력단과 차동 출력단 사이에 서로 엇갈리게 접속된 다수개의 한 쌍의
커패시터

를 구비하는 발진회로.

청구항 7

제6항에 있어서,

상기 다수의 차동지연회로 중 최종 차동지연회로의 차동 출력단 사이에 연결되어 최종 차동지연회로에서 출력되는 신호들이 서로 반대 위상을 갖도록 하는 래치부를 더 구비하는 발진회로.

청구항 8

제6항에 있어서,

상기 다수의 차동지연회로 각각의 차동 출력단 사이에 연결되어 각각의 차동지연회로에서 출력되는 신호들이 서로 반대 위상을 갖도록 하는 다수의 래치부를 더 구비하는 발진회로.

청구항 9

제6항에 있어서,

상기 링 발진기는,

제어전압에 응답하여 생성되는 발진신호의 주파수를 조절하는 발진회로.

청구항 10

제6항에 있어서,

상기 다수개의 한 쌍의 커패시터는,

상기 다수의 차동지연회로 각각의 차동 출력단 중 포지티브 출력단과 각각의 차동 입력단 중 네거티브 입력단 사이에 각각 접속되는 다수의 제1 커패시터; 및

상기 다수의 차동지연회로 각각의 차동 출력단 중 네거티브 출력단과 각각의 차동 입력단 중 포지티브 입력단 사이에 각각 접속되는 다수의 제2 커패시터를 구비하는 발진회로.

명세서

기술 분야

[0001] 본 발명은 반도체 설계 기술에 관한 것으로서, 구체적으로 차동지연회로 및 그를 포함하는 발진회로에 관한 발명이다.

배경 기술

[0002] 전압 제어 발진기(VCO, Voltage Controlled Oscillator)는 주로 위상고정루프(Phase Locked Loop, PLL) 회로에 사용된다. 위상고정루프(PLL) 회로는 일반적으로 위상-주파수 검출기, 차지 펌프, 루프 필터 및 전압 제어 발진기(VCO)로 구성되는데, 일정한 주파수와 같이 어떤 특성을 가진 전압 신호를 생성할 수 있다.

[0003] 생성되는 신호의 주파수의 상한선은 위상고정루프(PLL) 회로를 구성하는 구성 요소 중 전압 제어 발진기(VCO)에 가장 큰 영향을 받는다고 할 수 있다. 지터가 적고 속도가 더 빠른, 즉 신호의 상승 시간 및 하강 시간이 더 짧은 전압 제어 발진기(VCO)를 이용하면 더 높은 주파수의 신호를 생성할 수 있다.

- [0004] 도 1은 종래 기술에 따른 차동지연회로를 도시한 것이다.
- [0005] 참고로, 도 1에 도시된 차동지연회로들이 루프 형태로 연결되어 전압 제어 발진기(VCO)를 이루게 된다.
- [0006] 도 1을 참조하면, 종래기술에 따른 차동지연회로는, 차동 입력단(P_IN, N_IN)과 차동 출력단(P_OUT, N_OUT)을 가지는 인버터 쌍(DINV1, DINV2)을 포함한다. 또한, 차동지연회로에는, 차동 출력단(P_OUT, N_OUT) 사이에 서로 연결되어 차동지연회로에서 출력되는 신호들이 서로 반대 위상을 갖도록 하는 래치부(LINT1, LINT2)를 포함한다.
- [0007] 이때, 래치부(LINT1, LINT2)가 차동지연회로에 포함되는 경우는, 전압 제어 발진기(VCO)에 포함되는 다수의 차동지연회로의 개수가 홀수 개인 경우와, 전압 제어 발진시에 포함된 다수의 차동지연회로 중 최종 차동지연회로의 차동 출력단에만 래치부(LINT1, LINT2)가 접속되는 경우로 나뉠 수 있다.
- [0008] 또한, 각각의 차동지연회로는 제어전압(VC)에 따라 그 지연량이 조절될 수 있다.
- [0009] 그리고, 각각의 차동지연회로는 소정의 지연 셀인 인버터(DINV1, DINV2)로 구성되어 독자적으로도 발진할 수 있으나, 래치부(LINT1, LINT2)에 의해 결국 서로 반대의 위상을 가진 신호의 형태로 발진한다.
- [0010] 이때, 각각의 차동지연회로에 포함된 인버터(DINV1, DINV2)가 CMOS(Complementary Metal Oxide Semiconductor) 인버터인 경우에는 일반적으로 PMOS(P-type MOS)의 풀업(pull-up)성능이 낮기 때문에 VCO의 속도를 제한할 뿐만 아니라 전압 제어 발진기(VCO)에서 생성되는 발진신호(OSC, OSCb)의 위상잡음을 유발하는 원인이 된다.
- [0011] 이와 같이, 전압 제어 발진기(VCO)에서 발생하는 위상잡음은 위상고정루프(PLL) 회로의 지터(jitter)로 나타나게 되고, 이러한 지터(jitter)는 시스템의 성능의 저하를 만들게 된다.
- [0012] 즉, 최근 고속 동작의 제품군이 많이 나오고 있고, 이러한 고속 제품에는 위상고정루프(PLL) 회로들이 많이 사용되고 있는데, 종래와 같이 지터(jitter)가 발생하는 위상고정루프(PLL)를 고속 제품에 사용하는 것은 동작의 오류를 유발하는 문제로 이어질 수 있다.

발명의 내용

해결하려는 과제

- [0013] 본 발명의 실시예는, 위상잡음을 크게 감소된 차동지연회로 및 지터(jitter)의 발생을 크게 감소시키는 전압 제어 발진기(VCO)를 제공하고 있다.

과제의 해결 수단

- [0014] 상기의 해결하고자 하는 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 차동 입력단과 차동 출력단을 가지는 인버터 쌍으로 구성된 차동 지연단; 및 상기 차동 입력단과 상기 차동 출력단 사이에서 서로 엇갈리게 연결되는 한 쌍의 커패시터를 구비하는 차동지연회로를 제공한다.
- [0015] 상기의 해결하고자 하는 과제를 달성하기 위한 본 발명의 다른 측면에 따르면, 다수의 차동지연회로가 루프 형태로 연결된 링 발진기; 및 상기 다수의 차동지연회로 각각의 차동 입력단과 차동 출력단 사이에 서로 엇갈리게 접속된 다수개의 한 쌍의 커패시터를 구비하는 발진회로를 제공한다.

발명의 효과

- [0016] 진술한 본 발명은 차동 출력단과 차동 입력단 사이에 서로 엇갈리는 형태로 접속되는 한 쌍의 커패시터를 차동지연회로에 포함시킴으로써, 차동지연회로에서 출력되는 신호의 모양이 구형파가 아닌 정현파와 같은 모양이 되도록 한다.
- [0017] 이렇게, 차동지연회로에서 출력되는 신호의 모양을 구형파가 아닌 정현파와 같은 모양이 되도록 제어하여 구형파가 가지는 다양한 주파수 성분을 단일화하게 되고, 이를 통해 차동지연회로에서 출력되는 신호의 위상잡음을

크게 감소시키는 효과를 기대할 수 있다.

[0018] 또한, 각각의 차동지연회로에서 출력되는 신호의 위상잡음을 크게 감소시킴으로써, 다수의 차동지연회로를 포함하는 전압 제어 발진기(VCO)에서 발생하는 지터(jitter)를 크게 감소시키는 효과를 기대할 수 있다.

도면의 간단한 설명

[0019] 도 1은 종래 기술에 따른 차동지연회로를 도시한 도면.

도 2는 본 발명의 실시예에 따른 차동지연회로를 도시한 도면.

도 3a 및 도 3b는 본 발명의 실시예에 따른 차동지연회로를 다수개 포함하여 구성되는 전압 제어 발진회로를 도시한 도면.

도 4a 및 도 4b는 종래기술에 따른 발진신호의 파형도와 본 발명의 실시예에 따른 발진신호의 파형도를 비교하여 도시한 그래프.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구성될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

[0021] 도 2는 본 발명의 실시예에 따른 차동지연회로를 도시한 도면이다.

[0022] 도 2를 참조하면, 본 발명의 실시예에 따른 차동지연회로는, 차동 지연단(200)과, 한 쌍의 커패시터(C1, C2, 220)와, 래치부(240)를 구비한다.

[0023] 구체적으로, 본 발명의 실시예에 따른 차동지연회로는, 차동 입력단(P_IN, N_IN)과 차동 출력단(P_OUT, N_OUT)을 가지는 인버터 쌍(DINV1, DINV2)으로 구성된 차동 지연단(200), 및 차동 입력단(P_IN, N_IN)과 차동 출력단(P_OUT, N_OUT) 사이에서 서로 엇갈리게 연결되는 한 쌍의 커패시터(C1, C2, 220)를 구비한다.

[0024] 여기서, 차동 지연단(200)은, 제어전압(VC)에 응답하여 그 지연량이 조절된다. 예컨대, 제어전압(VC)의 레벨이 상승함에 따라 차동 지연단(200)의 지연량이 감소하고, 제어전압(VC)의 레벨이 하강함에 따라 차동 지연단(200)의 지연량이 증가하는 형태로 차동 지연단(200)의 지연량이 조절될 수 있다.

[0025] 그리고, 한 쌍의 커패시터(C1, C2, 220)는, 차동 출력단(P_OUT, N_OUT) 중 포지티브 출력단(P_OUT)과 차동 입력단(P_IN, N_IN) 중 네거티브 입력단(N_IN) 사이에 접속되는 제1 커패시터(C1), 및 차동 출력단(P_OUT, N_OUT) 중 네거티브 출력단(N_OUT)과 차동 입력단(P_IN, N_IN) 중 포지티브 입력단(P_IN) 사이에 접속되는 제2 커패시터(C2)를 구비한다.

[0026] 그리고, 차동지연회로에는, 차동 출력단(P_OUT, N_OUT) 사이에 연결되어 차동 지연단(200)에서 출력되는 신호들이 서로 반대 위상을 갖도록 하는 래치부(240)가 더 구비된다.

[0027] 이때, 래치부(240)가 차동지연회로에 포함되는 경우는, 전압 제어 발진기(VCO)에 포함되는 다수의 차동지연회로 각각에 래치부(240)가 포함되는 경우와, 전압 제어 발진기에 포함된 다수의 차동지연회로 중 최종 차동지연회로의 차동 출력단에만 래치부(240)가 접속되는 경우로 나뉘어 나눌 수 있다.

[0028] 구체적으로, 래치부(240)는, 차동 출력단(P_OUT, N_OUT) 중 포지티브 출력단(P_OUT)과 네거티브 출력단(N_OUT) 사이에 정방향으로 접속된 제1 인버터(LINV1), 및 제1 인버터(LINV1)와는 병렬로 접속되고, 차동 출력단(P_OUT, N_OUT) 중 포지티브 출력단(P_OUT)과 네거티브 출력단(N_OUT) 사이에 역방향으로 접속된 제2 인버터(LINV2)를 구비한다.

[0029] 전술한 바와 같이 본 발명의 실시예에 따른 차동지연회로는, 차동지연회로의 차동 출력단(P_OUT, N_OUT)과 차동 입력단(P_IN, N_IN) 사이에 서로 엇갈리게 접속된 한 쌍의 커패시터(C1, C2, 220)를 구비함으로써, 차동지연회로를 통해 입/출력되는 신호들 간에 신호의 변환시점(트랜지션 시점)에서 각 커패시터의 캐피 보이게 하여 변환

동작(트랜지션 동작)의 속도를 느려지게 한다. 이후, 같은 방향으로 변환 동작(트랜지션 동작)이 이루어지도록 하다가, 변환 동작(트랜지션 동작)의 마지막 시점에서 변환 동작(트랜지션 동작)을 좀 더 지속하게 하여 출력 신호의 모양을 정현파와 같은 모양으로 만들게 된다.

- [0030] 도 3a 및 도 3b는 본 발명의 실시예에 따른 차동지연회로를 다수개 포함하여 구성되는 전압 제어 발진회로를 도시한 도면이다.
- [0031] 도 3a 및 도 3b를 참조하면, 본 발명의 실시예에 따른 전압 제어 발진회로는, 다수의 차동지연회로(302, 304, 306, 308)가 루프 형태로 연결된 링 발진기(300)와, 다수개의 한 쌍의 커패시터(C1_1, C1_2, C2_1, C2_2, C3_1, C3_2, C4_1, C4_2)와, 한 개의 래치부(320) 또는 다수개의 래치부(322, 324, 326, 328)를 구비한다.
- [0032] 구체적으로, 본 발명의 실시예에 따른 전압 제어 발진회로는, 다수의 차동지연회로(302, 304, 306, 308)가 루프 형태로 연결된 링 발진기(300), 및 다수의 차동지연회로(302, 304, 306, 308) 각각의 차동 입력단(P_IN1, N_IN1 / P_IN2, N_IN2 / P_IN3, N_IN3 / P_IN4, N_IN4)과 차동 출력단(P_OUT1, N_OUT1 / P_OUT2, N_OUT2 / P_OUT3, N_OUT3 / P_OUT4, N_OUT4) 사이에 서로 엇갈리게 접속된 다수개의 한 쌍의 커패시터(C1_1, C1_2, C2_1, C2_2, C3_1, C3_2, C4_1, C4_2)를 구비한다.
- [0033] 여기서, 링 발진기(300)에 포함된 다수의 차동지연회로(302, 304, 306, 308) 각각은 제어전압(VC)에 응답하여 그 지연량이 조절된다. 즉, 링 발진기(300)는, 제어전압(VC)에 응답하여 생성되는 최종적으로 생성되는 발진신호(OSC, OSCb)의 주파수를 조절하게 된다.
- [0034] 그리고, 다수개의 한 쌍의 커패시터(C1_1, C1_2, C2_1, C2_2, C3_1, C3_2, C4_1, C4_2)는, 다수의 차동지연회로(302, 304, 306, 308) 각각의 차동 출력단(P_OUT1, N_OUT1 / P_OUT2, N_OUT2 / P_OUT3, N_OUT3 / P_OUT4, N_OUT4) 중 포지티브 출력단(P_OUT1, P_OUT2, P_OUT3, P_OUT4)과 각각의 차동 입력단(P_IN1, N_IN1 / P_IN2, N_IN2 / P_IN3, N_IN3 / P_IN4, N_IN4) 중 네거티브 입력단(N_IN1, N_IN2, N_IN3, N_IN4) 사이에 각각 접속되는 다수의 제1 커패시터(C1_1, C1_2, C1_3, C1_4), 및 다수의 차동지연회로(302, 304, 306, 308) 각각의 차동 출력단(P_OUT1, N_OUT1 / P_OUT2, N_OUT2 / P_OUT3, N_OUT3 / P_OUT4, N_OUT4) 중 네거티브 출력단(N_OUT1, N_OUT2, N_OUT3, N_OUT4)과 각각의 차동 입력단(P_IN1, N_IN1 / P_IN2, N_IN2 / P_IN3, N_IN3 / P_IN4, N_IN4) 중 포지티브 입력단(P_IN1, P_IN2, P_IN3, P_IN4) 사이에 각각 접속되는 다수의 제2 커패시터(C2_1, C2_2, C2_3, C2_4)를 구비한다.
- [0035] 그리고, 본 발명의 실시예에 따른 전압 제어 발진회로에는, 한 개의 래치부(320) 또는 다수개의 래치부(322, 324, 326, 328)가 선택적으로 더 구비될 수 있다.
- [0036] 즉, 도 3a에 도시된 것과 같이 링 발진기(300)에 포함된 다수의 차동지연회로(302, 304, 306, 308) 중 최종 차동지연회로(308)의 차동 출력단(P_OUT4, N_OUT4) 사이에 연결되어 최종 차동지연회로(308)에서 출력되는 신호들이 서로 반대 위상을 갖도록 하는 한 개의 래치부(320)를 더 구비하는 구성이 선택될 수 있다.
- [0037] 또한, 도 3b에 도시된 것과 같이 링 발진기(300)에 포함된 다수의 차동지연회로(302, 304, 306, 308) 각각의 차동 출력단(P_OUT1, N_OUT1 / P_OUT2, N_OUT2 / P_OUT3, N_OUT3 / P_OUT4, N_OUT4) 사이에 연결되어 다수의 차동지연회로(302, 304, 306, 308)에서 출력되는 신호들이 서로 반대 위상을 갖도록 하는 다수개의 래치부(322, 324, 326, 328)가 접속되는 구성이 선택될 수 있다.
- [0038] 물론, 도 3a에 도시된 것과 같이 한 개의 래치부(320)가 접속되는 구성 및 도 3b에 도시된 것과 같이 다수개의 래치부(322, 324, 326, 328)가 모두 접속되는 구성이 함께 선택될 수도 있다.
- [0039] 구체적으로, 도 3a에 도시된 것과 같은 한 개의 래치부(320)는, 다수의 차동지연회로(302, 304, 306, 308) 중 최종 차동지연회로(308)의 차동 출력단(P_OUT4, N_OUT4) 중 포지티브 출력단(P_OUT4)과 네거티브 출력단(N_OUT4) 사이에 정방향으로 접속된 제1 인버터(LINV1), 및 제1 인버터(LINV1)와는 병렬로 접속되고, 차동 출력단(P_OUT4, N_OUT4) 중 포지티브 출력단(P_OUT4)과 네거티브 출력단(N_OUT4) 사이에 역방향으로 접속된 제2 인버터(LINV2)를 구비한다.
- [0040] 또한, 도 3b에 도시된 것과 같은 다수개의 래치부(322, 324, 326, 328)는, 다수의 차동지연회로(302, 304, 306, 308) 각각의 차동 출력단(P_OUT1, N_OUT1 / P_OUT2, N_OUT2 / P_OUT3, N_OUT3 / P_OUT4, N_OUT4) 중 포지티브 출력단(P_OUT1, P_OUT2, P_OUT3, P_OUT4)과 네거티브 출력단(N_OUT1, N_OUT2, N_OUT3, N_OUT4) 사이에 정방향으로 접속된 다수개의 제1 인버터(LINV1_1, LINV1_2, LINV1_3, LINV1_4), 및 다수의 차동 출력단(P_OUT1,

N_OUT1 / P_OUT2, N_OUT2 / P_OUT3, N_OUT3 / P_OUT4, N_OUT4) 중 포지티브 출력단(P_OUT1, P_OUT2, P_OUT3, P_OUT4)과 네거티브 출력단(N_OUT1, N_OUT2, N_OUT3, N_OUT4) 사이에 역방향으로 접속된 다수의 제2 인버터(LINV2_1, LINV2_2, LINV2_3, LINV2_4)를 구비한다.

[0041] 전술한 바와 같이 본 발명의 실시예에 따른 전압 제어 발진회로에 구비되는 다수의 차동지연회로(302, 304, 306, 308) 각각은, 다수의 차동지연회로(302, 304, 306, 308)의 차동 출력단(P_OUT1, N_OUT1 / P_OUT2, N_OUT2 / P_OUT3, N_OUT3 / P_OUT4, N_OUT4)과 차동 입력단(P_IN1, N_IN1 / P_IN2, N_IN2 / P_IN3, N_IN3 / P_IN4, N_IN4) 사이에 서로 엇갈리게 접속된 다수개의 한 쌍의 커패시터(C1_1, C1_2, C2_1, C2_2, C3_1, C3_2, C4_1, C4_2)를 구비함으로써, 다수의 차동지연회로(302, 304, 306, 308)를 통해 입/출력되는 신호들 간에 신호의 변환 시점(트랜지션 시점)에서 각 커패시터의 캐피가 보이게 하여 변환 동작(트랜지션 동작)의 속도를 느려지게 한다. 이후, 같은 방향으로 변환 동작(트랜지션 동작)이 이루어지도록 하다가, 변환 동작(트랜지션 동작)의 마지막 시점에서 변환 동작(트랜지션 동작)을 좀 더 지속하게 하여 출력 신호의 모양을 정현파와 같은 모양으로 만들게 된다.

[0042] 이와 같은 특징을 갖는 다수의 차동지연회로(302, 304, 306, 308)를 이용하여 구성된 링 발진기(300)에서 출력되는 발진신호(OSC, OSCb)의 모양은 위상잡음 발생하는 구형파의 모양에서 위상잡음이 발생하지 않는 정현파의 모양으로 변환될 수 있고, 그 결과 발진신호(OSC, OSCb)에 발생하는 지터(jitter)를 크게 감소시킬 수 있다.

[0043] 도 4a 및 도 4b는 종래기술에 따른 발진신호의 파형도와 본 발명의 실시예에 따른 발진신호의 파형도를 비교하여 도시한 그래프이다.

[0044] 도 4a를 참조하면, 종래기술에 따른 전압 제어 발진회로에서 출력되는 파형은 구형파의 모양을 유지하고 있으며, 그로 인해 지터(jitter)가 발생하는 것을 알 수 있다.

[0045] 도 4b를 참조하면, 본 발명의 실시예에 따른 전압 제어 발진회로에서 출력되는 파형은 정현파의 모양을 유지하고 있으며, 그로 인해, 지터(jitter)의 발생이 크게 줄어든 것을 알 수 있다.

[0046] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

[0047] 예컨대, 전술한 실시예에서 예시한 논리 게이트 및 트랜지스터는 입력되는 신호의 극성에 따라 그 위치 및 종류가 다르게 구현되어야 할 것이다.

부호의 설명

[0048] 200 : 차동 지연단

220 : 한 쌍의 커패시터

240 : 래치부

300 : 링 발진기

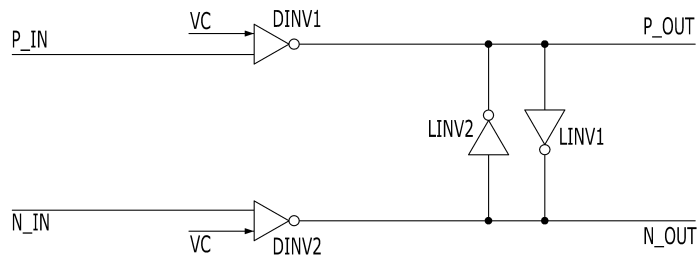
302, 304, 306, 308 : 다수의 차동지연회로

320 : 한 개의 래치부

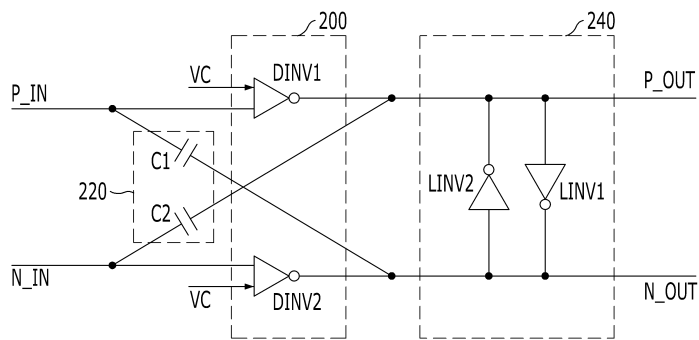
322, 324, 326, 328 : 다수개의 래치부

도면

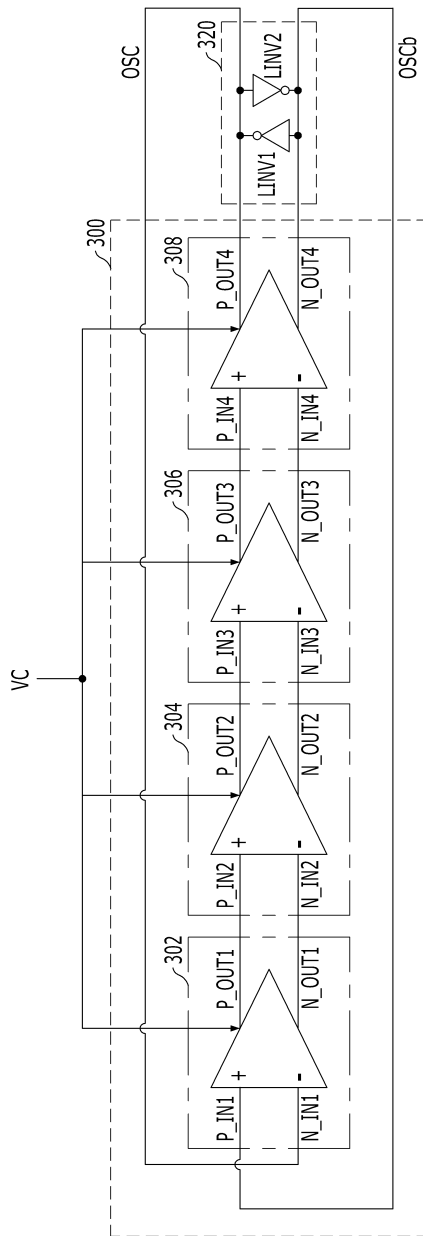
도면1



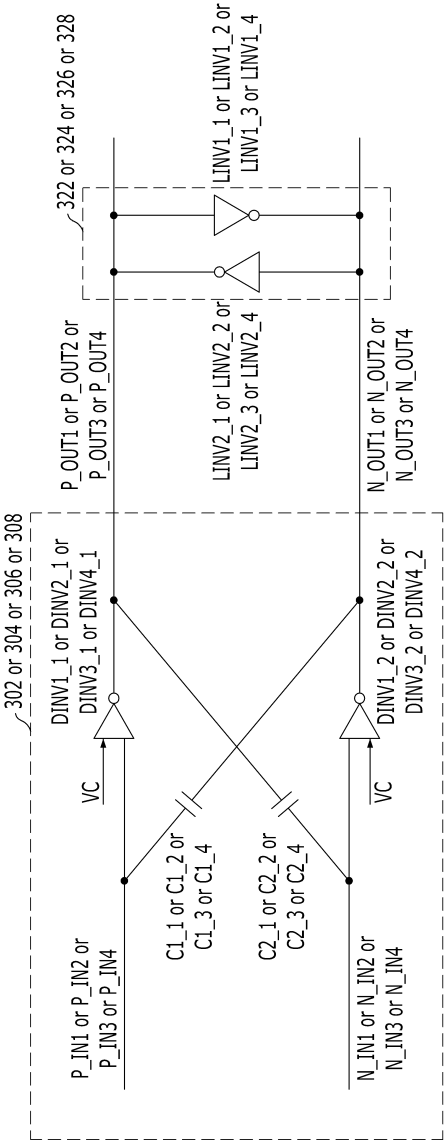
도면2



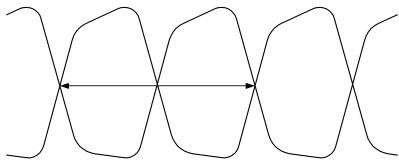
도면3a



도면3b



도면4a



도면4b

