

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月15日(15.10.2020)



(10) 国際公開番号

WO 2020/209110 A1

(51) 国際特許分類:

H01L 21/822 (2006.01) H01L 29/00 (2006.01)
H01L 27/04 (2006.01) H01L 21/336 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)
H01L 27/06 (2006.01) H01L 29/12 (2006.01)
H01L 27/088 (2006.01) G01R 31/26 (2020.01)

(21) 国際出願番号: PCT/JP2020/014245

(22) 国際出願日: 2020年3月27日(27.03.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-073403 2019年4月8日(08.04.2019) JP
特願 2019-170180 2019年9月19日(19.09.2019) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 柳 達也 (YANAGI Tatsuya); 〒6158585
京都府京都市右京区西院溝崎町 2 1 番地
ローム株式会社内 Kyoto (JP).

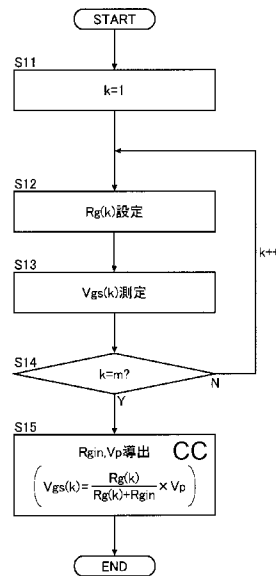
(74) 代理人: 特許業務法人 佐野特許事務所
(SANO PATENT OFFICE); 〒5400032 大阪府
大阪府中央区天満橋京町 2 - 6 天満橋八
千代ビル別館 5 F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: DEVICE PARAMETER MEASUREMENT METHOD

(54) 発明の名称: デバイスパラメータの測定方法

【図3】



S12 Set Rg(k)
S13 Measure Vgs(k)
CC Derive Rgin, Vp

(57) Abstract: In one example, this device parameter measurement method comprises a step for repeating measurement of a gate-source voltage (or gate-emitter voltage) in a transient switching state while switching external gate resistance of a switching element between m-number of ways (m is an integer of 3 or more), and a step for deriving an internal gate resistance or a plateau voltage by performing fitting processing to the numerical expression: $V_{gs}(k) = \frac{R_g(k)}{R_g(k) + R_{gin}} \times V_p$, wherein Rgin and Vp represent the internal gate resistance and the plateau voltage of the switching element,

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

respectively, and $R_g(k)$ and $V_{gs}(k)$ represent the external gate resistance and the gate-source voltage (or gate-emitter voltage) ($k=1, 2, \dots, m$), respectively.

(57) 要約: 例えば、デバイスパラメータの測定方法は、スイッチ素子の外部ゲート抵抗を m 通り (ただし m は 3 以上の整数) に切り替えながらスイッチング過渡状態におけるゲート・ソース間電圧 (又はゲート・エミッタ間電圧) の測定を繰り返すステップと; スwitch素子の内部ゲート抵抗及びプラトー電圧をそれぞれ R_{gin} 及び V_p とし、 m 通りの外部ゲート抵抗及びゲート・ソース間電圧 (又はゲート・エミッタ間電圧) をそれぞれ $R_g(k)$ 及び $V_{gs}(k)$ (ただし $k=1, 2, \dots, m$) とし、数式 $V_{gs}(k) = R_g(k) / (R_g(k) + R_{gin}) \times V_p$ のフィッティング処理を行うことにより、内部ゲート抵抗またはプラトー電圧を導出するステップと; を有する。

明 細 書

発明の名称： デバイスパラメータの測定方法

技術分野

[0001] 本明細書中に開示されている発明は、デバイスパラメータの測定方法に関する。

背景技術

[0002] S P I C E [simulation program with integrated circuit emphasis] 等のコンピュータシミュレーションで用いられるスイッチ素子（例えば、M O S F E T [metal oxide semiconductor field effect transistor]）のデバイスモデルを作成する際には、種々のデバイスパラメータを測定することが必要不可欠である。

[0003] なお、上記に関連する従来技術の一例としては、特許文献1を挙げることができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2017-181178号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、ワイドバンドギャップ半導体（S i CやG a Nなど）ベースのスイッチ素子（以下、W B Gデバイスと呼ぶ）では、シリコンベースのスイッチ素子（以下、S i デバイスと呼ぶ）と比べて小さい外部ゲート抵抗を用いることが多い。例えば、S i デバイスでは、ターンオン時に50～100Ω程度、ターンオフ時に数百Ω～1kΩ程度の外部ゲート抵抗が用いられる。これに対して、W B Gデバイスでは、ターンオン時／ターンオフ時の区別なく、10Ω程度の小さい外部ゲート抵抗が用いられる。

[0006] 一方、W B Gデバイスは、S i デバイスと比べてチップ面積が小さく、内部ゲート抵抗（＝ゲートフィンガーの配線抵抗成分など）が大きくなる傾向

がある。例えば、 S_i デバイスの内部ゲート抵抗は $1\ \Omega$ 程度であるが、同オン抵抗を持つ WBG デバイスの内部ゲート抵抗は $10\ \Omega$ 程度である。言い換えると、 WBG デバイスの内部ゲート抵抗は、同オン抵抗を持つ S_i デバイスの内部ゲート抵抗の 10 倍程度である。

[0007] その結果、 WBG デバイスでは、外部ゲート抵抗と内部ゲート抵抗それぞれの値が近くなる。そのため、例えば、 WBG デバイスのデバイスモデルを作成する際には、その精度を高めるために内部ゲート抵抗の値を正確に知る必要がある。

[0008] なお、内部ゲート抵抗の測定方法としては、所定の測定周波数（例えば 1 MHz ）におけるインピーダンス測定を行い、等価回路を用いて内部ゲート抵抗を導出する手法が一般的である。しかしながら、この従来手法では、測定周波数や等価回路の設定次第で、得られる結果が大きく変化してしまう。

[0009] 例えば、スイッチング動作時のゲート波形を単一の周波数で表すことはできないので、測定周波数が一義的に決まらず、正しい内部ゲート抵抗を測定することが難しい。また、 WBG デバイスの集積化が進むにつれて、ゲートフィンガー間に浮遊容量が現れるので、等価回路を正確に定義することも困難である。

[0010] 本明細書中に開示されている発明は、本願の発明者により見出された上記課題に鑑み、精度の高いデバイスパラメータの測定方法を提供することを目的とする。

課題を解決するための手段

[0011] 例えば、本明細書中に開示されているデバイスパラメータの測定方法は、スイッチ素子の外部ゲート抵抗を m 通り（ただし m は 3 以上の整数）に切り替えながらスイッチング過渡状態におけるゲート・ソース間電圧（又はゲート・エミッタ間電圧）の測定を繰り返すステップと；前記スイッチ素子の内部ゲート抵抗及びプラトー電圧をそれぞれ R_{gin} 及び V_p とし、 m 通りの前記外部ゲート抵抗及び前記ゲート・ソース間電圧（又はゲート・エミッタ間電圧）をそれぞれ $R_{g(k)}$ 及び $V_{gs(k)}$ （ただし $k = 1, 2, \dots$ 、

m) として、数式 $V_{gs}(k) = R_g(k) / (R_g(k) + R_{gin}) \times V_p$ のフィッティング処理を行うことにより、前記内部ゲート抵抗または前記プラトー電圧を導出するステップと；を有する構成（第1の構成）とされている。

[0012] また、本明細書中に開示されているデバイスパラメータの測定方法は、スイッチ素子の外部ゲート抵抗をm通り（ただしmは3以上の整数）に切り替えながらスイッチング過渡状態におけるゲート・ソース間電圧（又はゲート・エミッタ間電圧）の測定を繰り返すステップと；前記スイッチ素子の内部ゲート抵抗とプラトー電圧をそれぞれ R_{gin} 及び V_p とし、m通りの前記外部ゲート抵抗及び前記ゲート・ソース間電圧（又はゲート・エミッタ間電圧）をそれぞれ $R_g(k)$ 及び $V_{gs}(k)$ （ただし $k = 1, 2, \dots, m$ ）として、数式 $1/V_{gs}(k) = (R_{gin}/V_p) \times (1/R_g(k)) + (1/V_p)$ のフィッティング処理を行うことにより、 $1/V_{gs}(k)$ を $1/R_g(k)$ の一次関数として表現するステップと；前記一次関数の切片から前記プラトー電圧を導出するステップと；前記一次関数の傾きと先に導出された前記プラトー電圧から前記内部ゲート抵抗を導出するステップと；を有する構成（第2の構成）とされている。

[0013] また、本明細書中に開示されているデバイスパラメータの測定方法は、スイッチ素子の外部ゲート抵抗を第1設定値としてスイッチング過渡状態におけるゲート・ソース間電圧（又はゲート・エミッタ間電圧）を測定することにより第1測定値を得るステップと；前記外部ゲート抵抗を前記第1設定値とは異なる第2設定値として前記スイッチング過渡状態における前記ゲート・ソース間電圧（又はゲート・エミッタ間電圧）を測定することにより第2測定値を得るステップと；前記スイッチ素子の内部ゲート抵抗とプラトー電圧をそれぞれ R_{gin} 及び V_p とし、前記外部ゲート抵抗の前記第1設定値及び前記第2設定値をそれぞれ R_{g1} 及び R_{g2} とし、前記ゲート・ソース間電圧（又はゲート・エミッタ間電圧）の前記第1測定値及び前記第2測定値をそれぞれ V_{gs1} 及び V_{gs2} として、数式 $R_{gin} = (V_{gs1} - V_{gs2}) / (1/R_{g1} - 1/R_{g2})$ のフィッティング処理を行うことにより、 R_{gin} を導出するステップと；を有する構成（第3の構成）とされている。

$g_{s2}) \times R_{g1} \times R_{g2} / (R_{g1} \times V_{gs2} - R_{g2} \times V_{gs1})$ 、または、数式 $V_p = (R_{g1} - R_{g2}) \times V_{gs1} \times V_{gs2} / (R_{g1} \times V_{gs2} - R_{g2} \times V_{gs1})$ を解くことにより、前記内部ゲート抵抗または前記プラトー電圧を導出するステップと；を有する構成（第3の構成）とされている。

[0014] 或いは、例えば、本明細書中に開示されているデバイスパラメータの測定方法は、前記スイッチ素子のプラトー電圧を導出するステップと；前記スイッチ素子の外部ゲート抵抗を設定するステップと；前記スイッチ素子のスイッチング過渡状態におけるゲート・ソース間電圧（又はゲート・エミッタ間電圧）を測定するステップと；前記スイッチ素子の内部ゲート抵抗、前記外部ゲート抵抗、前記ゲート・ソース間電圧（又はゲート・エミッタ間電圧）、及び、前記プラトー電圧をそれぞれ R_{gin} 、 R_g 、 V_{gs} 、及び、 V_p として、数式 $R_{gin} = R_g \times (V_p - V_{gs}) / V_{gs}$ を解くことにより、前記内部ゲート抵抗を導出するステップと；を有する構成（第4の構成）とされている。

[0015] また、上記第1～第4いずれかの構成から成る測定方法において、前記スイッチング過渡状態は、前記スイッチ素子のターンオフ時にドレイン・ソース間電圧が変化している途中の状態である構成（第5の構成）にするとよい。

[0016] また、上記第1～第5いずれかの構成から成る測定方法は、ゲート端子、ドレイン端子（又はコレクタ端子）、第1ソース端子（又は第1エミッタ端子）、及び、第2ソース端子（又は第2エミッタ端子）を備えたスイッチ素子を測定対象とする構成（第6の構成）にするとよい。

[0017] また、上記第1～第5いずれかの構成から成る測定方法は、ゲート端子、ドレイン端子（又はコレクタ端子）、及び、ソース端子（又はエミッタ端子）を備えたスイッチ素子を測定対象とする構成（第7の構成）にしてもよい。

[0018] なお、上記第7の構成から成る測定方法は、前記スイッチ素子のドレイン

電流（又はコレクタ電流）を測定し、その結果に応じて前記ソース端子（又はエミッタ端子）に付随するインダクタンス成分の影響をキャンセルするステップを更に有する構成（第8の構成）にすることが望ましい。

[0019] また、上記第1～第8いずれかの構成から成る測定方法は、ワイドバンドギャップ半導体のスイッチ素子を測定対象とする構成（第9の構成）にする
とよい。

[0020] また、本明細書中に開示されている測定装置は、上記第1～第9いずれかの構成から成る測定方法を用いて、前記スイッチ素子のデバイスパラメータを測定する構成（第10の構成）とされている。

[0021] また、本明細書中に開示されているデバイスモデル作成方法は、上記第1～第9いずれかの構成から成る測定方法で測定された前記スイッチ素子のデバイスパラメータを用いて前記スイッチ素子のデバイスモデルを作成する構成（第11の構成）とされている。

発明の効果

[0022] 本明細書中に開示されている発明によれば、精度の高いデバイスパラメータの測定方法を提供することが可能となる。

図面の簡単な説明

[0023] [図1]測定装置の一構成例を示す図

[図2]ゲート・ソース間電圧のターンオフ過渡特性を示す図

[図3]デバイスパラメータの第1導出例を示す図

[図4]フィッティング処理の一例を示す図

[図5]デバイスパラメータの第2導出例を示す図

[図6] $1/R_g$ と $1/V_{gs}$ との関係を示す図

[図7]デバイスパラメータの第3導出例を示す図

[図8]デバイスパラメータの第4導出例を示す図

[図9]電流電圧特性とプラトー電圧との関係を示す図

[図10]電圧変化領域で電流変動が生じる様子を示す図

[図11]4ピンデバイスの接続例を示す図

[図12] 3ピンデバイスの接続例を示す図

発明を実施するための形態

[0024] <測定装置>

図1は、測定装置の一構成例を示す等価回路図である。本構成例の測定装置10は、スイッチ素子20のデバイスパラメータ（内部ゲート抵抗 R_{gi} ないしはプラトー電圧 V_p など）を測定するための装置であり、電圧源11と、電流源12と、制御部13と、を有する。また、測定装置10は、スイッチ素子20のゲートに外付けされる外部ゲート抵抗 R_g を有している。

[0025] スwitch素子20は、測定装置10の測定対象（DUT [device under test]）となる半導体スイッチングデバイスであり、本図では、Nチャネル型MOS電界効果トランジスタM1が用いられている。特に、今回提案する測定装置10を用いてデバイスパラメータを測定することが望ましいスイッチ素子20としては、外部ゲート抵抗 R_g と内部ゲート抵抗 R_{gi} それぞれの値が近いWBGデバイス（SiCパワートランジスタやGaNパワートランジスタなど）を挙げることができる。

[0026] 本図で等価的に示したように、トランジスタM1のゲート・ソース間、ゲート・ドレイン間、及び、ドレイン・ソース間には、それぞれ、ゲート・ソース間寄生容量 C_{gs} 、ゲート・ドレイン間寄生容量 C_{gd} 、及び、ドレイン・ソース間寄生容量 C_{ds} が付随している。なお、トランジスタM1の入力容量 C_{iss} は、ゲート・ソース間寄生容量 C_{gs} とゲート・ドレイン間寄生容量 C_{gd} との和（ $=C_{gs}+C_{gd}$ ）で表すことができる。また、トランジスタM1の出力容量 C_{oss} は、ドレイン・ソース間寄生容量 C_{ds} とゲート・ドレイン間寄生容量 C_{gd} との和（ $=C_{ds}+C_{gd}$ ）で表すことができる。

[0027] また、トランジスタM1のゲートには、内部ゲート抵抗 R_{gi} （＝ゲートフィンガーの配線抵抗成分など）が付随している。なお、トランジスタM1には、寄生ダイオードや寄生インダクタンスも付随するが、図示の便宜上、それらの描写及び説明を割愛する。

- [0028] スイッチ素子20各部の電圧や電流について、 V_{gs} はゲート・ソース間電圧、 $V_{gs}(\text{real})$ はゲート酸化膜に印加される電圧（実ゲート・ソース間電圧）、 V_{ds} はドレイン・ソース間電圧、 I_d はドレイン電流、 I_g はゲート電流をそれぞれ示している。
- [0029] なお、ゲート電流 I_g が流れているときには、内部ゲート抵抗 R_{gin} の両端間に降下電圧 $V_{drop} (= -I_g \times R_{gin})$ が生じるので、 $V_{gs} \neq V_{gs}(\text{real})$ となる。一方、ゲート電流 I_g が流れていないときには、上記の降下電圧 V_{drop} がゼロとなるので、寄生インダクタンスを無視すると、 $V_{gs} = V_{gs}(\text{real})$ となる。
- [0030] 電圧源11は、トランジスタM1に印加されるドレイン・ソース間電圧 V_{ds} を設定するための手段である。その接続関係について具体的に述べる。電圧源11の正極端（＝設定電圧 V_{SET} の印加端）は、電流源12の第1端に接続されている。電流源12の第2端は、トランジスタM1のドレイン端子Dに接続されている。トランジスタM1のソース端子Sは、電圧源11の負極端（＝接地端GND）に接続されている。このように、電圧源11と電流源12は、スイッチ素子20に対して直列に接続されている。すなわち、本図の測定系では、電圧源11、電流源12、及び、スイッチ素子20（＝トランジスタM1）による閉回路が形成されている。
- [0031] 電流源12は、トランジスタM1のオン期間に流れるドレイン電流 I_d の電流値を設定するための手段である。電流源12としては、コイルなどの誘導性負荷を用いるとよい。その場合、電流源12には、フライホイールダイオードを並列接続することが望ましい。
- [0032] 制御部13は、外部ゲート抵抗 R_g を介してトランジスタM1のゲート端子Gにパルス状の制御電圧 V_{CTRL} を印加することにより、トランジスタM1をオン／オフさせる。
- [0033] また、本図には明記されていないが、測定装置10は、トランジスタM1のゲート・ソース間電圧 V_{gs} 、ドレイン・ソース間電圧 V_{ds} 、ドレイン電流 I_d 、及び、ゲート電流 I_g を測定するための電圧計及び電流計を備え

ており、トランジスタM1のターンオン時及びターンオフ時の少なくとも一方について、そのスイッチング過渡状態を観測することにより、トランジスタM1のデバイスパラメータ（内部ゲート抵抗 R_{gin} ないしはプラトー電圧 V_p など）を測定する。

[0034] なお、トランジスタM1のスイッチング過渡状態とは、ドレイン・ソース間電圧 V_{ds} 及びドレイン電流 I_d の少なくとも一方が変化している途中の状態と理解してもよいし、若しくは、ゲート電流 I_g が流れている状態と理解してもよい。

[0035] 以下では、測定装置10を用いたデバイスパラメータの測定方法（＝実際のスイッチング挙動から内部ゲート抵抗 R_{gin} やプラトー電圧 V_p などのデバイスパラメータを導出する手法）について詳細に説明する。

[0036] <スイッチング過渡特性>

図2は、ゲート・ソース間電圧 V_{gs} のターンオフ過渡特性（実線： $R_g = R_{gL}$ の場合、破線： $R_g = R_{gM}$ の場合、一点鎖線： $R_g = R_{gH}$ の場合、ただし、 $R_{gL} < R_{gM} < R_{gH}$ ）を示すスイッチング波形図である。

[0037] トランジスタM1のターンオフ時において、ドレイン電流 I_d の変化が完了して、ドレイン・ソース間電圧 V_{ds} （不図示）がローレベル（ $\cong 0V$ ）からハイレベル（ $\cong V_{SET}$ ）に変化している途中の状態では、本図で示したように、ゲート・ソース間電圧 V_{gs} が一定値（またはほぼ一定値）となる領域、いわゆるプラトー領域（＝実ゲート・ソース間電圧 $V_{gs} (real)$ がプラトー電圧 V_p と一致している期間）が存在する。すなわち、プラトー領域では、ゲート・ソース間電圧 V_{gs} 及びゲート電流 I_g が一定値に保持されつつ、ドレイン・ソース間電圧 V_{ds} のみが変化していく。

[0038] このように、プラトー領域では、基本的に、ゲート電流 I_g 及びドレイン電流 I_d がそれぞれ一定値となる。従って、トランジスタM1のゲート及びソースにそれぞれ付随するインダクタンス成分は無視することができる。

[0039] ところで、測定装置10で測定することのできるゲート・ソース間電圧 V_{gs} は、トランジスタM1のゲート酸化膜に印加される実ゲート・ソース間

電圧 $V_{gs} (real)$ そのものではなく、内部ゲート抵抗 R_{gin} の両端間に生じる降下電圧 $V_{drop} (= I_g \times R_{gin})$ を加味した電圧値 ($V_{gs} = V_{gs} (real) + V_{drop}$) となる。

[0040] なお、トランジスタ $M1$ のプラトー電圧 V_p と内部ゲート抵抗 R_{gin} が共に固定値であることから、プラトー領域におけるゲート電流 $I_g (= -V_p / (R_g + R_{gin}))$ は、外部ゲート抵抗 R_g (延いてはトランジスタ $M1$ のスイッチング速度) に応じて一義的に決まる。また、内部ゲート抵抗 R_{gin} の両端間に生じる降下電圧 V_{drop} は、プラトー領域におけるゲート電流 I_g に依存する。従って、プラトー領域におけるゲート・ソース間電圧 $V_{gs} (= V_p + V_{drop})$ は、外部ゲート抵抗 R_g に応じて変化する。

[0041] 具体的に述べると、外部ゲート抵抗 R_g が小さい (= トランジスタ $M1$ のスイッチング速度が速い) ほど、ゲート電流 I_g が増大して、降下電圧 V_{drop} の絶対値が大きくなるので、プラトー領域におけるゲート・ソース間電圧 V_{gs} が低下する。逆に、外部ゲート抵抗 R_g が大きい (= トランジスタ $M1$ のスイッチング速度が遅い) ほど、ゲート電流 I_g が減少して、降下電圧 V_{drop} が小さくなるので、プラトー領域におけるゲート・ソース間電圧 V_{gs} が上昇する。

[0042] また、外部ゲート抵抗 R_g (延いてはゲート電流 I_g) を一定値とした場合、上記の降下電圧 $V_{drop} (= I_g \times R_{gin})$ の絶対値は、トランジスタ $M1$ の内部ゲート抵抗 R_{gin} に応じて決定される。従って、プラトー領域におけるゲート・ソース間電圧 V_{gs} (延いては降下電圧 V_{drop}) を測定することにより、内部ゲート抵抗 R_{gin} を導出することができる。

[0043] なお、ここでは、トランジスタ $M1$ のターンオフ時にゲート・ソース間電圧 V_{gs} の測定を行う旨の説明を行ったが、例えば、トランジスタ $M1$ のターンオン時にゲート・ソース間電圧 V_{gs} の測定を行うこともできる。ただし、トランジスタ $M1$ のターンオン時には、ターンオフ時と比べて、スイッチング過渡状態 (プラトー領域) におけるゲート・ソース間電圧 V_{gs} のノ

イズが大きくなり易いので、測定精度的に不利となる場合がある。

[0044] 以下では、上記の知見に基づくデバイスパラメータ（内部ゲート抵抗 $R_{g\ i\ n}$ やプラトー電圧 V_p ）の新規な導出手法について、種々の具体例を挙げながら、詳細に説明する。

[0045] <デバイスパラメータの導出手法（第1導出例）>

図3は、デバイスパラメータの第1導出例を示すフローチャートである。
まず、ステップS11では、測定回数を表す変数 k が初期値（例えば $k = 1$ ）に設定される。

[0046] 次に、ステップS12では、外部ゲート抵抗 R_g が設定値 $R_g(k)$ に設定される。

[0047] 続いて、ステップS13では、トランジスタM1のスイッチング過渡状態（例えば、ターンオフ時のプラトー領域）におけるゲート・ソース間電圧 $V_{g\ s}$ が測定され、測定値 $V_{g\ s}(k)$ が取得される。なお、内部ゲート抵抗 $R_{g\ i\ n}$ の測定精度を高めるためには、例えば、プラトー領域におけるゲート・ソース間電圧 $V_{g\ s}$ を複数回測定し、その平均値を算出して最終的な測定値とすることが望ましい。

[0048] 次に、ステップS14では、変数 k が所定値 m （ただし m は3以上の整数）であるか否かの判定が行われる。なお、ステップS14において、イエス判定が下された場合には、フローがステップS15に進められる。一方、ステップS14において、ノー判定が下された場合には、変数 k を1つインクリメントして、フローがステップS12に戻される。

[0049] すなわち、ステップS11～S14では、トランジスタM1の外部ゲート抵抗 R_g を m 通りの設定値 $R_g(1) \sim R_g(m)$ （ただし $R_g(1) \neq R_g(2) \neq \dots R_g(m)$ ）に切り替えながら、スイッチング過渡状態におけるゲート・ソース間電圧 $V_{g\ s}$ の測定を繰り返すことにより、 m 通りの測定値 $V_{g\ s}(1) \sim V_{g\ s}(m)$ を順次取得するステップに相当する。

[0050] ステップS14でイエス判定が下された場合、ステップS15では、 m 組の外部ゲート抵抗 $R_g(1) \sim R_g(m)$ 及びゲート・ソース間電圧 $V_{g\ s}$

(1) ~ $V_{gs}(m)$ を用いて、数式 $X: V_{gs}(k) = R_g(k) / (R_g(k) + R_{gin}) \times V_p$ のフィッティング処理を行うことにより内部ゲート抵抗 R_{gin} とプラトー電圧 V_p が導出される。

[0051] なお、数式 X は、 $V_{drop} = V_{gs} - V_p = -I_g \times R_{gin}$ という関係式に、 $I_g = V_p / (R_g + R_{gin})$ を代入することで得られる。

[0052] 図4は、ステップS15におけるフィッティング処理の一例を示す図 ($R_g - V_{gs}$ 相関図) である。なお、図中の黒丸は、 m 点の測定データ $D1 \sim Dm$ (本図では、 $D1(R_g(1), V_{gs}(1))$ 、 $D2(R_g(2), V_{gs}(2))$ 、 $D3(R_g(3), V_{gs}(3))$ 、 $D4(R_g(4), V_{gs}(4))$ 、 $D5(R_g(5), V_{gs}(5))$ 及び $D6(R_g(6), V_{gs}(6))$ の計6点) を示している。一方、図中の破線は、フィッティング処理された数式 X の曲線を示している。

[0053] なお、ステップS15におけるフィッティング処理では、例えば、 m 点の測定データ $D1 \sim Dm$ と数式 X との誤差が最小となるように、数式 X に含まれる内部ゲート抵抗 R_{gin} 及びプラトー電圧 V_p の最適解をそれぞれ算出すればよい。

[0054] このように、数式 X のフィッティング処理により内部ゲート抵抗 R_{gin} 及びプラトー電圧 V_p を導出する手法であれば、少なくとも3点以上の測定データに基づいて内部ゲート抵抗 R_{gin} 及びプラトー電圧 V_p が導出される。従って、内部ゲート抵抗 R_{gin} 及びプラトー電圧 V_p を精度良く導出することが可能となる。

[0055] <デバイスパラメータの導出手法(第2導出例)>

図5は、デバイスパラメータの第2導出例を示すフローチャートである。本導出例のステップS11~S14では、第1導出例(図3)と同じく、トランジスタM1の外部ゲート抵抗 R_g を m 通りの設定値 $R_g(1) \sim R_g(m)$ (ただし $R_g(1) \neq R_g(2) \neq \dots R_g(m)$) に切り替えながら、スイッチング過渡状態におけるゲート・ソース間電圧 V_{gs} の測定を繰り返すことにより、 m 通りの測定値 $V_{gs}(1) \sim V_{gs}(m)$ が順次取得され

る。

[0056] ステップS 1 4 でイエス判定が下された場合、ステップS 1 6 では、m組の外部ゲート抵抗 $R_{g(1)} \sim R_{g(m)}$ 及びゲート・ソース間電圧 $V_{gs(1)} \sim V_{gs(m)}$ を用いて、数式 $X' : 1/V_{gs(k)} = (R_{gin}/V_p) \times (1/R_{g(k)}) + (1/V_p)$ のフィッティング処理を行うことにより、 $1/V_{gs(k)}$ が $1/R_{g(k)}$ の一次関数($1/V_{gs(k)} = \alpha \times (1/R_{g(k)}) + \beta$)として表現される(ただし、傾き $\alpha = R_{gin}/V_p$ 、切片 $\beta = 1/V_p$)。

[0057] なお、数式 X' は、先出の数式 X を変形することで得られる。

[0058] 続くステップS 1 7 では、上記一次関数の切片 $\beta (= 1/V_p)$ から、プラトー電圧 V_p が導出される。

[0059] また、ステップS 1 8 では、上記一次関数の傾き $\alpha (= R_{gin}/V_p)$ と、ステップS 1 7 で導出されたプラトー電圧 V_p から、内部ゲート抵抗 R_{gin} が導出される。

[0060] 図6は、 $1/R_g$ と $1/V_{gs}$ との関係を示す図($1/R_g - 1/V_{gs}$ 相関図)である。なお、丸印及び三角印は、それぞれ、 $I_d = 10A$ 及び $20A$ におけるm点の測定データ $D_1 \sim D_m$ (例えば $m = 6$)を示している。また、一点鎖線及び破線は、それぞれ、フィッティング処理された数式 X' (一次関数)の直線を示している。

[0061] なお、ステップS 1 6 におけるフィッティング処理では、例えば、m点の測定データ $D_1 \sim D_m$ と数式 X' との誤差が最小となるように、一次関数の傾き α 及び切片 β の最適解をそれぞれ算出すればよい。

[0062] このように、数式 X' のフィッティング処理を行うことにより、 $1/V_{gs(k)}$ を $1/R_{g(k)}$ の一次関数($1/V_{gs(k)} = \alpha \times (1/R_{g(k)}) + \beta$)として表現し、その傾き α と切片 β から内部ゲート抵抗 R_{gin} 及びプラトー電圧 V_p を導出する手法であれば、先出の第1導出例と同じく、少なくとも3点以上の測定データに基づいて内部ゲート抵抗 R_{gin} 及びプラトー電圧 V_p が導出される。従って、内部ゲート抵抗 R_{gin} 及び

プラトー電圧 V_p を精度良く導出することが可能となる。

[0063] <デバイスパラメータの導出手法（第3導出例）>

図7は、デバイスパラメータの第3導出例を示すフローチャートである。

まず、ステップS21では、外部ゲート抵抗 R_g が第1設定値 R_{g1} に設定される。

[0064] 続いて、ステップS22では、トランジスタM1のスイッチング過渡状態（例えば、ターンオフ時のプラトー領域）におけるゲート・ソース間電圧 V_{gs} が測定され、第1測定値 V_{gs1} が取得される。

[0065] 次に、ステップS23では、外部ゲート抵抗 R_g が第2設定値 R_{g2} （ $\neq R_{g1}$ ）に設定される。

[0066] 続いて、ステップS24では、先のステップS22と同様に、トランジスタM1のスイッチング過渡状態（例えば、ターンオフ時のプラトー領域）におけるゲート・ソース間電圧 V_{gs} が測定され、第2測定値 V_{gs2} が取得される。

[0067] 最後に、ステップS25では、数式Y1： $R_{gin} = (V_{gs1} - V_{gs2}) \times R_{g1} \times R_{g2} / (R_{g1} \times V_{gs2} - R_{g2} \times V_{gs1})$ を解くことにより、内部ゲート抵抗 R_{gin} が導出される。

[0068] なお、数式Y1は、先出の数式Xに（ R_{g1} 、 V_{gs1} ）及び（ R_{g2} 、 V_{gs2} ）をそれぞれ代入し、プラトー電圧 V_p の項を打ち消すことで得られる。

[0069] また、上記とは逆に、先出の数式Xから内部ゲート抵抗 R_{gin} の項を打ち消せば、数式Y2： $V_p = (R_{g1} - R_{g2}) \times V_{gs1} \times V_{gs2} / (R_{g1} \times V_{gs2} - R_{g2} \times V_{gs1})$ を得ることができるので、プラトー電圧 V_p を導出することも可能である。

[0070] 先出の図2で示したように、外部ゲート抵抗 R_g が大きいほど、スイッチング過渡状態におけるゲート・ソース間電圧 V_{gs} の一定値保持期間が長くなる。従って、ゲート・ソース間電圧 V_{gs} の測定容易性を鑑みると、第1設定値 R_{g1} 及び第2設定値 R_{g2} は、大きい方が望ましい。ただし、第1

設定値 R_{g1} 及び第2設定値 R_{g2} の双方を大きくすると、第1測定値 V_{gs1} と第2測定値 V_{gs2} との差が小さくなるので、測定ばらつきの影響を受けやすくなる。このように、2点測定による第3導出例では、外部ゲート抵抗 R_g の設定値を適切に選定することが重要となる。

[0071] <デバイスパラメータの導出手法（第4導出例）>

図8は、デバイスパラメータの第4導出例を示すフローチャートである。まず、ステップS31では、トランジスタM1のプラトー電圧 V_p が導出される。

[0072] なお、プラトー電圧 V_p の導出手法としては、公知技術を適用すれば足りるので、詳細な説明は割愛するが、例えば、トランジスタM1のターンオン時及びターンオフ時の双方で測定されたゲート・ソース間電圧 $V_{gs, on}$ 及び $V_{gs, off}$ と、同じくトランジスタM1のターンオン時及びターンオフ時の双方で測定されたゲート電流 $I_{g, on}$ 及び $I_{g, off}$ の比を用いて、 $V_p = \{ (V_{gs, off} \times I_{g, on}) - (V_{gs, on} \times I_{g, off}) \} / (I_{g, on} - I_{g, off})$ から、プラトー電圧 V_p を導出することができる。

[0073] 図9は、トランジスタM1の $I_d - V_{gs}$ 特性（丸： $V_{ds} = V_{ds1}$ の場合、三角： $V_{ds} = V_{ds2}$ の場合、四角： $V_{ds} = V_{ds3}$ の場合、ただし、 $V_{ds1} < V_{ds2} < V_{ds3}$ ）とプラトー電圧 V_p との関係を示す図である。トランジスタM1の $I_d - V_{gs}$ 特性は、 $V_{gs} < V_p$ において、ドレイン・ソース間電圧 V_{ds} に依らず一致する。

[0074] 図8に戻ってフローの説明を続ける。ステップS32では、外部ゲート抵抗 R_g が設定され、ステップS33では、トランジスタM1のスイッチング過渡状態（例えば、ターンオフ時のプラトー領域）におけるゲート・ソース間電圧 V_{gs} が測定される。

[0075] 最後に、ステップS34では、数式Z： $R_{gin} = R_g \times (V_p - V_{gs}) / V_{gs}$ を解くことにより、内部ゲート抵抗 R_{gin} が導出される。なお、数式Zは、先出の数式Xを変形することで得られる。

[0076] <電圧変化領域での電流変動>

図10は、ドレイン・ソース間電圧 V_{ds} の変化領域でドレイン電流 I_d の変動が生じる様子（ここではターンオン過渡特性）を示す図である。なお、本図中において、実線はドレイン・ソース間電圧 V_{ds} 、破線はドレイン電流 I_d 、一点鎖線はゲート・ソース間電圧 V_{gs} をそれぞれ示している。

[0077] 本来、トランジスタM1のスイッチング過渡状態では、ドレイン電流 I_d の変化が完了した後に、ドレイン・ソース間電圧 V_{ds} が変化し始める。すなわち、ドレイン・ソース間電圧 V_{ds} の変化領域でゲート・ソース間電圧 V_{gs} を測定する際には、ドレイン電流 I_d が一定値となっているはずである。

[0078] しかし、実際には、ドレイン・ソース間電圧 V_{ds} の変化領域において、出力容量 C_{oss} の充放電電流が流れるので、これに起因するドレイン電流 I_d の変動が発生する。

[0079] なお、本図では、トランジスタM1のターンオン過渡特性を示したが、トランジスタM1のターンオフ時においても、ドレイン・ソース間電圧 V_{ds} の変化領域でドレイン電流 I_d の変動が生じ得る。

[0080] このようなドレイン電流 I_d の変動は、ゲート・ソース間電圧 V_{gs} の測定に悪影響を及ぼし、延いては、デバイスパラメータ（内部ゲート抵抗 R_{gin} ないしプラトー電圧 V_p など）の導出精度を低下させる要因となり得る。以下、この問題点について考察する。

[0081] <スイッチ素子（4ピンデバイス）>

図11は、4ピンデバイスの接続例を示す図である。本図では、測定装置10の測定対象として、4ピンパッケージ（本図の吹き出し枠を参照）のスイッチ素子20aが接続されている。すなわち、スイッチ素子20aは、一般的なゲート端子G、ドレイン端子D、及び、ソース端子Sのほかに、ゲート駆動用の第2ソース端子SS（＝電圧源11の負極端に接続されることなく制御部13にのみ接続されるソースセンス端子）を備えている。

[0082] このような4ピンデバイスを測定対象とする場合には、ソース端子Sに付

随するインダクタンス成分の影響を受けない。従って、ドレイン・ソース間電圧 V_{ds} の変化領域において、仮にドレイン電流 I_d が変動したとしても、ゲート・ソース間電圧 V_{gs} の測定結果には影響がないので、先述の導出手法により、トランジスタ $M1$ のデバイスパラメータを正確に導出することができる。

[0083] <スイッチ素子（3ピンデバイス）>

図12は、3ピンデバイスの接続例を示す図である。本図では、測定装置10の相定対象として、一般的な3ピンパッケージ（本図の吹き出し枠を参照）のスイッチ素子20bが接続されている。すなわち、スイッチ素子20bは、一般的なゲート端子G、ドレイン端子D、及び、ソース端子Sのみを備えており、先述の第2ソース端子SS（図11）は備えていない。

[0084] このような3ピンデバイスを測定対象とする場合には、ソース端子Sに付随するインダクタンス成分の影響を受ける。具体的に述べると、ドレイン・ソース間電圧 V_{ds} の変化領域でドレイン電流 I_d が変動すると、ソース端子Sに付随するインダクタンス成分Lに起電圧（ $L \times dI_d / dt$ ）が発生する。その結果、ゲート・ソース間電圧 V_{gs} の測定結果に影響が及ぶので、トランジスタ $M1$ のデバイスパラメータを正確に導出することができなくなる。

[0085] そこで、3ピンデバイスを測定対象とする場合には、トランジスタ $M1$ のドレイン電流 I_d を測定し、その測定結果に基づいてソース端子Sに付随するインダクタンス成分Lの影響をキャンセルするステップを追加することが望ましい。具体的に述べると、ドレイン電流 I_d の変化量とソース端子Sに付随するインダクタンス成分Lからキャンセル量を算出すればよい。

[0086] また、上記問題を回避する手法としては、外部ゲート抵抗 R_g を大きい値に設定して測定を行うことにより、寄生容量の充放電電流を極力抑えることも可能である。ただし、その場合、外部ゲート抵抗 R_g の変化に伴うゲート電流 I_g の変化が鈍くなるので、測定精度が犠牲となり得る点に留意が必要である。

[0087] <デバイスモデル作成方法>

なお、トランジスタM1のデバイスモデル作成に際しては、本測定方法を用いて測定された内部ゲート抵抗 R_{gin} ないしはプラトー電圧 V_p をパラメータ化して、デバイスモデルの等価回路記述に含めるとよい。これにより、トランジスタM1の挙動をシミュレーション上で忠実に再現することが可能となり、延いては、シミュレーションの精度を高めることが可能となる。

[0088] <IGBT [insulated gate bipolar transistor] への適用>

なお、上記の実施形態では、MOSFETを測定対象とした例を挙げて説明を行ってきたが、デバイスパラメータの測定対象は何らこれに限定されるものではなく、例えば、IGBTを測定対象とする際にも適用することができる。

[0089] その場合には、上記説明中のトランジスタM1に関する端子、電圧、及び、電流の名称について、「ソース」を「エミッタ」と読み替えると共に、「ドレイン」を「コレクタ」と読み替えればよい。

[0090] ただし、IGBTは、MOSFETと比べてチップ面積が大きく、内部ゲート抵抗 R_{gin} も小さいので、測定はより困難となる。また、IGBTでは、出力容量 C_{oss} への充放電電流も大きくなるので、3ピンデバイスでの測定は難しくなると考えられる。

[0091] <その他の変形例>

また、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

産業上の利用可能性

[0092] 本明細書中に開示されているデバイスパラメータの測定方法は、例えばワ

イドバンドギャップ半導体のスイッチ素子（S i CパワートランジスタやG a Nパワートランジスタ）のデバイスモデルを作成する際に利用することが可能である。

符号の説明

[0093]	1 0	測定装置
	1 1	電圧源
	1 2	電流源
	1 3	制御部
	2 0、2 0 a、2 0 b	スイッチ素子
	C d s	ドレイン・ソース間寄生容量
	C g s	ゲート・ソース間寄生容量
	C g d	ゲート・ドレイン間寄生容量
	D	ドレイン端子
	G	ゲート端子
	M 1	Nチャネル型M O S電界効果トランジスタ
	R g	外部ゲート抵抗
	R g i n	内部ゲート抵抗
	S	ソース端子（第1ソース端子）
	S S	ソースセンス端子（第2ソース端子）

請求の範囲

- [請求項1] スイッチ素子の外部ゲート抵抗を m 通り（ただし m は3以上の整数）に切り替えながらスイッチング過渡状態におけるゲート・ソース間電圧（又はゲート・エミッタ間電圧）の測定を繰り返すステップと；
- 前記スイッチ素子の内部ゲート抵抗とプラトー電圧をそれぞれ $R_{g\ i\ n}$ 及び V_p とし、 m 通りの前記外部ゲート抵抗及び前記ゲート・ソース間電圧（又はゲート・エミッタ間電圧）をそれぞれ $R_{g\ (k)}$ 及び $V_{g\ s\ (k)}$ （ただし $k = 1, 2, \dots, m$ ）として、数式 $V_{g\ s\ (k)} = R_{g\ (k)} / (R_{g\ (k)} + R_{g\ i\ n}) \times V_p$ のフィッティング処理を行うことにより、前記内部ゲート抵抗または前記プラトー電圧を導出するステップと；
- を有することを特徴とするデバイスパラメータの測定方法。
- [請求項2] スイッチ素子の外部ゲート抵抗を m 通り（ただし m は3以上の整数）に切り替えながらスイッチング過渡状態におけるゲート・ソース間電圧（又はゲート・エミッタ間電圧）の測定を繰り返すステップと；
- 前記スイッチ素子の内部ゲート抵抗とプラトー電圧をそれぞれ $R_{g\ i\ n}$ 及び V_p とし、 m 通りの前記外部ゲート抵抗及び前記ゲート・ソース間電圧（又はゲート・エミッタ間電圧）をそれぞれ $R_{g\ (k)}$ 及び $V_{g\ s\ (k)}$ （ただし $k = 1, 2, \dots, m$ ）として、数式 $1/V_{g\ s\ (k)} = (R_{g\ i\ n}/V_p) \times (1/R_{g\ (k)}) + (1/V_p)$ のフィッティング処理を行うことにより、 $1/V_{g\ s\ (k)}$ を $1/R_{g\ (k)}$ の一次関数として表現するステップと；
- 前記一次関数の切片から前記プラトー電圧を導出するステップと；
- 前記一次関数の傾きと先に導出された前記プラトー電圧から前記内部ゲート抵抗を導出するステップと；
- を有することを特徴とするデバイスパラメータの測定方法。
- [請求項3] スイッチ素子の外部ゲート抵抗を第1設定値としてスイッチング過渡状態におけるゲート・ソース間電圧（又はゲート・エミッタ間電圧

）を測定することにより第1測定値を得るステップと；

前記外部ゲート抵抗を前記第1設定値とは異なる第2設定値として前記スイッチング過渡状態における前記ゲート・ソース間電圧（又はゲート・エミッタ間電圧）を測定することにより第2測定値を得るステップと；

前記スイッチ素子の内部ゲート抵抗とプラトー電圧をそれぞれ R_{gin} 及び V_p とし、前記外部ゲート抵抗の前記第1設定値及び前記第2設定値をそれぞれ R_{g1} 及び R_{g2} とし、前記ゲート・ソース間電圧（又はゲート・エミッタ間電圧）の前記第1測定値及び前記第2測定値をそれぞれ V_{gs1} 及び V_{gs2} として、数式 $R_{gin} = (V_{gs1} - V_{gs2}) \times R_{g1} \times R_{g2} / (R_{g1} \times V_{gs2} - R_{g2} \times V_{gs1})$ 、または、数式 $V_p = (R_{g1} - R_{g2}) \times V_{gs1} \times V_{gs2} / (R_{g1} \times V_{gs2} - R_{g2} \times V_{gs1})$ を解くことにより、前記内部ゲート抵抗または前記プラトー電圧を導出するステップと；

を有することを特徴とするデバイスパラメータの測定方法。

[請求項4]

前記スイッチ素子のプラトー電圧を導出するステップと；

前記スイッチ素子の外部ゲート抵抗を設定するステップと；

前記スイッチ素子のスイッチング過渡状態におけるゲート・ソース間電圧（又はゲート・エミッタ間電圧）を測定するステップと；

前記スイッチ素子の内部ゲート抵抗、前記外部ゲート抵抗、前記ゲート・ソース間電圧（又はゲート・エミッタ間電圧）、及び、前記プラトー電圧をそれぞれ R_{gin} 、 R_g 、 V_{gs} 、及び、 V_p として、数式 $R_{gin} = R_g \times (V_p - V_{gs}) / V_{gs}$ を解くことにより、前記内部ゲート抵抗を導出するステップと；

を有することを特徴とするデバイスパラメータの測定方法。

[請求項5]

前記スイッチング過渡状態は、前記スイッチ素子のターンオフ時にドレイン・ソース間電圧が変化している途中の状態であることを特徴

とすることを特徴とする請求項 1 ～請求項 4 のいずれか一項に記載の測定方法。

[請求項6] ゲート端子、ドレイン端子（又はコレクタ端子）、第 1 ソース端子（又は第 1 エミッタ端子）、及び、第 2 ソース端子（又は第 2 エミッタ端子）を備えたスイッチ素子を測定対象とすることを特徴とする請求項 1 ～請求項 5 のいずれか一項に記載の測定方法。

[請求項7] ゲート端子、ドレイン端子（又はコレクタ端子）、及び、ソース端子（又はエミッタ端子）を備えたスイッチ素子を測定対象とすることを特徴とする請求項 1 ～請求項 5 のいずれか一項に記載の測定方法。

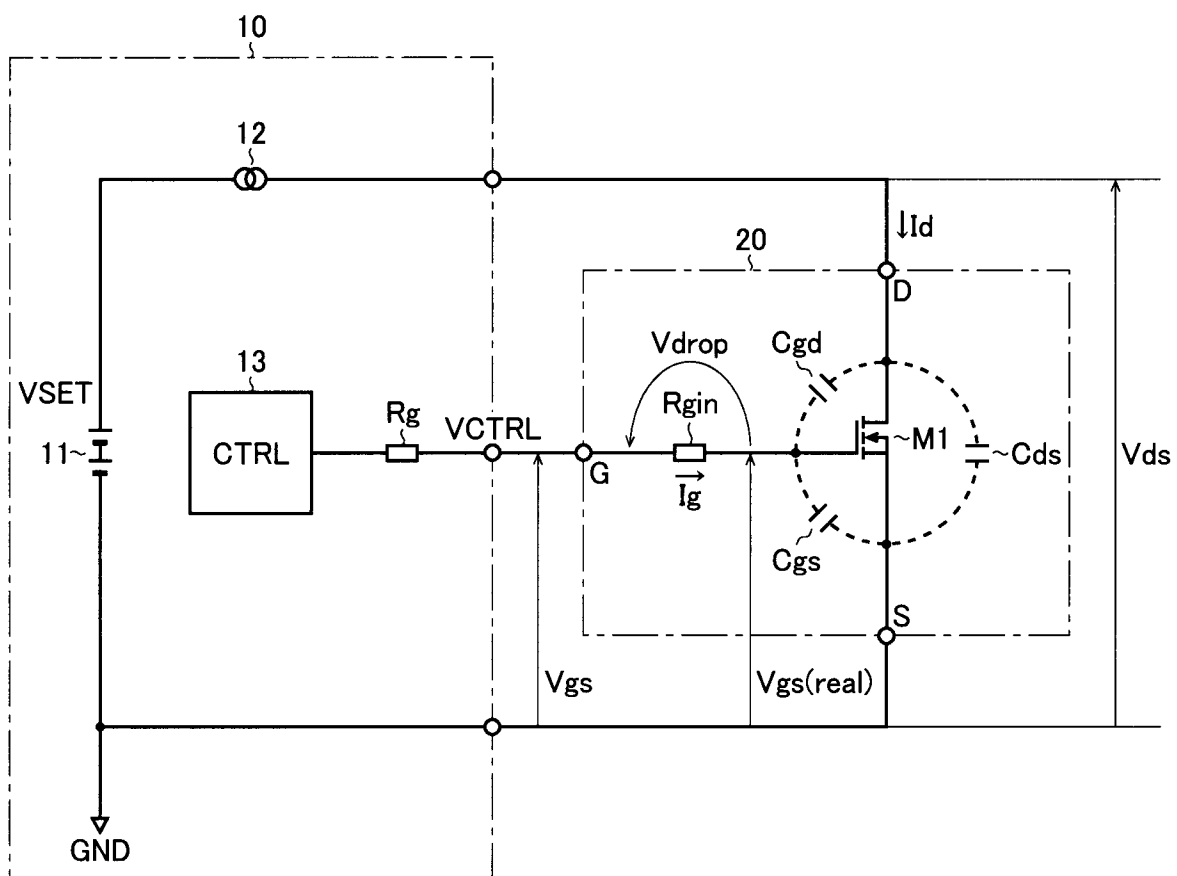
[請求項8] 前記スイッチ素子のドレイン電流（又はコレクタ電流）を測定し、その結果に応じて前記ソース端子（又はエミッタ端子）に付随するインダクタンス成分の影響をキャンセルするステップをさらに有することを特徴とする請求項 7 に記載の測定方法。

[請求項9] ワイドバンドギャップ半導体のスイッチ素子を測定対象とすることを特徴とする請求項 1 ～請求項 8 のいずれか一項に記載の測定方法。

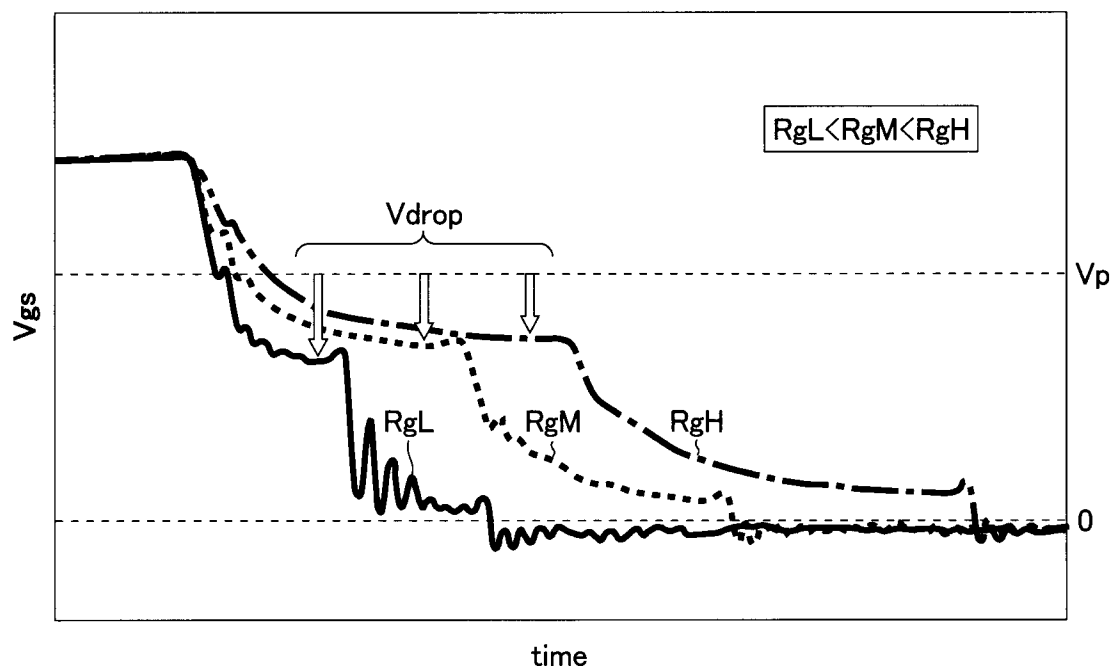
[請求項10] 請求項 1 ～請求項 9 に記載の測定方法を用いて前記スイッチ素子のデバイスパラメータを測定することを特徴とする測定装置。

[請求項11] 請求項 1 ～請求項 9 に記載の測定方法で測定された前記スイッチ素子のデバイスパラメータを用いて前記スイッチ素子のデバイスモデルを作成することを特徴とするデバイスモデル作成方法。

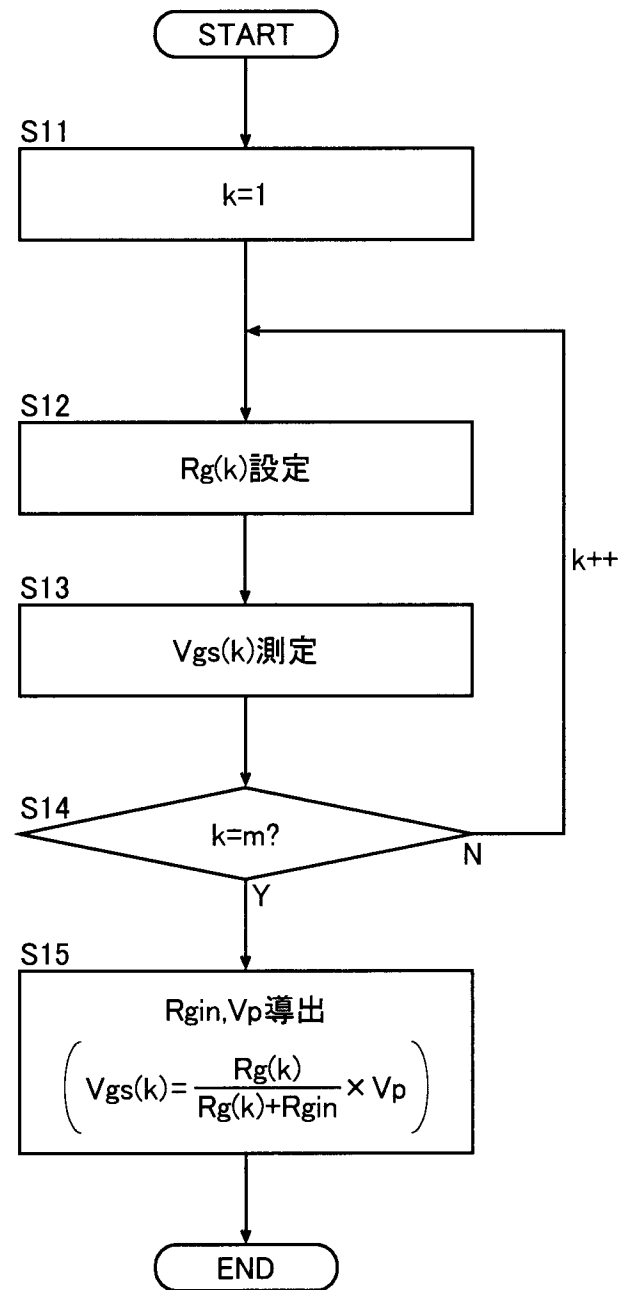
[図1]



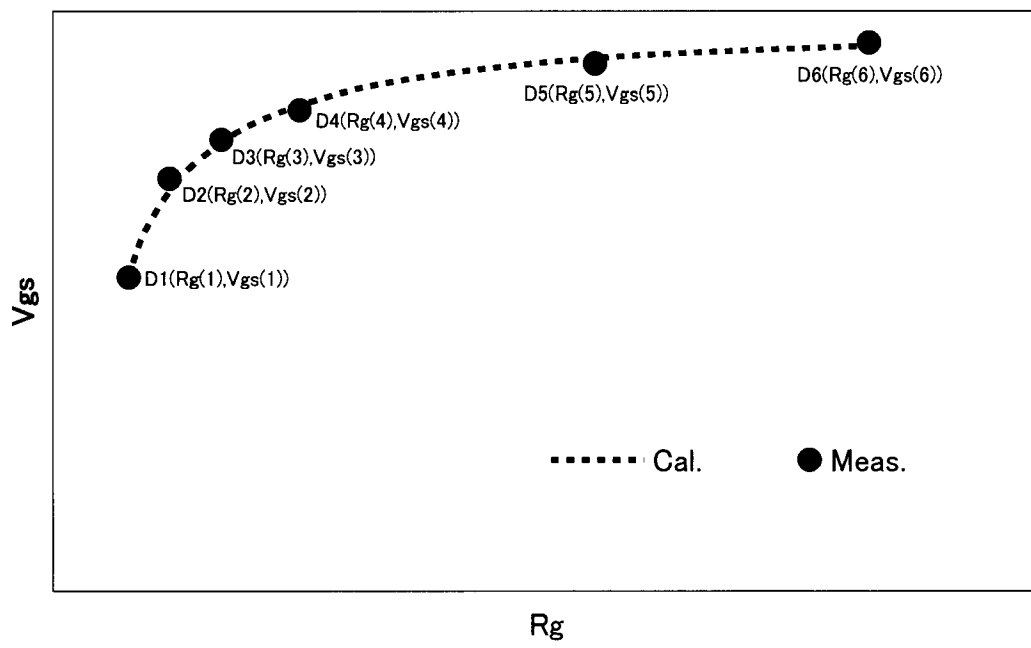
[図2]



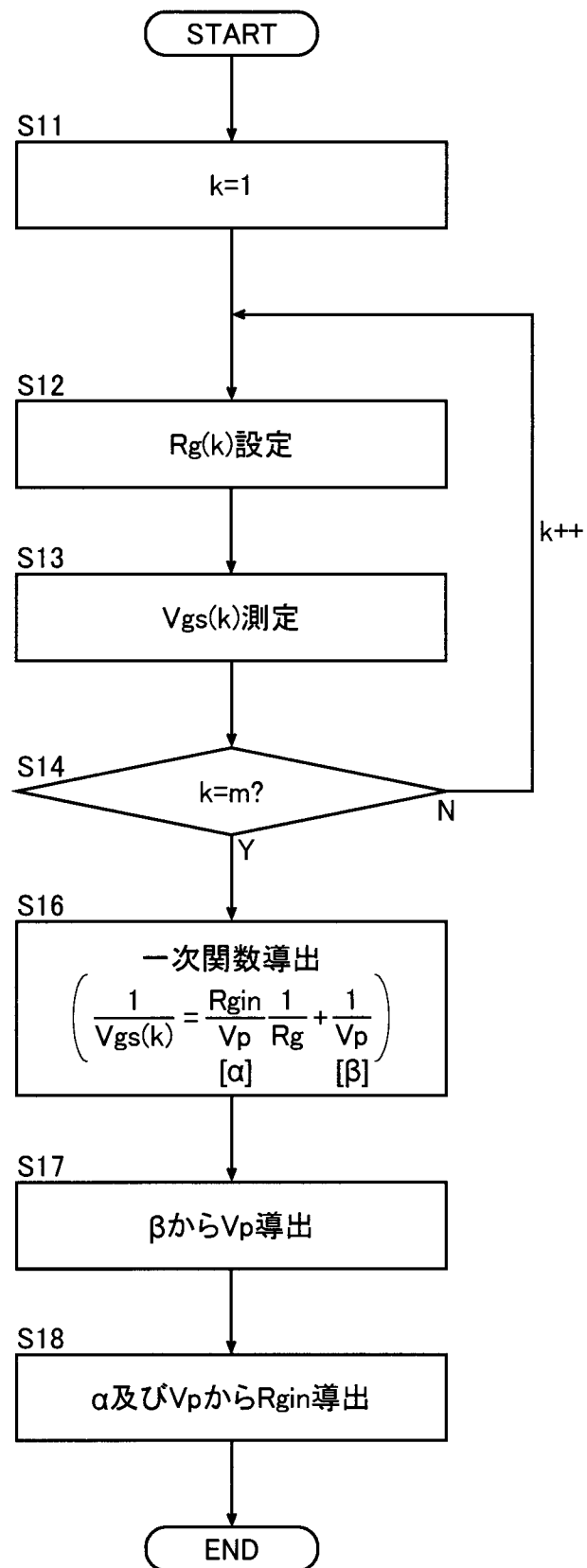
[図3]



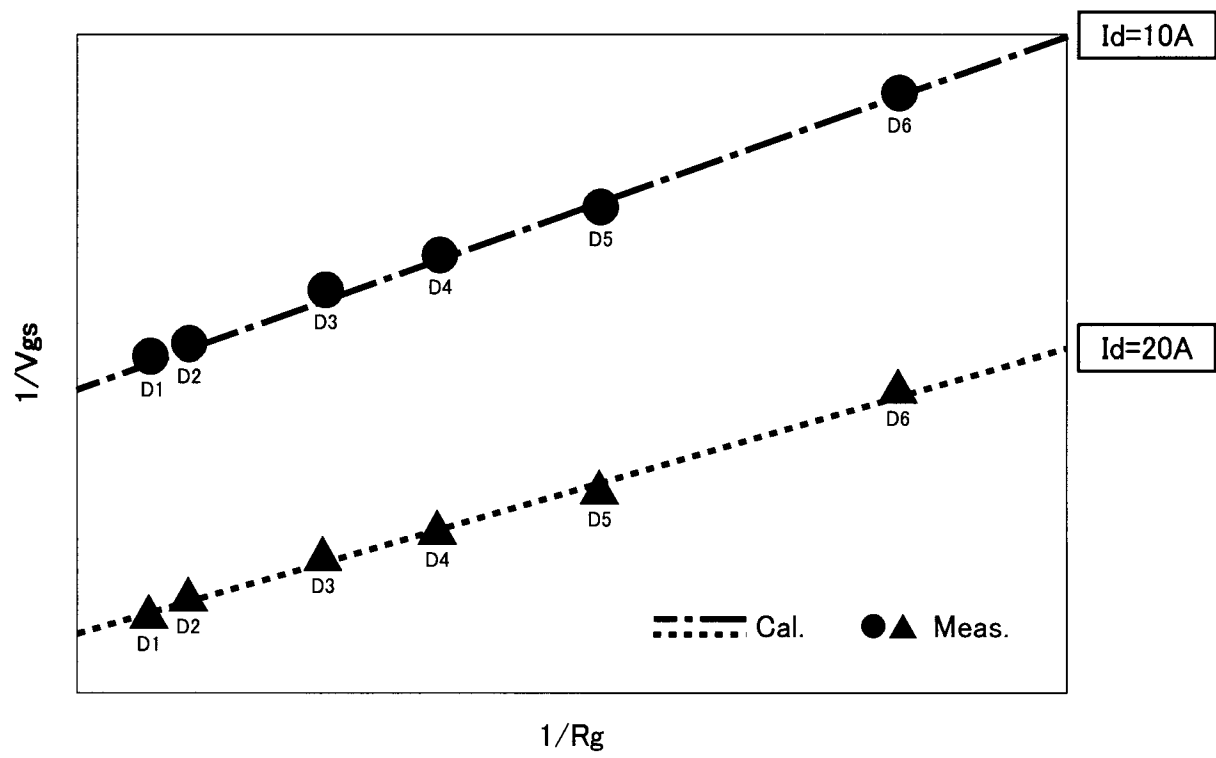
[図4]



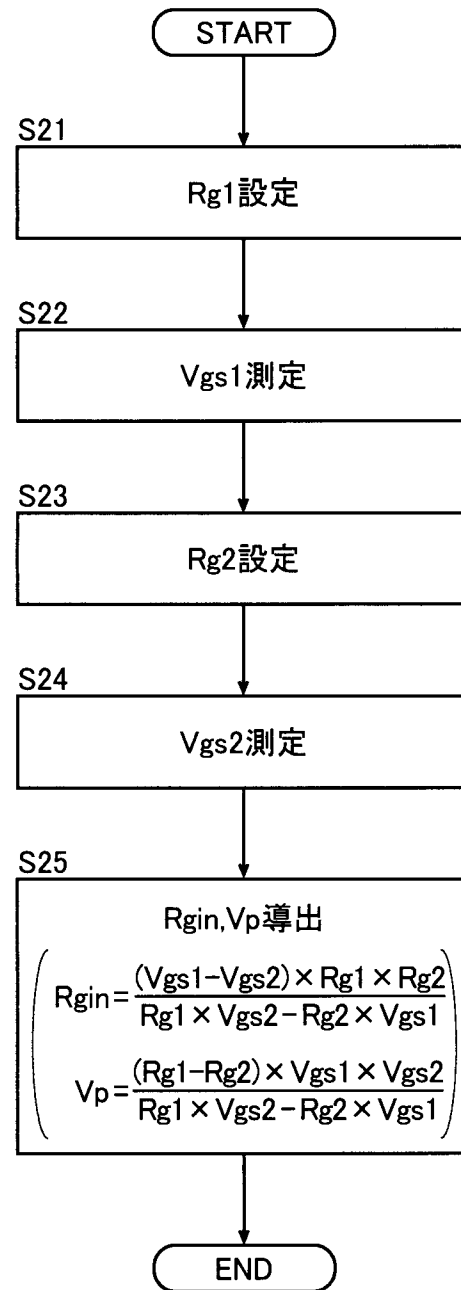
[図5]



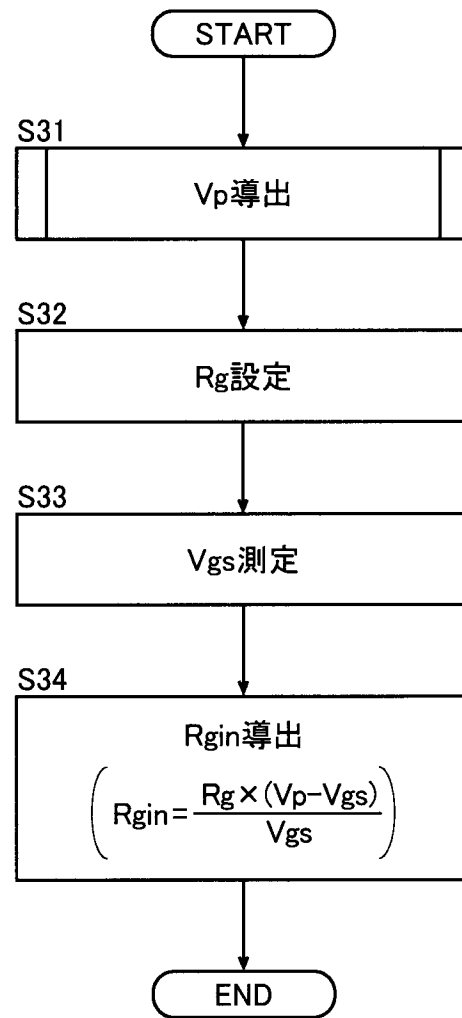
[図6]



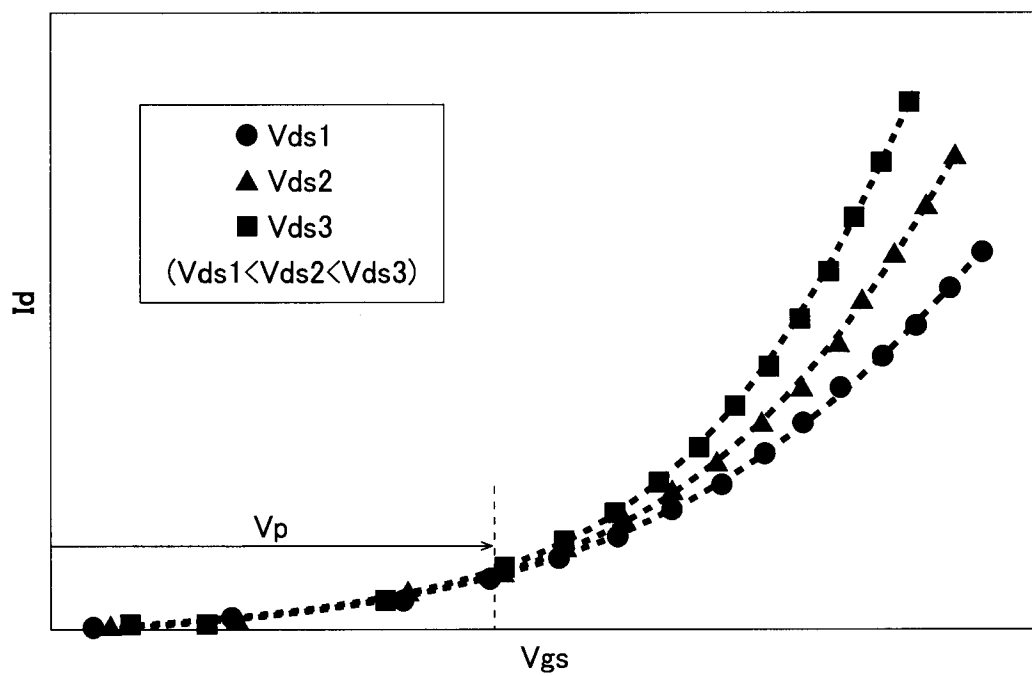
[図7]



[図8]



[図9]



The graph shows the relationship between the drain-source voltage (V_{ds}), drain current (I_d), and gate-source voltage (V_{gs}) over time. The horizontal axis represents time, and the vertical axis represents voltage and current. The V_{gs} signal (dash-dot line) starts at a low level, rises linearly to a plateau, and then rises again. The V_{ds} signal (solid line) starts at a high level, remains constant until V_{gs} begins its second rise, then falls linearly to zero. The I_d signal (dotted line) starts at zero, rises linearly to a peak during the first rise of V_{gs} , and then falls linearly to zero as V_{ds} falls.

The diagram shows a circuit 10 and a cross-sectional view 20a of a semiconductor device. The circuit 10 includes a power supply 11 connected to a gate terminal G of a transistor M1. A control unit 13 is connected to the gate terminal G via a resistor Rg. The gate terminal G is also connected to a gate input resistor Rgin. The source terminal S of the transistor M1 is connected to ground (GND) via a resistor. The drain terminal D of the transistor M1 is connected to the power supply 11 via a resistor. The gate voltage Vgs is indicated across the gate terminal G and the source terminal S. The gate current Ig is indicated flowing into the gate terminal G. The drain current Id is indicated flowing out of the drain terminal D. The cross-sectional view 20a shows the transistor M1 with its gate, source, and drain regions, and the gate input resistor Rgin.

[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/014245

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/00(2006.01)i; H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 29/12(2006.01)i; G01R 31/26(2020.01)i

FI: G01R31/26 B; H01L29/78 301T; H01L29/78 301Z; H01L29/78 658L; H01L27/06 102A; H01L29/78 657F; H01L29/78 652K; H01L29/78 652T; H01L27/088 C; H01L27/04 P; H01L29/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822; H01L27/04; H01L21/8234; H01L27/06; H01L27/088; H01L29/00; H01L21/336; H01L29/78; H01L29/12; G01R31/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-181178 A (ROHM CO., LTD.) 05.10.2017 (2017-10-05) entire text, all drawings	1-11
A	JP 2010-211387 A (MITSUBISHI ELECTRIC CORP.) 24.09.2010 (2010-09-24) entire text, all drawings	1-11
A	JP 2013-142704 A (ABB RESEARCH LTD.) 22.07.2013 (2013-07-22) entire text, all drawings	1-11

☒ Further documents are listed in the continuation of Box C.	☒ See patent family annex.
--	--

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17 June 2020 (17.06.2020)	Date of mailing of the international search report 30 June 2020 (30.06.2020)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/014245

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2007/0040571 A1 (DOLIAN, Krikor M.) 22.02.2007 (2007-02-22) entire text, all drawings	1-11
A	JP 7-176740 A (NEC CORP.) 14.07.1995 (1995-07-14) entire text, all drawings	1-11
A	JP 2015-161627 A (KEYSIGHT TECHNOLOGIES INC.) 07.09.2015 (2015-09-07) entire text, all drawings	1-11
A	JP 2000-58613 A (MITSUBISHI ELECTRIC CORP.) 25.02.2000 (2000-02-25) entire text, all drawings	1-11
P, A	WO 2019/146460 A1 (ROHM CO., LTD.) 01.08.2019 (2019-08-01) entire text, all drawings	1-11

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/014245

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2017-181178 A	05 Oct. 2017	US 2017/0285095 A1 entire text, all drawings (Family: none)	
JP 2010-211387 A	24 Sep. 2010	US 2013/0177041 A1 entire text, all drawings EP 2615467 A1 CN 103207362 A (Family: none)	
JP 2013-142704 A	22 Jul. 2013		
US 2007/0040571 A1	22 Feb. 2007	(Family: none)	
JP 7-176740 A	14 Jul. 1995	(Family: none)	
JP 2015-161627 A	07 Sep. 2015	(Family: none)	
JP 2000-58613 A	25 Feb. 2000	(Family: none)	
WO 2019/146460 A1	01 Aug. 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/00(2006.01)i; H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 29/12(2006.01)i; G01R 31/26(2020.01)i FI: G01R31/26 B; H01L29/78 301T; H01L29/78 301Z; H01L29/78 658L; H01L27/06 102A; H01L29/78 657F; H01L29/78 652K; H01L29/78 652T; H01L27/088 C; H01L27/04 P; H01L29/00																																
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/822; H01L27/04; H01L21/8234; H01L27/06; H01L27/088; H01L29/00; H01L21/336; H01L29/78; H01L29/12; G01R31/26 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年																						
日本国実用新案公報	1922 - 1996年																															
日本国公開実用新案公報	1971 - 2020年																															
日本国実用新案登録公報	1996 - 2020年																															
日本国登録実用新案公報	1994 - 2020年																															
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2017-181178 A（ローム株式会社）05.10.2017（2017 - 10 - 05） 全文，全図</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>JP 2010-211387 A（三菱電機株式会社）24.09.2010（2010 - 09 - 24） 全文，全図</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>JP 2013-142704 A（アーベー・リサーチ・リミテッド）22.07.2013（2013 - 07 - 22） 全文，全図</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>US 2007/0040571 A1（DOLIAN, Krikor M.）22.02.2007（2007 - 02 - 22） 全文，全図</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>JP 7-176740 A（日本電気株式会社）14.07.1995（1995 - 07 - 14） 全文，全図</td> <td>1-11</td> </tr> </tbody> </table> ☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。 <table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2017-181178 A（ローム株式会社）05.10.2017（2017 - 10 - 05） 全文，全図	1-11	A	JP 2010-211387 A（三菱電機株式会社）24.09.2010（2010 - 09 - 24） 全文，全図	1-11	A	JP 2013-142704 A（アーベー・リサーチ・リミテッド）22.07.2013（2013 - 07 - 22） 全文，全図	1-11	A	US 2007/0040571 A1（DOLIAN, Krikor M.）22.02.2007（2007 - 02 - 22） 全文，全図	1-11	A	JP 7-176740 A（日本電気株式会社）14.07.1995（1995 - 07 - 14） 全文，全図	1-11	* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																														
A	JP 2017-181178 A（ローム株式会社）05.10.2017（2017 - 10 - 05） 全文，全図	1-11																														
A	JP 2010-211387 A（三菱電機株式会社）24.09.2010（2010 - 09 - 24） 全文，全図	1-11																														
A	JP 2013-142704 A（アーベー・リサーチ・リミテッド）22.07.2013（2013 - 07 - 22） 全文，全図	1-11																														
A	US 2007/0040571 A1（DOLIAN, Krikor M.）22.02.2007（2007 - 02 - 22） 全文，全図	1-11																														
A	JP 7-176740 A（日本電気株式会社）14.07.1995（1995 - 07 - 14） 全文，全図	1-11																														
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																															
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																															
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																															
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献																															
"O" 口頭による開示、使用、展示等に言及する文献																																
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																																
国際調査を完了した日	国際調査報告の発送日																															
17.06.2020	30.06.2020																															
名称及びあて先	権限のある職員（特許庁審査官）																															
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	永井 皓喜 2S 5701 電話番号 03-3581-1101 内線 3216																															

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-161627 A (キーサイト テクノロジーズ, インク.) 07.09.2015 (2015 - 09 - 07) 全文, 全図	1-11
A	JP 2000-58613 A (三菱電機株式会社) 25.02.2000 (2000 - 02 - 25) 全文, 全図	1-11
P, A	W0 2019/146460 A1 (ローム株式会社) 01.08.2019 (2019 - 08 - 01) 全文, 全図	1-11

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/014245

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-181178	A	05.10.2017	US 2017/0285095 A1 全文, 全図	
JP	2010-211387	A	24.09.2010	(ファミリーなし)	
JP	2013-142704	A	22.07.2013	US 2013/0177041 A1 全文, 全図	
				EP 2615467 A1	
				CN 103207362 A	
US	2007/0040571	A1	22.02.2007	(ファミリーなし)	
JP	7-176740	A	14.07.1995	(ファミリーなし)	
JP	2015-161627	A	07.09.2015	(ファミリーなし)	
JP	2000-58613	A	25.02.2000	(ファミリーなし)	
WO	2019/146460	A1	01.08.2019	(ファミリーなし)	