



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월17일
(11) 등록번호 10-0795422
(24) 등록일자 2008년01월10일

(51) Int. Cl.

H01J 9/02 (2006.01)

(21) 출원번호 10-2000-0026324
(22) 출원일자 2000년05월17일
심사청구일자 2005년04월20일
(65) 공개번호 10-2000-0077294
(43) 공개일자 2000년12월26일

(30) 우선권주장

99-137521 1999년05월18일 일본(JP)
99-200222 1999년07월14일 일본(JP)

(56) 선행기술조사문헌

US05542866 A1

전체 청구항 수 : 총 21 항

(73) 특허권자

소니 가부시끼 가이샤

일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자

가미 테유키히로

일본국 도쿄도 시나가와 쿠카 히타시 나가와 6쵸메 7반 35고
소니 가부시끼 가이샤 내

구보타신지

일본국 도쿄도 시나가와 쿠카 히타시 나가와 6쵸메 7반 35고
소니 가부시끼 가이샤 내

(뒷면에 계속)

(74) 대리인

김재만, 유미특허법인

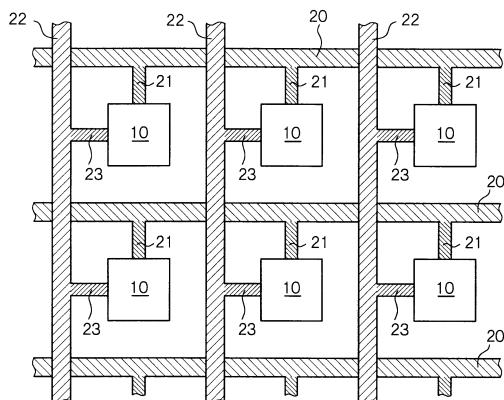
심사관 : 천대식

(54) 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법

(57) 요 약

캐소드 패널은 (a) 복수의 메인 배선(main wiring), (b) 각 메인 배선으로부터 연장되는 복수의 브랜치 배선(branch wiring), 및 (c) 각 브랜치 배선에 접속된 냉음극 전계 전자 방출부를 구비하고, 동작 불량의 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 절단되어 있다.

대표도 - 도1



(72) 발명자

사타히로시

일본국도쿄도시나가와쿠키타시나가와6쵸메7반35고
소니가부시끼가이샤내

기쿠치가즈오

일본국도쿄도시나가와쿠키타시나가와6쵸메7반35고
소니가부시끼가이샤내

특허청구의 범위

청구항 1

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서, 상기 캐소드 패널은, 복수의 메인 배선; 상기 복수의 메인 배선 중 하나의 메인 배선으로부터 연장되는 복수의 브랜치 배선; 및 복수의 냉음극 전계 전자 방출부를 포함하고, 상기 복수의 냉음극 전계 전자 방출부 중 하나의 냉음극 전계 전자 방출부는 상기 복수의 브랜치 배선 중 하나의 브랜치 배선을 통해 상기 메인 배선에 접속되어 있고, 상기 캐소드 패널의 제조 방법은, 상기 하나의 냉음극 전계 전자 방출부의 동작이 불량인 경우, 상기 메인 배선으로부터 상기 하나의 냉음극 전계 전자 방출부의 캐소드 전극을 전기적으로 절연시키는 단계를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 절연은, 상기 하나의 냉음극 전계 전자 방출부와 접속된 브랜치 배선이 절단되어 이루어지는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 5

제1항에 있어서,

상기 절연은, 상기 하나의 냉음극 전계 전자 방출부와 접속된 브랜치 배선이 단선되어 이루어지는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 6

제1항에 있어서,

상기 브랜치 배선은 알루미늄층 또는 알루미늄 합금층으로 이루어지고; 또는, 상기 브랜치 배선은 알루미늄층 또는 알루미늄 합금층으로 이루어지는 제1 브랜치 배선 부분과, 알루미늄층 또는 알루미늄 합금층과 배리어 메탈층의 2층 구조를 가지는 제2 브랜치 배선 부분으로 구성되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 7

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

상기 캐소드 패널은,

복수의 메인 배선;

복수의 제1 브랜치 배선으로서, 상기 복수의 제1 브랜치 배선 중 하나의 제1 브랜치 배선은 상기 복수의 메인

배선 중 하나의 메인 배선에 접속되고, 다른 하나의 제1 브랜치 배선은 다른 하나의 메인 배선에 접속되며, 복수의 제2 브랜치 배선으로서, 상기 복수의 제2 브랜치 배선 중 하나의 제2 브랜치 배선은 상기 하나의 메인 배선에 접속되고, 다른 하나의 제2 브랜치 배선은 상기 다른 하나의 메인 배선에 접속되며, 상기 하나의 제1 브랜치 배선과 상기 다른 하나의 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부와, 상기 하나의 제2 브랜치 배선과 상기 다른 하나의 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부를 가지는, 냉음극 전계 전자 방출 영역

을 포함하고,

상기 캐소드 패널의 제조 방법은,

상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부의 동작이 정상일 경우, 상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부 중 어느 하나를 상기 메인 배선으로부터 전기적으로 절연하는 단계

를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 8

제7항에 있어서,

상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부 중 어느 하나가 동작 불량인 경우, 상기 하나의 메인 배선 또는 다른 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 9

제7항에 있어서,

상기 제1 냉음극 전계 전자 방출부는, 상기 하나의 메인 배선 또는 상기 다른 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 10

제7항에 있어서,

상기 제2 냉음극 전계 전자 방출부는, 상기 하나의 메인 배선 또는 상기 다른 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 11

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

상기 캐소드 패널은,

복수의 메인 배선;

상기 복수의 메인 배선 중 하나의 메인 배선에 접속된 제1 브랜치 배선, 및 제2 브랜치 배선을 가지는, 브랜치 배선;

상기 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부와 상기 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부를 가지는, 냉음극 전계 전자 방출 영역

을 포함하고,

상기 캐소드 패널의 제조 방법은,

상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부 양쪽의 동작이 정상인 경우, 상기 하나의 메인 배선으로부터 상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부 중 어느 하나를 전기적으로 절연하는 단계

를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 12

제11항에 있어서,

상기 제1 및 제2 냉음극 전계 전자 방출부는, 캐소드 전극에 접속되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 13

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

상기 캐소드 패널은,

복수의 메인 배선;

복수의 제1 브랜치 배선으로서, 상기 복수의 제1 브랜치 배선 중 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 하나의 메인 배선에 접속되고, 상기 복수의 제1 브랜치 배선 중 다른 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 다른 하나의 메인 배선에 접속되며,

복수의 제2 브랜치 배선으로서, 상기 복수의 제2 브랜치 배선 중 하나의 제2 브랜치 배선은 상기 하나의 메인 배선에 접속되고, 상기 복수의 제2 브랜치 배선 중 다른 하나의 제2 브랜치 배선은 상기 복수의 메인 배선 중 또 다른 하나의 메인 배선에 접속되며,

상기 하나의 제1 브랜치 배선과 상기 다른 하나의 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부와, 상기 하나의 제2 브랜치 배선과 상기 다른 하나의 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부를 가지는, 냉음극 전계 전자 방출 영역

을 포함하고,

상기 캐소드 패널의 제조 방법은,

상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부 양쪽의 동작이 정상인 경우, 상기 메인 배선으로부터 상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부 중 어느 하나를 전기적으로 절연하는 단계

를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 14

청구항 14은(는) 설정등록료 납부시 포기되었습니다.

제13항에 있어서,

상기 제1 냉음극 전계 전자 방출부가 동작이 정상인 경우, 상기 하나의 메인 배선 또는 상기 다른 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 15

삭제

청구항 16

삭제

청구항 17

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제13항에 있어서,

상기 제2 냉음극 전계 전자 방출부가 동작이 정상인 경우, 상기 하나의 메인 배선 또는 상기 또 다른 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패

널의 제조 방법.

청구항 18

청구항 18은(는) 설정등록료 납부시 포기되었습니다.

제13항에 있어서,

상기 제1 및 제2 냉음극 전계 전자 방출부 중의 어느 하나가 동작이 불량인 경우, 상기 하나의 메인 배선 또는 상기 다른 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 19

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

상기 캐소드 패널은,

복수의 메인 배선;

복수의 브랜치 배선으로서, 상기 복수의 메인 배선 중 하나의 메인 배선에 접속된 제1 브랜치 배선과, 상기 복수의 메인 배선 중 다른 하나의 메인 배선에 접속된 제2 브랜치 배선을 가지고,

상기 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부와, 상기 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부를 가지는, 냉음극 전계 전자 방출 영역

을 포함하고,

상기 캐소드 패널의 제조 방법은,

상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부 양쪽의 동작이 정상인 경우, 상기 메인 배선으로부터 상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부 중 어느 하나를 전기적으로 절연하는 단계

를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 20

청구항 20은(는) 설정등록료 납부시 포기되었습니다.

제19항에 있어서,

상기 제1 및 제2 냉음극 전계 전자 방출부 중 어느 하나가 동작이 불량인 경우, 상기 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 21

청구항 21은(는) 설정등록료 납부시 포기되었습니다.

제19항에 있어서,

상기 제1 냉음극 전계 전자 방출부는, 상기 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 22

청구항 22은(는) 설정등록료 납부시 포기되었습니다.

제19항에 있어서,

상기 제2 냉음극 전계 전자 방출부는, 상기 다른 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 23

청구항 23은(는) 설정등록료 납부시 포기되었습니다.

제19항에 있어서,

상기 제1 및 제2 냉음극 전계 전자 방출부는, 캐소드 전극에 접속되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 24

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

상기 캐소드 패널은,

복수의 메인 배선;

복수의 제1 브랜치 배선으로서, 상기 복수의 제1 브랜치 배선 중 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 하나의 메인 배선에 접속되고, 상기 복수의 제1 브랜치 배선 중 다른 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 다른 하나의 메인 배선에 접속되며,

복수의 제2 브랜치 배선으로서, 상기 복수의 제2 브랜치 배선 중 하나의 제2 브랜치 배선은 상기 하나의 메인 배선에 접속되고, 상기 복수의 제2 브랜치 배선 중 다른 하나의 제2 브랜치 배선은 복수의 메인 배선 중 또 다른 하나의 메인 배선에 접속되며,

상기 하나의 제1 브랜치 배선과 상기 다른 하나의 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부와, 상기 하나의 제2 브랜치 배선과 상기 다른 하나의 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부를 가지는, 냉음극 전계 전자 방출 영역

을 포함하고,

상기 캐소드 패널의 제조 방법은,

상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부 양쪽의 동작이 정상인 경우, 상기 메인 배선으로부터 상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부 중 어느 하나를 전기적으로 절연하는 단계

를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 25

청구항 25은(는) 설정등록료 납부시 포기되었습니다.

제24항에 있어서,

상기 제1 냉음극 전계 전자 방출부는, 상기 하나의 메인 배선 또는 상기 다른 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 26

청구항 26은(는) 설정등록료 납부시 포기되었습니다.

제24항에 있어서,

상기 제2 냉음극 전계 전자 방출부는, 상기 하나의 메인 배선 또는 상기 또 다른 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 27

삭제

청구항 28

삭제

청구항 29

청구항 29은(는) 설정등록료 납부시 포기되었습니다.

제24항에 있어서,

상기 제1 및 제2 냉음극 전계 전자 방출부 중 어느 하나가 동작이 불량인 경우, 상기 하나의 메인 배선 또는 상기 다른 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 30

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

상기 캐소드 패널은,

복수의 메인 배선;

상기 복수의 메인 배선 중 하나의 메인 배선에 접속된 제1 브랜치 배선과, 상기 복수의 메인 배선 중 다른 하나의 메인 배선에 접속된 제2 브랜치 배선을 가지는, 브랜치 배선;

상기 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부와, 상기 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부를 가지는, 냉음극 전계 전자 방출 영역

을 포함하고,

상기 캐소드 패널의 제조 방법은,

상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부 양쪽의 동작이 정상인 경우, 상기 메인 배선으로부터 상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부 중 어느 하나를 전기적으로 절연하는 단계

를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 31

청구항 31은(는) 설정등록료 납부시 포기되었습니다.

제30항에 있어서,

상기 제1 및 제2 냉음극 전계 전자 방출부 중 어느 하나의 동작이 불량인 경우, 상기 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 32

청구항 32은(는) 설정등록료 납부시 포기되었습니다.

제30항에 있어서,

상기 제1 냉음극 전계 전자 방출부는, 상기 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 33

청구항 33은(는) 설정등록료 납부시 포기되었습니다.

제30항에 있어서,

상기 제2 냉음극 전계 전자 방출부는, 상기 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 34

청구항 34은(는) 설정등록료 납부시 포기되었습니다.

제30항에 있어서,

상기 제1 및 제2 냉음극 전계 전자 방출부는, 캐소드 전극에 접속되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 35

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

상기 캐소드 패널은,

복수의 메인 배선;

복수의 제1 브랜치 배선으로서, 상기 복수의 제1 브랜치 배선 중 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 하나인 제1 메인 배선에 접속되고, 상기 복수의 제1 브랜치 배선 중 다른 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 다른 하나인 제2 메인 배선에 접속되며,

복수의 제2 브랜치 배선으로서, 상기 복수의 제2 브랜치 배선 중 하나의 제2 브랜치 배선은 상기 복수의 메인 배선 중 또 다른 하나인 제3 메인 배선에 접속되고, 상기 복수의 제2 브랜치 배선 중 다른 하나의 제2 브랜치 배선은 상기 복수의 메인 배선 중 또 다른 하나인 제4 메인 배선에 접속되며,

상기 하나의 제1 브랜치 배선과 상기 다른 하나의 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부와, 상기 하나의 제2 브랜치 배선과 상기 다른 하나의 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부를 가지는, 냉음극 전계 전자 방출 영역

을 포함하고,

상기 캐소드 패널의 제조 방법은,

상기 제1 냉음극 전계 전자 방출부와 상기 제2 냉음극 전계 전자 방출부 양쪽의 동작이 정상인 경우, 상기 메인 배선으로부터 상기 제1 및 제2 냉음극 전계 전자 방출부 중 어느 하나를 전기적으로 절연하는 단계

를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 36

청구항 36은(는) 설정등록료 납부시 포기되었습니다.

제35항에 있어서,

상기 제1 및 제2 냉음극 전계 전자 방출부 중 어느 하나의 동작이 불량인 경우, 상기 제1 메인 배선 또는 상기 제2 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 37

청구항 37은(는) 설정등록료 납부시 포기되었습니다.

제35항에 있어서,

상기 제1 냉음극 전계 전자 방출부는, 상기 제1 메인 배선 또는 상기 제2 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 38

청구항 38은(는) 설정등록료 납부시 포기되었습니다.

제35항에 있어서,

상기 제2 냉음극 전계 전자 방출부는, 상기 제3 메인 배선 또는 상기 제4 메인 배선으로부터 구조적으로 절연되

어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 39

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

상기 캐소드 패널은,

복수의 메인 배선;

복수의 제1 브랜치 배선으로서, 상기 복수의 제1 브랜치 배선 중 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 하나의 메인 배선에 접속되고, 상기 복수의 제1 브랜치 배선 중 다른 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 다른 하나의 메인 배선에 접속되며,

상기 하나의 메인 배선에 접속된 하나의 제2 브랜치 배선을 가지는, 제2 브랜치 배선,

상기 하나의 제1 브랜치 배선과 상기 다른 하나의 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부와, 상기 하나의 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부를 가지는, 냉음극 전계 전자 방출 영역을 포함하고,

상기 캐소드 패널의 제조 방법은,

상기 제1 냉음극 전계 전자 방출부가 동작이 불량인 경우,

상기 제1 냉음극 전계 전자 방출부를 상기 메인 배선으로부터 전기적으로 절연하는 단계,

상기 제2 냉음극 전계 전자 방출부를 상기 다른 하나의 메인 배선에 접속하는 단계

를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 40

청구항 40은(는) 설정등록료 납부시 포기되었습니다.

제39항에 있어서,

상기 제1 냉음극 전계 전자 방출부는, 상기 하나의 메인 배선 또는 상기 다른 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 41

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

상기 캐소드 패널은,

복수의 메인 배선;

상기 복수의 메인 배선 중 하나의 메인 배선에 접속된 제1 브랜치 배선을 가지는, 브랜치 배선;

상기 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부와, 제2 전계 전자 방출부를 가지는, 냉음극 전계 전자 방출 영역

을 포함하고,

상기 캐소드 패널의 제조 방법은,

상기 제1 냉음극 전계 전자 방출부가 동작이 불량인 경우,

상기 제1 냉음극 전계 전자 방출부를 상기 하나의 메인 배선으로부터 전기적으로 절연하는 단계,

상기 제2 냉음극 전계 전자 방출부를 상기 하나의 메인 배선에 접속하는 단계

를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 42

청구항 42은(는) 설정등록료 납부시 포기되었습니다.

제41항에 있어서,

상기 제1 및 제2 냉음극 전계 전자 방출부는, 캐소드 전극에 접속되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 43

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

상기 캐소드 패널은,

복수의 메인 배선;

복수의 제1 브랜치 배선으로서, 상기 복수의 제1 브랜치 배선 중 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 하나의 메인 배선에 접속되고, 상기 복수의 제1 브랜치 배선 중 다른 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 다른 하나의 메인 배선에 접속되며,

상기 하나의 메인 배선에 접속된 하나의 제2 브랜치 배선을 가지는, 제2 브랜치 배선,

상기 하나의 제1 브랜치 배선과 상기 다른 하나의 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부와, 상기 하나의 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부를 가지는, 냉음극 전계 전자 방출 영역을 포함하고,

상기 캐소드 패널의 제조 방법은,

상기 제1 냉음극 전계 전자 방출부가 동작이 불량인 경우,

상기 제1 냉음극 전계 전자 방출부를 상기 메인 배선으로부터 전기적으로 절연하는 단계,

상기 제2 냉음극 전계 전자 방출부를 다른 하나의 메인 배선에 접속하는 단계

를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 44

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

상기 캐소드 패널은,

복수의 메인 배선;

상기 복수의 메인 배선 중 하나의 메인 배선에 접속된 제1 브랜치 배선을 가지는, 브랜치 배선;

상기 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부와, 제2 전계 전자 방출부를 가지는, 냉음극 전계 전자 방출 영역

을 포함하고,

상기 캐소드 패널의 제조 방법은,

상기 제1 냉음극 전계 전자 방출부가 동작이 불량인 경우,

상기 제1 냉음극 전계 전자 방출부를 상기 메인 배선으로부터 전기적으로 절연하는 단계,

상기 제2 냉음극 전계 전자 방출부를 다른 메인 배선에 접속하는 단계

를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 45

청구항 45은(는) 설정등록료 납부시 포기되었습니다.

제44항에 있어서,

상기 제1 냉음극 전계 전자 방출부는, 상기 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로

하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 46

청구항 46은(는) 설정등록료 납부시 포기되었습니다.

제44항에 있어서,

상기 제1 및 제2 냉음극 전계 전자 방출부는, 캐소드 전극에 접속하고 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 47

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

상기 캐소드 패널은,

복수의 메인 배선;

복수의 제1 브랜치 배선으로서, 상기 복수의 제1 브랜치 배선 중 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 하나의 메인 배선에 접속되고, 상기 복수의 제1 브랜치 배선 중 다른 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 다른 하나의 메인 배선에 접속되며,

복수의 제2 브랜치 배선으로서, 상기 복수의 제2 브랜치 배선 중 하나의 제2 브랜치 배선은 또 다른 하나의 메인 배선에 접속되고,

상기 하나의 제1 브랜치 배선과 상기 다른 하나의 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부와, 상기 하나의 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부를 가지는, 냉음극 전계 전자 방출 영역을 포함하고,

상기 캐소드 패널의 제조 방법은,

상기 제1 냉음극 전계 전자 방출부가 동작이 불량인 경우,

상기 제1 냉음극 전계 전자 방출부를 상기 메인 배선으로부터 전기적으로 절연하는 단계,

상기 제2 냉음극 전계 전자 방출부를 상기 하나의 메인 배선에 접속하는 단계

를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 48

청구항 48은(는) 설정등록료 납부시 포기되었습니다.

제47항에 있어서,

상기 제1 냉음극 전계 전자 방출부는, 상기 하나의 메인 배선 또는 상기 다른 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 49

냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

상기 캐소드 패널은,

복수의 메인 배선;

복수의 제1 브랜치 배선으로서, 상기 복수의 제1 브랜치 배선 중 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 하나의 메인 배선에 접속되고, 상기 복수의 제1 브랜치 배선 중 다른 하나의 제1 브랜치 배선은 상기 복수의 메인 배선 중 다른 하나의 메인 배선에 접속되며,

복수의 제2 브랜치 배선으로서, 상기 복수의 제2 브랜치 배선 중 하나의 제2 브랜치 배선은 상기 복수의 메인 배선 중 또 다른 하나의 메인 배선에 접속되며,

상기 하나의 제1 브랜치 배선과 상기 다른 하나의 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부와,

상기 하나의 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부를 가지는, 냉음극 전계 전자 방출 영역을 포함하고,

상기 캐소드 패널의 제조 방법은,

상기 제1 냉음극 전계 전자 방출부가 동작이 불량인 경우,

상기 제1 냉음극 전계 전자 방출부를 상기 메인 배선으로부터 전기적으로 절연하는 단계,

상기 제2 냉음극 전계 전자 방출부를 상기 다른 하나의 메인 배선과 다른 메인 배선에 접속하는 단계,

를 포함하는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

청구항 50

청구항 50은(는) 설정등록료 납부시 포기되었습니다.

제49항에 있어서,

상기 제1 냉음극 전계 전자 방출부는, 상기 하나의 메인 배선 또는 상기 다른 하나의 메인 배선으로부터 구조적으로 절연되어 있는 것을 특징으로 하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<67> 본 발명은 냉음극 전계 전자 방출 표시 장치용 캐소드 패널 및 이러한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널이 내장된 냉음극 전계 전자 방출 표시 장치, 및 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법에 관한 것이다.

<68> 현재 주류인 음극선관(CRT)에 대신하는 화상 표시 장치로서, 평면형(플랫 패널 형식)의 표시 장치가 여러 가지로 검토되고 있다. 이와 같은 평면형의 표시 장치로서, 액정 표시 장치(LCD), 전계 발광 표시 장치(ELD), 플라스마 표시 장치(PDP)를 예시할 수 있다. 또, 열적 여기(勵起)에 의하지 않고 고체로부터 진공 중에 전자를 방출하는 것이 가능한 냉음극 전계 전자 방출 표시 장치, 이른바 필드 이미션 디스플레이(field emission display)(FED)도 제안되어 있으며, 고해상도, 고화도의 컬러 표시, 및 저소비 전력의 관점에서 주목을 집중시키고 있다.

<69> 냉음극 전계 전자 방출 표시 장치(이하, "표시장치"라고 약칭하는 경우가 있음)는, 일반적으로, 2차원 매트릭스 형으로 배열된 각 화소에 대응하여 냉음극 전계 전자 방출부(이하, "전자 방출부"라고 약칭하는 경우가 있음)를 가지는 캐소드 패널(cathode panel)과, 전자 방출부로부터 방출된 전자와의 충돌에 의해 여기되어 발광하는 형광체층을 가지는 애노드 패널(anode panel)이 진공층을 통해 대향 배치된 구성을 가진다. 캐소드 패널 상에 형성된 전자 방출부는, 통상, 1개 또는 복수의 냉음극 전계 전자 방출 소자(이하, "전계 방출 소자"라고 약칭하는 경우가 있음)로 구성되어 있다.

<70> 전계 방출 소자는, 일반적으로, 스픬트형(Spindt type), 에지형(edge type) 및 평면형으로 분류할 수 있다.

<71> 일례로서, 스픬트형 전계 방출 소자를 적용한 표시 장치의 개념도를 도 27에 나타내고, 캐소드 패널(50) 및 애노드 패널(60)의 일부분의 개략적인 분해 사시도를 종래예로서 도 63에 나타냈다. 이러한 표시 장치를 구성하는 스픬트형 전계 방출 소자는 지지체(51)에 형성된 캐소드 전극(52)과, 절연층(53)과, 절연층(53) 상에 형성된 게이트 전극(54)과, 게이트 전극(54) 및 절연층(53)을 관통하여 형성된 개구부(55) 내에 형성된 원추형의 전자 방출 전극(이미터 전극)(56)으로 구성되어 있다. 전자 방출 전극(56)이 소정수, 2차원 매트릭스형으로 배열되어, 1화소를 구성하는 전자 방출부가 형성된다. 캐소드 전극(52)은 제1 방향으로 연장되는 스트라이프형이며, 게이트 전극(54)은 제1 방향과는 상이한 제2 방향으로 연장되는 스트라이프형이다(도 63 참조). 스트라이프형의 캐소드 전극(52)과 스트라이프형의 게이트 전극(54)이 중복되는 영역이 전자 방출부(10)에 상당한다. 캐소드 패널

(50)은 이러한 복수의 전자 방출부가 형성되어 구성되고 있다.

<72> 한편, 애노드 패널(60)은 기판(61) 상에 소정의 패턴을 가지는 형광체층(62)(구체적으로는, 도 63에 나타낸 바와 같이, 적색을 발광하는 형광체층(62R), 녹색을 발광하는 형광체층(62G), 및 청색을 발광하는 형광체층(62B))이 형성되고, 형광체층(62)이 애노드 전극(63)으로 덮인 구조를 가진다. 그리고, 이들 형광체층(62R, 62G, 62B)의 사이는 카본 등의 광 흡수성 재료로 이루어지는 블랙 매트릭스(64)로 매입(埋入)되어 있어, 표시 화상의 색흐림이 방지되고 있다. 기판(61) 상에서의 형광체층(62)과 애노드 전극(63)의 적층순을 상기와 역(逆)으로 해도 상관없지만, 이 경우에는, 표시 장치의 관찰면측에서 보아 애노드 전극(63)이 형광체층(62)의 바로 앞으로 오기 때문에, 애노드 전극(63)을 ITO(인디뮴-석(錫) 산화물) 등의 투명 도전 재료로 구성할 필요가 있다.

<73> 캐소드 전극(52)과 게이트 전극(54)과의 사이에 전압을 인가하면, 그 결과 발생한 전계에 의해 전자 방출 전극(56)의 선단으로부터 전자가 방출된다. 그리고, 전자는 애노드 패널(60)에 형성된 애노드 전극(63)으로 끌려, 애노드 전극(63)과 투명 기판(61)과의 사이에 형성된 발광체층인 형광체층(62)에 충돌한다. 그 결과, 형광체층(62)이 여기되어 발광하여, 원하는 화상을 얻을 수 있다. 전계 방출 소자의 동작은 기본적으로, 게이트 전극(54)에 인가되는 전압에 의해 제어된다.

<74> 도 27 및 도 63에 나타낸 표시 장치에서의 스픬트형 전계 방출 소자의 제조 방법의 개요를, 이하, 도 31 및 도 32를 참조하면서 설명한다. 이 제조 방법은 기본적으로는, 원추형의 전자 방출 전극(56)을 금속 재료의 수직 증착에 의해 형성하는 방법이다. 즉, 개구부(55)에 대하여 증착 입자는 수직으로 입사하지만, 개구단 부근에 형성되는 오버행(overhang)형 퇴적물에 의한 차폐 효과를 이용하여, 개구부(55)의 저부(底部)에 도달하는 증착 입자의 양을 점감시켜, 원추형 퇴적물인 전자 방출 전극(56)을 자기 정합(自己整合)적으로 형성한다. 여기에서는, 불필요한 오버행형 퇴적물의 제거를 용이하게 하기 위해, 게이트 전극(54) 상에 박리층(57)을 미리 형성하여 두는 방법에 대하여, 도 31 및 도 32를 참조하여 설명한다.

<75> [공정-100]

<76> 먼저, 예를 들면, 유리 기판으로 이루어지는 지지체(51) 상에, 예를 들면, 폴리실리콘으로 이루어지는 캐소드 전극용 도전 재료층을 플라스마 CVD법으로 제막(製膜)한 후, 리소그래피 기술 및 드라이 에칭 기술에 따라 캐소드 전극용 도전 재료층을 패터닝하여, 스트라이프형의 캐소드 전극(52)을 형성한다. 그 후, 전면(全面)에 SiO_2 로 이루어지는 절연층(53)을 CVD법으로, 게이트 전극용 도전 재료층(예를 들면, TiN층)을 스퍼터법으로, 차례로 제막하고, 이어서, 게이트 전극용 도전 재료층을 리소그래피 기술 및 드라이 에칭 기술로 패터닝함으로써 게이트 전극용 도전 재료층으로 이루어지고, 개구부(55)를 가지는 스트라이프형의 게이트 전극(54)을 형성한다. 그 후, 게이트 전극(54)을 에칭 용 마스크로서 사용하여, 절연층(53)에, 예를 들면, 직경 $1\mu\text{m}$ 정도의 개구부(55)를 형성한다(도 31 (A) 참조).

<77> [공정-110]

<78> 다음에, 도 31 (B)에 나타낸 바와 같이, 지지체(51)를 회전시키면서 게이트 전극(54) 상을 포함하는 절연층(53) 상에 니켈(Ni)을 경사 증착함으로써, 박리층(57)을 형성한다. 이 때, 지지체(51)의 법선(法線)에 대한 증착 입자의 입사각을 충분히 크게 선택함으로써(예를 들면, 입사각 $65^\circ \sim 85^\circ$), 개구부(55)의 저부에 니켈을 거의 퇴적시키지 않고, 게이트 전극(54)의 위에 박리층(57)을 형성할 수 있다. 박리층(57)은 개구부(55)의 개구단으로부터 쳐마형으로 돌출되어 있으며, 이에 따라 개구부(55)가 실질적으로 축경(縮徑)된다.

<79> [공정-120]

<80> 다음에, 전면에, 예를 들면, 도전 재료로서 몰리브덴(Mo)을 수직 증착한다(입사각 $3^\circ \sim 10^\circ$). 이 때, 도 32 (A)에 나타낸 바와 같이, 박리층(57) 상에서 오버행 형상을 가지는 도전 재료층(56A)이 성장하는 데 따라, 개구부(55)의 실질적인 직경이 점차 축소되므로, 개구부(55)의 저부에서 퇴적에 기여하는 증착 입자는, 점차 개구부(55)의 중앙 부근을 통과하는 것에 한정되게 된다. 그 결과, 개구부(55)의 저부에는 원추형의 퇴적물이 형성되고, 이 원추형의 퇴적물이 전자 방출 전극(56)으로 된다.

<81> [공정-130]

<82> 그 후, 도 32 (B)에 나타낸 바와 같이, 리프트-오프(lift-off)법으로 박리층(57)을 게이트 전극(54)의 표면으로부터 박리하여, 게이트 전극(54) 상방의 도전 재료층(56A)을 선택적으로 제거한다. 이렇게 하여, 복수의 스픬트형 전계 방출 소자가 형성된 캐소드 패널을 얻을 수 있다.

<83> 전계 방출 소자에 있어서는, 게이트 전극(54)에 인가되는 전압과 캐소드 전극(52)에 인가되는 전압의 전위차(ΔV)가 어느 임계값 전위(ΔV_{th}) 이상으로 되면, 전자 방출 전극(56)의 선단부로부터 전자가 방출되기 시작한다. 그리고, 예를 들면, 게이트 전극(54)에 인가되는 전압의 증가(즉, 전위차(ΔV)의 증가)에 따라, 전자 방출 전극(56)의 선단부로부터의 전자 방출에 의해 생성되는 방출 전자 전류가 급격히 증가한다.

발명이 이루고자 하는 기술적 과제

<84> 그런데, 대형 표시 장치를 제조하기 위해서는, 매우 청정(淸淨)의 처리와 가공 정밀도가 요구된다. 예를 들면, 38만 화소의 컬러 표시 장치를 제조하기 위해서는 114만의 냉음극 전계 전자 방출부를 형성할 필요가 있다. 또, 스피드형 전계 방출 소자로부터 표시 장치를 구성하는 경우에는, 1개의 냉음극 전계 전자 방출부를 수십 내지 천개 정도의 스피드형 전계 방출 소자로 구성해야 한다. 따라서, 수 μm 미만에 각각 근접한 수천만 이상의 미세한 전계 방출 소자를 제작할 필요가 있다. 또, 전자 방출 전극(56)의 선단부와 게이트 전극(54)의 개구 단면과의 사이의 거리는, $0.12\mu\text{m} \sim 1.2\mu\text{m}$ 정도로 하는 것이, 낮은 구동 전압으로 큰 방출 전자 전류를 얻기 위해 바람직하다.

<85> 그런데, 전술한 스피드형 전계 방출 소자의 제조 공정에 있어서는, 대면적의 표시 장치를 제조하기 위해 대면적의 지지체(예를 들면, 유리 기판) 전체에 걸쳐 박리층(57)의 박리를 행할 필요가 있지만, 이러한 박리층(57)의 박리는 전계 방출 소자의 결함 발생의 원인으로 된다. 또, 드라이 프로세스에 있어서도, 대면적의 지지체 가공에 있어서 반응 생성물의 축적량이 증가하여, 파티클에 의해 전계 방출 소자에 결함이 발생하기 쉬워진다. 게이트 전극(54)과 전자 방출 전극(56)과의 사이에 도전성의 이물(異物)이 존재하면, 게이트 전극(54)과 전자 방출 전극(56)이 단락(短絡)되는 결과, 전계 방출 소자로부터 전자가 방출되지 않게 되어, 표시 장치에서는 암점(暗点)이 출현한다. 캐소드 패널에 있어서는, 통상, 복수의 냉음극 전계 전자 방출부가 1차원적(스트라이프형)으로 배열된 냉음극 전계 전자 방출 영역열(列)이 복수 병치(竝置)되어 있으므로, 전계 방출 소자의 단락이 발생하면, 이러한 전계 방출 소자를 포함하는 스트라이프형의 냉음극 전계 전자 방출부열의 일렬 전체의 완전한 표시를 할 수 없게 되는 경우도 있다.

<86> 이와 같은 전계 방출 소자의 단락에 기인한 문제의 발생을 회피하기 위한 방법으로서, 도 64 (A)의 개략적인 일부 단면도에 나타낸 바와 같이, 전자 방출 전극(56)과 캐소드 전극(52)과의 사이에, 예를 들면, $2\text{M}\Omega$ 정도의 저항체층을 형성하는 방법을 들 수 있다. 그런데, 전계 방출 소자가 단락 상태에 있으면, 게이트 전극(54)과 캐소드 전극(52)과의 사이를 전자 방출 전극(56) 및 저항체층을 통해 누설 전류가 흐르는 결과로 되어, 소비 전류의 증가로 연결된다. 게이트 전극(54)에 인가되는 전압과 캐소드 전극(52)에 인가되는 전압과의 차를 ΔV , 저항체층의 전기 저항치를 R 로 할 경우, 전계 방출 소자의 단락에 의해 소비되는 소비 전력 P 는 다음과 같이 된다. 그리고, n 은 단락 상태에 있는 전계 방출 소자의 개수이다.

$$<87> P = n (\Delta V^2 / R)$$

<88> 소비 전력 P 를 작게 하기 위해서는, 저항체층의 전기 저항치 R 을 크게 하면 되지만, 전기 저항치 R 을 크게 하면, 도 64 (B)에 등가 회로를 나타낸 바와 같이, 게이트 전극(54)과 캐소드 전극(52)과의 사이의 중간 용량 성분 C 에 전기 저항치 R 을 부가한 상태로 되어, 시정수(時定數)가 커진다. 그러므로, 게이트 전극(54) 및 캐소드 전극(52)에 인가되는 구동 신호에 지연이 발생하는 결과, 표시 장치의 동작 속도가 느려진다. 따라서, 저항체층의 전기 저항치 R 은 그다지 크게 할 수 없어, 가능하면, 저항체층을 형성하지 않는 것이 바람직하다.

<89> 또, 전계 방출 소자에 관한 문제로서, 전계 방출 소자의 전자 방출 특성의 불균일을 들 수 있다. 전계 방출 소자는 캐소드 패널 상에 수십만개로부터 수억개 단위로 동일 프로세스에 의해 형성되지만, 각각의 전계 방출 소자는 전자 현미경 하에서 언뜻 보기에 동일하게 관찰되어도, 전계 방출 소자의 임계값 전위(ΔV_{th})에는 불균일이 존재한다. 그리고, 임계값 전위(ΔV_{th})가 이상하게 낮은 값을 나타내는 전계 방출 소자가 존재하는 경우, 정상의 임계값 전위(ΔV_{th})를 나타내는 전계 방출 소자가 동작을 하지 않는 전위차의 상태에 있어도, 임계값 전위(ΔV_{th})가 이상하게 낮은 값을 나타내는 전계 방출 소자는 동작 상태로 된다. 그 결과, 표시 장치에 있어서는 휘점이 출현한다고 하는 문제가 발생한다.

<90> 따라서, 본 발명의 목적은, 가령 냉음극 전계 전자 방출부에 결함이 발생했다고 해도, 동작 상, 이러한 냉음극 전계 전자 방출부를 배제할 수 있고, 또는, 냉음극 전계 전자 방출부의 결함 부분을 동작시키지 않고 할 수 있어, 냉음극 전계 전자 방출 표시 장치의 제조 수율의 저하를 초래하지 않는 냉음극 전계 전자 방출 표시 장치용

캐소드 패널, 및 이러한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널이 내장된 냉음극 전계 전자 방출 표시 장치, 및 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법을 제공하는 것에 있다.

발명의 구성 및 작용

<91> 상기 목적을 달성하기 위한 본 발명의 제1 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널은,

<92> (a) 복수의 메인 배선(main wiring),

<93> (b) 각 메인 배선으로부터 연장되는 복수의 브랜치 배선(branch wiring), 및

<94> (c) 각 브랜치 배선에 접속된 냉음극 전계 전자 방출부

<95> 를 구비하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널로서,

<96> 동작 불량의 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 절단되어 있는 것을 특징으로 한다.

<97> 상기 목적을 달성하기 위한 본 발명의 제2 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널은,

<98> (a) 복수의 메인 배선,

<99> (b) 각 메인 배선으로부터 연장되는 복수의 브랜치 배선, 및

<100> (c) 각 브랜치 배선에 접속된 냉음극 전계 전자 방출부

<101> 를 구비하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널로서,

<102> 단락 상태에 있는 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 단선되어 있는 것을 특징으로 한다.

<103> 본 발명의 제2 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널에 있어서는, 각 냉음극 전계 전자 방출부는 복수의 냉음극 전계 전자 방출부 유닛으로 구성되어 있고, 각 냉음극 전계 전자 방출 유닛은 브랜치 배선을 통해 메인 배선에 접속되어 있는 구성으로 하는 것이, 예를 들면, 1개의 냉음극 전계 전자 방출부 유닛에 단락이 발생한 경우라도, 외견 상, 손색이 없는 화소를 얻기 위해 바람직하다.

<104> 상기 목적을 달성하기 위한 본 발명의 제3 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널은,

<105> (a) 복수의 메인 배선,

<106> (b) 각 메인 배선으로부터 연장되는 복수의 제1 브랜치 배선 및 복수의 제2 브랜치 배선, 및

<107> (c) 복수의 냉음극 전계 전자 방출 영역

<108> 을 구비하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널로서,

<109> 각 냉음극 전계 전자 방출 영역은, 메인 배선으로부터 연장되는 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부, 및 상기 메인 배선으로부터 연장되는 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부로 구성되어 있고,

<110> 냉음극 전계 전자 방출 영역을 구성하는 한쪽의 냉음극 전계 전자 방출부가 동작 불량인 경우, 상기 한쪽의 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 절단되어 있고,

<111> 냉음극 전계 전자 방출 영역을 구성하는 양쪽의 냉음극 전계 전자 방출부의 동작이 정상인 경우, 상기 냉음극 전계 전자 방출 영역을 구성하는 어느 한쪽의 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 절단되어 있는 것을 특징으로 한다.

<112> 상기 목적을 달성하기 위한 본 발명의 제4 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널은,

<113> (a) 복수의 메인 배선,

<114> (b) 각 메인 배선으로부터 연장되는 복수의 제1 브랜치 배선 및 복수의 제2 브랜치 배선, 및

<115> (c) 복수의 냉음극 전계 전자 방출 영역

<116> 을 구비하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널로서,

- <117> 각 냉음극 전계 전자 방출 영역은, 메인 배선으로부터 연장되는 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부, 및 상기 메인 배선으로부터 연장되는 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부로 구성되어 있고,
- <118> 냉음극 전계 전자 방출 영역을 구성하는 냉음극 전계 전자 방출부가 단락 상태에 있는 경우, 상기 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 단선되어 있고,
- <119> 냉음극 전계 전자 방출 영역을 구성하는 양쪽의 냉음극 전계 전자 방출부의 동작이 정상인 경우, 상기 냉음극 전계 전자 방출 영역을 구성하는 어느 한쪽의 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 절단되어 있는 것을 특징으로 한다.
- <120> 상기 목적을 달성하기 위한 본 발명의 제5 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널은,
- <121> (a) 복수의 메인 배선,
- <122> (b) 각 메인 배선으로부터 연장되는 복수의 브랜치 배선, 및
- <123> (c) 복수의 냉음극 전계 전자 방출 영역
- <124> 을 구비하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널로서,
- <125> 각 냉음극 전계 전자 방출 영역은, 메인 배선으로부터 연장되는 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부, 및 제2 냉음극 전계 전자 방출부로 구성되어 있고,
- <126> 제1 냉음극 전계 전자 방출부가 동작 불량인 경우, 상기 제1 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 절단되어 있고, 또한, 상기 제1 냉음극 전계 전자 방출부가 포함되는 냉음극 전계 전자 방출 영역을 구성하는 제2 냉음극 전계 전자 방출부는 상기 메인 배선에 전기적으로 접속되어 있는 것을 특징으로 한다.
- <127> 상기 목적을 달성하기 위한 본 발명의 제6 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널은,
- <128> (a) 복수의 메인 배선,
- <129> (b) 각 메인 배선으로부터 연장되는 복수의 브랜치 배선, 및
- <130> (c) 복수의 냉음극 전계 전자 방출 영역
- <131> 을 구비하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널로서,
- <132> 각 냉음극 전계 전자 방출 영역은, 메인 배선으로부터 연장되는 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부, 및 제2 냉음극 전계 전자 방출부로 구성되어 있고,
- <133> 제1 냉음극 전계 전자 방출부가 단락 상태에 있는 경우, 상기 제1 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 단선되어 있고, 또한, 상기 제1 냉음극 전계 전자 방출부가 포함되는 냉음극 전계 전자 방출 영역을 구성하는 제2 냉음극 전계 전자 방출부는 상기 메인 배선에 전기적으로 접속되어 있는 것을 특징으로 한다.
- <134> 상기 목적을 달성하기 위한 본 발명의 제7 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널은,
- <135> (a) 각각이 제1 메인 배선과 제2 메인 배선으로 구성된 복수의 메인 배선,
- <136> (b) 각 제1 메인 배선으로부터 연장되는 복수의 제1 브랜치 배선,
- <137> (c) 각 제2 메인 배선으로부터 연장되는 복수의 제2 브랜치 배선, 및
- <138> (c) 각 제1 및 제2 브랜치 배선에 접속된 냉음극 전계 전자 방출부
- <139> 를 구비하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널로서,
- <140> 동작 불량의 냉음극 전계 전자 방출부에 대해서는, 냉음극 전계 전자 방출부가 동작하지 않도록 브랜치 배선이 절단되어 있는 것을 특징으로 한다.
- <141> 상기 목적을 달성하기 위한 본 발명의 제8 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널은,
- <142> (a) 2차원 매트릭스형으로 형성된 복수의 냉음극 전계 전자 방출부로 구성된 유효 영역, 및

- <143> (b) 상기 유효 영역의 주변부에 배치되고, 2차원 매트릭스형으로 형성된 복수의 냉음극 전계 전자 방출부로 구성된 무효 영역
- <144> 으로 이루어지고,
- <145> 유효 영역을 구성하는 냉음극 전계 전자 방출부는, 냉음극 전계 전자 방출부를 구동하기 위한 전원에 접속되고,
- <146> 무효 영역을 구성하는 냉음극 전계 전자 방출부는, 냉음극 전계 전자 방출부를 구동하기 위한 전원에 접속되어 있지 않은 것을 특징으로 한다.
- <147> 상기 목적을 달성하기 위한 본 발명의 제9 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널은,
- <148> 냉음극 전계 전자 방출부군이 복수 병치되어 이루어지는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널로서,
- <149> 상기 냉음극 전계 전자 방출부군은 복수의 냉음극 전계 전자 방출부가 1차원적으로 배열되어 이루어지는 냉음극 전계 전자 방출부열(列)이 N열(단, N은 2 이상의 자연수) 병치되어 이루어지고,
- <150> 각 냉음극 전계 전자 방출부군에 있어서, (N-1)열 이하의 일정수(一定數)의 냉음극 전계 전자 방출부열이 선택되고, 이러한 선택된 냉음극 전계 전자 방출부열은 냉음극 전계 전자 방출부를 구동하기 위한 전원에 접속되고, 선택되지 않은 냉음극 전계 전자 방출부열은 냉음극 전계 전자 방출부를 구동하기 위한 전원에 접속되어 있지 않은 것을 특징으로 한다.
- <151> 상기 목적을 달성하기 위한 본 발명의 제1 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법은, 본 발명의 제1 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널을 제조하기 위한 방법이다. 즉,
- <152> (a) 복수의 메인 배선,
- <153> (b) 각 메인 배선으로부터 연장되는 복수의 브랜치 배선, 및
- <154> (c) 각 브랜치 배선에 접속된 냉음극 전계 전자 방출부
- <155> 를 구비하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,
- <156> 냉음극 전계 전자 방출부의 동작 시험을 행하고,
- <157> 동작 불량이 검출된 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선을 절단하는 것을 특징으로 한다.
- <158> 상기 목적을 달성하기 위한 본 발명의 제2 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법은, 본 발명의 제2 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널을 제조하기 위한 방법이다. 즉,
- <159> (a) 복수의 메인 배선,
- <160> (b) 각 메인 배선으로부터 연장되는 복수의 브랜치 배선, 및
- <161> (c) 각 브랜치 배선에 접속된 냉음극 전계 전자 방출부
- <162> 를 구비하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,
- <163> 메인 배선으로부터 브랜치 배선을 통해 냉음극 전계 전자 방출부에 전압을 인가하는 냉음극 전계 전자 방출부의 단락 시험을 행하고,
- <164> 단락이 발생하고 있는 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선을, 브랜치 배선을 흐르는 전류에 의해 단선시키는 것을 특징으로 한다.
- <165> 본 발명의 제2 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법에 있어서는, 각 냉음극 전계 전자 방출부는 복수의 냉음극 전계 전자 방출부 유닛으로 구성되어 있고, 각 냉음극 전계 전자 방출 유닛은 브랜치 배선을 통해 메인 배선에 접속되어 있는 구성으로 하는 것이, 예를 들면, 1개의 냉음극 전계 전자 방출부 유닛에 단락이 발생한 경우라도, 의견 상, 손색이 없는 화소를 얻기 위해 바람직하다.
- <166> 상기 목적을 달성하기 위한 본 발명의 제3 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법은, 본 발명의 제3 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널을 제조하기 위한

방법이다. 즉,

<167> (a) 복수의 메인 배선,

<168> (b) 각 메인 배선으로부터 연장되는 복수의 제1 브랜치 배선 및 복수의 제2 브랜치 배선, 및

<169> (c) 복수의 냉음극 전계 전자 방출 영역

<170> 을 구비하고,

<171> 각 냉음극 전계 전자 방출 영역은 메인 배선으로부터 연장되는 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부, 및 상기 메인 배선으로부터 연장되는 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부로 구성된 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

<172> 냉음극 전계 전자 방출 영역의 동작 시험을 행하고,

<173> 동작 불량이 검출된 냉음극 전계 전자 방출 영역에 있어서는, 상기 냉음극 전계 전자 방출 영역을 구성하는 어느 한쪽의 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선을 절단하고,

<174> 동작이 정상인 냉음극 전계 전자 방출 영역에 있어서는, 상기 냉음극 전계 전자 방출 영역을 구성하는 어느 한쪽의 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선을 절단하는 것을 특징으로 한다.

<175> 상기 목적을 달성하기 위한 본 발명의 제4 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법은, 본 발명의 제4 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널을 제조하기 위한 방법이다. 즉,

<176> (a) 복수의 메인 배선,

<177> (b) 각 메인 배선으로부터 연장되는 복수의 제1 브랜치 배선 및 복수의 제2 브랜치 배선, 및

<178> (c) 복수의 냉음극 전계 전자 방출 영역

<179> 을 구비하고,

<180> 각 냉음극 전계 전자 방출 영역은 메인 배선으로부터 연장되는 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부, 및 상기 메인 배선으로부터 연장되는 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부로 구성된 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

<181> 메인 배선으로부터 브랜치 배선을 통해 냉음극 전계 전자 방출부에 전압을 인가하는 냉음극 전계 전자 방출부의 단락 시험을 행하고,

<182> 단락 상태에 있는 냉음극 전계 전자 방출 영역에 있어서는, 단락 상태에 있는 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선을, 브랜치 배선을 흐르는 전류에 의해 단선시키고,

<183> 동작이 정상인 냉음극 전계 전자 방출 영역에 있어서는, 상기 냉음극 전계 전자 방출 영역을 구성하는 어느 한쪽의 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선을 절단하는 것을 특징으로 한다.

<184> 상기 목적을 달성하기 위한 본 발명의 제5 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법은, 본 발명의 제5 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널을 제조하기 위한 방법이다. 즉,

<185> (a) 복수의 메인 배선,

<186> (b) 각 메인 배선으로부터 연장되는 복수의 브랜치 배선, 및

<187> (c) 복수의 냉음극 전계 전자 방출 영역

<188> 을 구비하고,

<189> 각 냉음극 전계 전자 방출 영역은 메인 배선으로부터 연장되는 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부, 및 제2 냉음극 전계 전자 방출부로 구성된 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,

<190> 제1 냉음극 전계 전자 방출부의 동작 시험을 행하고,

- <191> 동작 불량이 검출된 제1 냉음극 전계 전자 방출부에 있어서는, 상기 제1 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선을 절단하고, 또한 상기 제1 냉음극 전계 전자 방출부가 포함되는 냉음극 전계 전자 방출 영역을 구성하는 제2 냉음극 전계 전자 방출부를 상기 메인 배선에 전기적으로 접속하는 것을 특징으로 한다.
- <192> 상기 목적을 달성하기 위한 본 발명의 제6 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법은, 본 발명의 제6 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널을 제조하기 위한 방법이다. 즉,
- <193> (a) 복수의 메인 배선,
- <194> (b) 각 메인 배선으로부터 연장되는 복수의 브랜치 배선, 및
- <195> (c) 복수의 냉음극 전계 전자 방출 영역
- <196> 을 구비하고,
- <197> 각 냉음극 전계 전자 방출 영역은 메인 배선으로부터 연장되는 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부, 및 제2 냉음극 전계 전자 방출부로 구성된 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,
- <198> 메인 배선으로부터 브랜치 배선을 통해 제1 냉음극 전계 전자 방출부에 전압을 인가하는 냉음극 전계 전자 방출부의 단락 시험을 행하고,
- <199> 단락 상태에 있는 제1 냉음극 전계 전자 방출부에 있어서는, 상기 제1 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선을, 브랜치 배선을 흐르는 전류에 의해 단선시키고, 또한 상기 제1 냉음극 전계 전자 방출부가 포함되는 냉음극 전계 전자 방출 영역을 구성하는 제2 냉음극 전계 전자 방출부를 상기 메인 배선에 전기적으로 접속하는 것을 특징으로 한다.
- <200> 상기 목적을 달성하기 위한 본 발명의 제7 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법은, 본 발명의 제7 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널을 제조하기 위한 방법이다. 즉,
- <201> (a) 각각이 제1 메인 배선과 제2 메인 배선으로 구성된 복수의 메인 배선,
- <202> (b) 각 제1 메인 배선으로부터 연장되는 복수의 제1 브랜치 배선,
- <203> (c) 각 제2 메인 배선으로부터 연장되는 복수의 제2 브랜치 배선, 및
- <204> (d) 각 제1 및 제2 브랜치 배선에 접속된 냉음극 전계 전자 방출부
- <205> 를 구비하는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,
- <206> 냉음극 전계 전자 방출부의 동작 시험을 행하고,
- <207> 동작 불량이 검출된 냉음극 전계 전자 방출부에 있어서는, 냉음극 전계 전자 방출부가 동작하지 않도록 브랜치 배선을 절단하는 것을 특징으로 한다.
- <208> 상기 목적을 달성하기 위한 본 발명의 제8 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법은, 본 발명의 제8 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널을 제조하기 위한 방법이다. 즉,
- <209> 냉음극 전계 전자 방출부군이 복수 병치되어 이루어지는 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법으로서,
- <210> 상기 냉음극 전계 전자 방출부군은 복수의 냉음극 전계 전자 방출부가 1차원적으로 배열되어 이루어지는 냉음극 전계 전자 방출부열이 N열(단, N은 2 이상의 자연수) 병치되어 이루어지고,
- <211> 냉음극 전계 전자 방출부의 동작 시험을 행하고,
- <212> 각 냉음극 전계 전자 방출부군에 있어서, 동작 불량이 검출된 냉음극 전계 전자 방출부를 포함하는 냉음극 전계 전자 방출부열을 제외하는 (N-1)열 이하의 일정수의 냉음극 전계 전자 방출부열을 선택하고, 이러한 선택된 냉음극 전계 전자 방출부열을 냉음극 전계 전자 방출부를 구동하기 위한 전원에 접속하고,

- <213> 각 냉음극 전계 전자 방출부군에 있어서, 냉음극 전계 전자 방출부의 동작이 정상인 경우에는, (N-1)열 이하의 일정수의 냉음극 전계 전자 방출부열을 선택하고, 이러한 선택된 냉음극 전계 전자 방출부열을 냉음극 전계 전자 방출부를 구동하기 위한 전원에 접속하는 것을 특징으로 한다.
- <214> 상기 목적을 달성하기 위한 본 발명의 제1 양태에 관한 냉음극 전계 전자 방출 표시 장치는, 본 발명의 제1 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널이 구비되어 있다. 즉 본 발명의 제1 양태에 관한 냉음극 전계 전자 방출 표시 장치는,
- <215> 복수의 화소로 구성되고,
- <216> 각 화소는 캐소드 패널 상에 형성된 냉음극 전계 전자 방출부와, 냉음극 전계 전자 방출부에 대향하여 애노드 패널 상에 형성된 애노드 전극 및 형광체층으로 구성된 냉음극 전계 전자 방출 표시 장치로서,
- <217> 상기 캐소드 패널은,
- <218> (a) 복수의 메인 배선,
- <219> (b) 각 메인 배선으로부터 연장되는 복수의 브랜치 배선, 및
- <220> (c) 각 브랜치 배선에 접속된 냉음극 전계 전자 방출부
- <221> 를 구비하고,
- <222> 동작 불량의 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 절단되어 있는 것을 특징으로 한다.
- <223> 상기 목적을 달성하기 위한 본 발명의 제2 양태에 관한 냉음극 전계 전자 방출 표시 장치는, 본 발명의 제2 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널이 구비되어 있다. 즉 본 발명의 제2 양태에 관한 냉음극 전계 전자 방출 표시 장치는,
- <224> 복수의 화소로 구성되고,
- <225> 각 화소는 캐소드 패널 상에 형성된 냉음극 전계 전자 방출부와, 냉음극 전계 전자 방출부에 대향하여 애노드 패널 상에 형성된 애노드 전극 및 형광체층으로 구성된 냉음극 전계 전자 방출 표시 장치로서,
- <226> 상기 캐소드 패널은,
- <227> (a) 복수의 메인 배선,
- <228> (b) 각 메인 배선으로부터 연장되는 복수의 브랜치 배선, 및
- <229> (c) 각 브랜치 배선에 접속된 냉음극 전계 전자 방출부
- <230> 를 구비하고,
- <231> 단락 상태에 있는 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 단선되어 있는 것을 특징으로 한다.
- <232> 본 발명의 제 2 양태에 관한 냉음극 전계 전자 방출 표시 장치에 있어서는, 각 냉음극 전계 전자 방출부는, 복수의 냉음극 전계 전자 방출부 유닛으로 구성되어 있고, 각 냉음극 전계 전자 방출부 유닛은 브랜치 배선을 통해 메인 배선에 접속되어 있는 구성으로 하는 것이, 예를 들면, 1개의 냉음극 전계 전자 방출부 유닛에 단락이 발생한 경우라도, 외견 상, 손색이 없는 화소를 얻기 위해 바람직하다.
- <233> 상기 목적을 달성하기 위한 본 발명의 제3 양태에 관한 냉음극 전계 전자 방출 표시 장치에는, 본 발명의 제3 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널이 구비되어 있다. 즉, 본 발명의 제3 양태에 관한 냉음극 전계 전자 방출 표시 장치는,
- <234> 복수의 화소로 구성되고,
- <235> 각 화소는 캐소드 패널 상에 형성된 냉음극 전계 전자 방출부와, 냉음극 전계 전자 방출부에 대향하여 애노드 패널 상에 형성된 애노드 전극 및 형광체층으로 구성된 냉음극 전계 전자 방출 표시 장치로서,
- <236> 상기 캐소드 패널은,

- <237> (a) 복수의 메인 배선,
- <238> (b) 각 메인 배선으로부터 연장되는 복수의 제1 브랜치 배선 및 복수의 제2 브랜치 배선, 및
- <239> (c) 복수의 냉음극 전계 전자 방출 영역
- <240> 을 구비하고,
- <241> 각 냉음극 전계 전자 방출 영역은, 메인 배선으로부터 연장되는 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부, 및 상기 메인 배선으로부터 연장되는 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부로 구성되어 있고,
- <242> 냉음극 전계 전자 방출 영역을 구성하는 한쪽의 냉음극 전계 전자 방출부가 동작 불량인 경우, 상기 한쪽의 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 절단되어 있고,
- <243> 냉음극 전계 전자 방출 영역을 구성하는 양쪽의 냉음극 전계 전자 방출부의 동작이 정상인 경우, 상기 냉음극 전계 전자 방출 영역을 구성하는 어느 한쪽의 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 절단되어 있는 것을 특징으로 한다.
- <244> 상기 목적을 달성하기 위한 본 발명의 제4 양태에 관한 냉음극 전계 전자 방출 표시 장치에는, 본 발명의 제4 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널이 구비되어 있다. 즉, 본 발명의 제4 양태에 관한 냉음극 전계 전자 방출 표시 장치는,
- <245> 복수의 화소로 구성되고,
- <246> 각 화소는 캐소드 패널 상에 형성된 냉음극 전계 전자 방출부와, 냉음극 전계 전자 방출부에 대향하여 애노드 패널 상에 형성된 애노드 전극 및 형광체층으로 구성된 냉음극 전계 전자 방출 표시 장치로서,
- <247> 상기 캐소드 패널은,
- <248> (a) 복수의 메인 배선,
- <249> (b) 각 메인 배선으로부터 연장되는 복수의 제1 브랜치 배선 및 복수의 제2 브랜치 배선, 및
- <250> (c) 복수의 냉음극 전계 전자 방출 영역
- <251> 을 구비하고,
- <252> 각 냉음극 전계 전자 방출 영역은, 메인 배선으로부터 연장되는 제1 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부, 및 상기 메인 배선으로부터 연장되는 제2 브랜치 배선에 접속된 제2 냉음극 전계 전자 방출부로 구성되어 있고,
- <253> 냉음극 전계 전자 방출 영역을 구성하는 냉음극 전계 전자 방출부가 단락 상태에 있는 경우, 상기 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 단선되어 있고,
- <254> 냉음극 전계 전자 방출 영역을 구성하는 양쪽의 냉음극 전계 전자 방출부의 동작이 정상인 경우, 상기 냉음극 전계 전자 방출 영역을 구성하는 어느 한쪽의 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 절단되어 있는 것을 특징으로 한다.
- <255> 상기 목적을 달성하기 위한 본 발명의 제5 양태에 관한 냉음극 전계 전자 방출 표시 장치에는, 본 발명의 제5 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널이 구비되어 있다. 즉, 본 발명의 제5 양태에 관한 냉음극 전계 전자 방출 표시 장치는,
- <256> 복수의 화소로 구성되고,
- <257> 각 화소는 캐소드 패널 상에 형성된 냉음극 전계 전자 방출부와, 냉음극 전계 전자 방출부에 대향하여 애노드 패널 상에 형성된 애노드 전극 및 형광체층으로 구성된 냉음극 전계 전자 방출 표시 장치로서,
- <258> 상기 캐소드 패널은,
- <259> (a) 복수의 메인 배선,
- <260> (b) 각 메인 배선으로부터 연장되는 복수의 브랜치 배선, 및

- <261> (c) 복수의 냉음극 전계 전자 방출 영역
- <262> 을 구비하고,
- <263> 각 냉음극 전계 전자 방출 영역은, 메인 배선으로부터 연장되는 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부, 및 제2 냉음극 전계 전자 방출부로 구성되어 있고,
- <264> 제1 냉음극 전계 전자 방출부가 동작 불량인 경우, 상기 제1 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 절단되어 있고, 또한 상기 제1 냉음극 전계 전자 방출부가 포함되는 냉음극 전계 전자 방출 영역을 구성하는 제2 냉음극 전계 전자 방출부는 상기 메인 배선에 전기적으로 접속되어 있는 것을 특징으로 한다.
- <265> 상기 목적을 달성하기 위한 본 발명의 제6 양태에 관한 냉음극 전계 전자 방출 표시 장치에는, 본 발명의 제6 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널이 구비되어 있다. 즉, 본 발명의 제6 양태에 관한 냉음극 전계 전자 방출 표시 장치는,
- <266> 복수의 화소로 구성되고,
- <267> 각 화소는 캐소드 패널 상에 형성된 냉음극 전계 전자 방출부와, 냉음극 전계 전자 방출부에 대향하여 애노드 패널 상에 형성된 애노드 전극 및 형광체층으로 구성된 냉음극 전계 전자 방출 표시 장치로서,
- <268> 상기 캐소드 패널은,
- <269> (a) 복수의 메인 배선,
- <270> (b) 각 메인 배선으로부터 연장되는 복수의 브랜치 배선, 및
- <271> (c) 복수의 냉음극 전계 전자 방출 영역
- <272> 을 구비하고,
- <273> 각 냉음극 전계 전자 방출 영역은, 메인 배선으로부터 연장되는 브랜치 배선에 접속된 제1 냉음극 전계 전자 방출부, 및 제2 냉음극 전계 전자 방출부로 구성되어 있고,
- <274> 제1 냉음극 전계 전자 방출부가 단락 상태에 있는 경우, 상기 제1 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선은 단선되어 있고, 또한 상기 제1 냉음극 전계 전자 방출부가 포함되는 냉음극 전계 전자 방출 영역을 구성하는 제2 냉음극 전계 전자 방출부는 상기 메인 배선에 전기적으로 접속되어 있는 것을 특징으로 한다.
- <275> 상기 목적을 달성하기 위한 본 발명의 제7 양태에 관한 냉음극 전계 전자 방출 표시 장치에는, 본 발명의 제7 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널이 구비되어 있다. 즉, 본 발명의 제7 양태에 관한 냉음극 전계 전자 방출 표시 장치는,
- <276> 복수의 화소로 구성되고,
- <277> 각 화소는 캐소드 패널 상에 형성된 냉음극 전계 전자 방출부와, 냉음극 전계 전자 방출부에 대향하여 애노드 패널 상에 형성된 애노드 전극 및 형광체층으로 구성된 냉음극 전계 전자 방출 표시 장치로서,
- <278> 상기 캐소드 패널은,
- <279> (a) 각각이 제1 메인 배선과 제2 메인 배선으로 구성된 복수의 메인 배선,
- <280> (b) 각 제1 메인 배선으로부터 연장되는 복수의 제1 브랜치 배선,
- <281> (c) 각 제2 메인 배선으로부터 연장되는 복수의 제2 브랜치 배선, 및
- <282> (d) 각 제1 및 제2 브랜치 배선에 접속된 냉음극 전계 전자 방출부
- <283> 를 구비하고,
- <284> 동작 불량의 냉음극 전계 전자 방출부에 대해서는, 냉음극 전계 전자 방출부가 동작하지 않도록 브랜치 배선이 절단되어 있는 것을 특징으로 한다.
- <285> 상기 목적을 달성하기 위한 본 발명의 제8 양태에 관한 냉음극 전계 전자 방출 표시 장치에는, 본 발명의 제8 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널이 구비되어 있다. 즉, 본 발명의 제8 양태에 관한

냉음극 전계 전자 방출 표시 장치는,

<286> 복수의 화소로 구성되고,

<287> 각 화소는 캐소드 패널 상에 형성된 냉음극 전계 전자 방출부와, 냉음극 전계 전자 방출부에 대향하여 애노드 패널 상에 형성된 애노드 전극 및 형광체층으로 구성된 냉음극 전계 전자 방출 표시 장치로서,

<288> 상기 캐소드 패널은,

<289> (a) 2차원 매트릭스형으로 형성된 복수의 냉음극 전계 전자 방출부로 구성된 유효 영역, 및

<290> (b) 상기 유효 영역의 주변부에 배치되고, 2차원 매트릭스형으로 형성된 복수의 냉음극 전계 전자 방출부로 구성된 무효 영역

<291> 을 구비하고,

<292> 유효 영역을 구성하는 냉음극 전계 전자 방출부는, 냉음극 전계 전자 방출부를 구동하기 위한 전원에 접속되고,

<293> 무효 영역을 구성하는 냉음극 전계 전자 방출부는, 냉음극 전계 전자 방출부를 구동하기 위한 전원에 접속되어 있지 않은 것을 특징으로 한다.

<294> 상기 목적을 달성하기 위한 본 발명의 제9 양태에 관한 냉음극 전계 전자 방출 표시 장치에는, 본 발명의 제9 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널이 구비되어 있다. 즉, 본 발명의 제9 양태에 관한 냉음극 전계 전자 방출 표시 장치는,

<295> 복수의 화소로 구성되고,

<296> 각 화소는 캐소드 패널 상에 형성된 냉음극 전계 전자 방출부와, 냉음극 전계 전자 방출부에 대향하여 애노드 패널 상에 형성된 애노드 전극 및 형광체층으로 구성된 냉음극 전계 전자 방출 표시 장치로서,

<297> 상기 캐소드 패널에는 냉음극 전계 전자 방출부군이 복수 병치되어 있고,

<298> 상기 냉음극 전계 전자 방출부군은 복수의 냉음극 전계 전자 방출부가 1차원적으로 배열되어 이루어지는 냉음극 전계 전자 방출부가 N열(단, N열은 2 이상의 자연수) 병치되어 이루어지고,

<299> 각 냉음극 전계 전자 방출부군에 있어서, (N-1)열 이하의 일정수의 냉음극 전계 전자 방출부열이 선택되고, 이러한 선택된 냉음극 전계 전자 방출부열은 냉음극 전계 전자 방출부를 구동하기 위한 전원에 접속되고, 선택되지 않은 냉음극 전계 전자 방출부열은 냉음극 전계 전자 방출부를 구동하기 위한 전원에 접속되어 있지 않은 것을 특징으로 한다.

<300> 그리고, "브랜치 배선을 절단한다"란, 외부로부터의 물리적 또는 화학적인 작용에 따라 브랜치 배선의 일부분을 제거하는 것을 의미하며, "브랜치 배선이 절단되어 있다"란, 외부로부터의 물리적 또는 화학적인 작용에 따라 브랜치 배선의 일부분이 제거되어 있는 상태를 의미한다. 또, "브랜치 배선을 단선시킨다"란, 브랜치 배선의 일부분을 용융함으로써 제거하는 것을 의미하고, 또는 브랜치 배선에 과잉의 전류를 흐르게 함으로써 발생한 전류 스트레스에 의한 일렉트로-마이그레이션(electro-migration)에 따라 브랜치 배선을 절단하여, 브랜치 배선을 불도통(不導通) 상태로 하는 것을 의미하며, "브랜치 배선이 단선된다"란, 브랜치 배선의 일부분이 용융됨으로써 제거되어 있는 상태, 또는 브랜치 배선에 과잉의 전류를 흐르게 함으로써 발생한 전류 스트레스에 의한 일렉트로-마이그레이션에 따라 브랜치 배선이 절단되어, 브랜치 배선이 불도통 상태로 되어 있는 것을 의미한다. "동작 불량의 냉음극 전계 전자 방출부"란, 표시 장치에 있어서 암점(暗點) 또는 휘점(輝點)을 출현시키는 냉음극 전계 전자 방출부를 의미한다. 냉음극 전계 전자 방출 소자의 단락은 도전성 이물의 존재에 의해 발생하는 경우도 있고, 냉음극 전계 전자 방출 소자의 제조 시, 냉음극 전계 전자 방출 소자를 구성하는 도전성 재료가 잔존 함으로써 발생하는 경우도 있다.

<301> 본 발명의 제2, 제4, 제6 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널에 있어서는, 또 본 발명의 제2, 제4, 제6 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법에 있어서는, 또한 본 발명의 제2, 제4, 제6 양태에 관한 냉음극 전계 전자 방출 표시 장치에 있어서는, 브랜치 배선은 알루미늄층 또는 알루미늄 합금층으로 이루어지고, 또는, 알루미늄층 또는 알루미늄 합금층으로 이루어지는 제1 브랜치 배선 부문과, 알루미늄층 또는 알루미늄 합금층과 배리어 메탈층의 2층 구조를 가지는 제2 브랜치 배선 부문으로 구성되어 있는 것이, 브랜치 배선을 흐르는 전류에 의해 브랜치 배선을 확실하게 단선시킨다고 하는 관점에서 바람직하다. 알루미늄층은 순도 99% 이상의 알루미늄으로 구성하는 것이 바람직하다. 또, 알루미늄 합금층으로

서, Al-Si, Al-Cu, Al-Si-Cu를 예시할 수 있다. 그리고, Si나 Cu는 총량으로서 1~2원자%, Al 중에 함유되어 있는 것이 바람직하다. 배리어 메탈층을 구성하는 재료는, 알루미늄 또는 알루미늄 합금의 용점보다 높은 용점을 가지는 재료일 필요가 있고, 텅스텐(W), 몰리브덴(Mo), 티탄(Ti)이라고 하는 고용점 금속 재료, TiN 등의 질화물, Ti-W 등의 합금, 예를 들면 고용점 금속 재료의 합금이나 화합물을 예시할 수 있다. 그리고, 브랜치 배선의 단선을 용이하게 발생시키기 위해, 브랜치 배선의 최소한 일부분의 폭을 $0.5\mu\text{m}$ ~ $5\mu\text{m}$ 로 하고, 브랜치 배선의 길이를 $10\mu\text{m}$ 이상, 예를 들면 0.5mm 이하로 하는 것이 바람직하나, 이를 값에 한정되는 것은 아니다.

<302> 본 발명의 냉음극 전계 전자 방출 표시 장치용 캐소드 패널 및 냉음극 전계 전자 방출 표시 장치, 및 냉음극 전계 전자 방출 표시 장치용 캐소드 패널의 제조 방법(이하, 이들을, 단지 "본 발명"이라고 하는 경우가 있음)에 있어서, 냉음극 전계 전자 방출부(이하, "전자 방출부"라고 함)는, 복수(예를 들면, 수십 내지 천개 정도)의 스픈트형 전계 방출 소자, 또는 복수(예를 들면, 수십 내지 수백개 정도)의 에지형 전계 방출 소자, 또는, 1개 또는 복수의 평면형 전계 방출 소자로 구성할 수 있다.

<303> 본 발명에 있어서는, 동작 불량의 전자 방출부는 메인 배선으로부터 전기적으로 분리되어 있으므로, 또는, 무효 영역을 구성하는 전자 방출부나 비선택의 냉음극 전계 전자 방출부열은 전자 방출부를 구동하기 위한 전원에 접속되어 있지 않으므로, 이러한 전자 방출부, 무효 영역, 또는 비선택의 냉음극 전계 전자 방출부열은 전자 방출에 조금도 기여하지 않는다. 따라서, 가령 전자 방출부에 결함이 발생했다고 해도, 또는, 냉음극 전계 전자 방출 영역에 결함이 존재하고 있다고 해도, 동작 상, 이러한 결함은 배제되는 결과, 표시 장치의 제조 수율 저하를 초래하지 않는다.

<304> 이하, 도면을 참조하여, 발명의 실시 형태(이하, "실시 형태"라고 약칭함)에 따라 본 발명을 설명하지만, 이에 앞서, 스픈트형 전계 방출 소자, 에지형 전계 방출 소자, 및 평면형 전계 방출 소자의 개요, 및 이를 전계 방출 소자의 기본적인 제조 공정을 설명한다.

<305> 스픈트형 전계 방출 소자의 구조는 도 32 (B)에 나타낸 바와 같다. 즉, 스픈트형 전계 방출 소자는,

<306> (A) 지지체(51) 상에 형성된 캐소드 전극(52),

<307> (B) 캐소드 전극(52) 상을 포함하는 지지체(51) 상에 형성된 절연층(53),

<308> (C) 절연층(53) 상에 형성된 게이트 전극(54),

<309> (D) 게이트 전극(54) 및 절연층(53)을 관통한 개구부(55), 및

<310> (E) 개구부(55)의 저부에 위치하는 캐소드 전극(52) 상에 형성된 추형(錐形) 형상을 가지는 전자 방출 전극(56)

<311> 으로 구성되어 있고, 전자 방출 전극(56)의 선단부로부터 전자가 방출된다. 스픈트형 전계 방출 소자의 기본적인 제조 방법은, 도 31 (A), 31(B), 32(A) 및 32(B)를 참조하여 앞서 설명한 대로이다.

<312> 에지형 전계 방출 소자의 개략적인 일부 단면도(端面圖)를, 도 33 (A)에 나타냈다. 이 에지형 전계 방출 소자는,

<313> (A) 지지체(71) 상에 형성된 제1 절연층(73),

<314> (B) 제1 절연층(73) 상에 형성된 전자 방출층(74),

<315> (C) 전자 방출층(74) 상을 포함하는 제1 절연층(73) 상에 형성된 제2 절연층(75),

<316> (D) 제2 절연층(75) 상에 형성된 게이트 전극(76), 및

<317> (E) 최소한, 게이트 전극(76), 제2 절연층(75) 및 전자 방출층(74)을 관통한 개구부(78)

<318>로 이루어지고,

<319> 개구부(78)의 벽면으로부터 돌출된 전자 방출층(74)의 단부(端部)로부터 전자가 방출된다. 그리고, 이와 같은 구성의 에지형 전계 방출 소자를, 편의 상, "제1 구조의 에지형 전계 방출 소자"라고 한다.

<320> 에지형 전계 방출 소자의 변형예의 개략적인 일부 단면도를, 도 33 (B)에 나타냈다. 이 에지형 전계 방출 소자는,

<321> (A) 지지체(71) 상에 형성된 제1 게이트 전극(72),

<322> (B) 제1 게이트 전극(72) 상을 포함하는 지지체(71) 상에 형성된 제1 절연층(73),

<323> (C) 제1 절연층(73) 상에 형성된 전자 방출층(74),

<324> (D) 전자 방출층(74) 상을 포함하는 제1 절연층(73) 상에 형성된 제2 절연층(75),

<325> (E) 제2 절연층(75) 상에 형성된 제2 게이트 전극(77), 및

<326> (F) 제2 게이트 전극(77), 제2 절연층(75), 전자 방출층(74) 및 제1 절연층(73)을 관통하고, 저부에 제1 게이트 전극(72)의 표면이 노출된 개구부(78)

<327>로 이루어지고,

<328> 개구부(78)의 벽면으로부터 돌출된 전자 방출부(74)의 단부(74A)로부터 전자가 방출된다. 그리고, 개구부(78) 근방의 지지체(71) 등을 일부 절단하여 노출시킨 개략적인 사시도를 도 34에 나타냈다. 여기에서, 도 33 (B)에 나타낸 개략적인 일부 단면도는, 도 34의 선 A-A에 따른 단면도이다. 이와 같은 구성의 에지형 전계 방출 소자를, 편의 상, "제2 구조의 에지형 전계 방출 소자"라고 한다. 제2 구조의 에지형 전계 방출 소자에 있어서는, 전자 방출층(74)의 하방에 제1 게이트 전극(72)이 형성되어 있으므로, 제1 구조의 에지형 전계 방출 소자와 비교하여, 개구부(78)의 벽면으로부터 돌출된 전자 방출층(74)의 단부(74A) 근방에 한층 고강도의 전계를 형성할 수 있다.

<329> 도 33 (B)에 나타낸 에지형 전계 방출 소자의 제조 방법을, 이하 도 35 (A)~도 37 (B)를 참조하여 설명한다.

<330> [공정-200]

<331> 먼저, 예를 들면, 유리 기판으로 이루어지는 지지체(71) 상에, 스퍼터법으로 두께 약 $0.2\mu\text{m}$ 의 텅스텐으로 이루어지는 제1 게이트 전극용 도전 재료층을 성막하고, 통상의 수순에 따라 리소그래피 기술 및 드라이 에칭 기술에 의해 제1 게이트 전극용 도전 재료층을 패터닝하여, 제1 게이트 전극(72)을 형성한다(도 35 (A) 참조).

<332> [공정-210]

<333> 다음에, 전면(全面)에 제1 절연층(73)을 형성한다. 여기에서는 일예로서, SiO_2 를 약 $0.3\mu\text{m}$ 의 두께로 형성한다. 또한, 이 제1 절연층(53) 상에 텅스텐으로 이루어지는 전자 방출층용 도전 재료층을 $0.2\mu\text{m}$ 의 두께로 형성한 후, 소정의 형상으로 패터닝하여, 전자 방출층(74)을 형성한다(도 35 (B) 참조).

<334> [공정-220]

<335> 다음에, 전면에, 예를 들면, SiO_2 로 이루어지는 제2 절연층(75)을, 예를 들면, 약 $0.7\mu\text{m}$ 의 두께로 형성한다. 또한, 이 제2 절연층(75) 상에 두께 약 $0.2\mu\text{m}$ 의 텅스텐으로 이루어지는 제2 게이트 전극용 도전 재료층을 형성하고, 소정의 패터닝을 행함으로써, 제2 게이트 전극(77)을 얻을 수 있다(도 35 (C) 참조). 제2 게이트 전극(77)의 구성 재료나 두께는, 제1 게이트 전극(72)과 동일해도 되고, 상이해도 된다.

<336> [공정-230]

<337> 그 후, 전면에 레지스트층(79)을 형성하고, 또한, 이 레지스트층(79)에, 제2 게이트 전극(77)의 표면을 일부 노출시키도록 레지스트 개구부(79A)를 형성한다. 레지스트 개구부(79A)의 평면 형상은 직사각형이며, 직사각형의 장변(長邊)은 대략 $100\mu\text{m}$, 단변(短邊)은 수 μm ~ $10\mu\text{m}$ 이다. 계속해서, 레지스트 개구부(79A)의 저면에 노출된 제2 게이트 전극(77)을, 예를 들면, RIE(반응성 이온 에칭)법에 의해 이방적으로 에칭하여, 개구부(78A)를 형성한다(도 36 (A) 참조). 여기에서는 제2 게이트 전극(77)을 텅스텐을 사용하여 구성하고 있으므로, SF_6 가스를 사용한 에칭에 의해 수직벽을 가지는 개구부(78A)를 형성할 수 있다.

<338> [공정-240]

<339> 다음에, 도 36 (B)에 나타낸 바와 같이, 개구부(78A)의 저면에 노출된 제2 절연층(75)을 등방적(等方的)으로 에칭하여, 개구부(78B)를 형성한다. 여기에서는 제2 절연층을 SiO_2 를 사용하여 형성하고 있으므로, 완충화 불산 수용액을 사용한 윗(wet) 에칭을 행한다. 개구부(78B)의 벽면은, 개구부(78A)의 개구 단면으로부터 후퇴하지만, 이 때의 후퇴량은 에칭 시간의 장단에 의해 제어할 수 있다. 여기에서는, 개구부(78D)의 하단이 개구부(78A)의 개구 단면으로부터 후퇴할 때까지, 윗 체칭을 행한다.

<340> [공정-250]

<341> 다음에, 도 37 (A)에 나타낸 바와 같이, 개구부(78B)의 저면에 노출된 전자 방출층(74)을, 이온을 주(主)에칭 중

(種)으로 하는 조건에 의해 드라이 에칭한다. 이온을 주에칭종으로 하는 드라이 에칭에서는, 피에칭물에의 바이어스 전압 인가나 플라스마와 자계와의 상호 작용을 이용하여 하전(荷電) 입자인 이온을 가속할 수 있기 때문에, 일반적으로는 이방성 에칭이 진행되어, 피에칭물의 가공면은 수직벽으로 된다. 그러나, 이 [공정-250]에서는, 플라스마 중의 주에칭종 중에도 수직 이외의 각도를 가지는 입사 성분이 약간 존재하는 것, 및 개구부(78A)의 단부(端部)에서의 산란에 의해서도 이 경사 입사 성분이 발생하는 것에 의해, 전자 방출층(74)의 노출면 중에서, 본래라면 개구부(78A)에 의해 차폐되어 이온이 도달되지 않을 영역에도, 어느 정도의 확률로 주에칭종이 입사된다. 이 때, 전자 방출층(74)의 법선에 대한 입사각이 작은 주에칭종만큼 입사 확률은 높고, 입사각이 큰 주에칭종만큼 입사 확률은 낮다. 따라서, 전자 방출층(74)에 형성된 개구부(78C)의 상단부 위치는 개구부(78B)의 하단부와 거의 일치하고 있지만, 개구부(78C)의 하단부 위치는 그 상단부보다 돌출한 상태로 된다. 즉, 전자 방출층(74)의 두께가, 돌출 방향의 선단부로 향해 얇아져, 단부가 선예화(先銳化)된다. 여기에서는, 에칭 가스로서 SF₆를 사용함으로써, 전자 방출층(74)의 양호한 가공을 행할 수 있다.

<342> [공정-260]

<343> 다음에, 도 37 (B)에 나타낸 바와 같이, 개구부(78C)의 저면에 노출된 제1 절연층(73)을 등방적으로 에칭하여, 개구부(78D)를 형성하고, 개구부(78)를 완성시킨다. 여기에서는, 전술한 제2 절연층(75)의 경우와 마찬가지로, 완충화 불소 수용액을 사용한 윗 에칭을 행한다. 개구부(78D)의 벽면은 개구부(78C)의 하단부보다 후퇴한다. 이 때의 후퇴량은 에칭 시간의 장단에 의해 제어 가능하다. 이 때, 먼저 형성된 개구부(78D)의 벽면은 더욱 후퇴한다. 그리고, 개구부(78)의 완성 후에 레지스트층(79)을 제거하면, 도 33 (B)에 나타낸 구조를 가지는 에지형 전계 방출 소자가 형성된 캐소드 패널을 얻을 수 있다.

<344> 평면형 전계 방출 소자의 개략적인 일부 단면도를 도 38에 나타냈다. 이 평면형 전계 방출 소자는,

<345> (A) 지지체(81) 상에 형성된 전자 방출층(84),

<346> (B) 전자 방출층(84) 상을 포함하는 지지체(81) 상에 형성된 절연층(85),

<347> (C) 절연층(85) 상에 형성된 게이트 전극(86), 및

<348> (D) 게이트 전극(86) 및 절연층(85)을 관통하여, 저부에 전자 방출층(84)의 표면이 노출된 개구부(88)

<349>로 이루어지고,

<350> 개구부(88)의 저부에 노출된 전자 방출층(84)의 표면으로부터 전자가 방출된다.

<351> 도 38에 나타낸 평면형 전계 방출 소자의 제조 방법을 이하, 도 39 (A)~39 (C)를 참조하여 설명한다.

<352> [공정-300]

<353> 먼저, 예를 들면, 유리 기판으로 이루어지는 지지체(81) 상에, 스퍼터법에 의해 두께 약 0.2μm의 텅스텐으로 이루어지는 전자 방출층용 도전 재료층을 제막하고, 통상의 수순에 따라 이 전자 방출층용 도전 재료층을 패터닝하여, 전자 방출층(84)을 형성한다. 다음에, 전자 방출층(84) 상을 포함하는 지지체(81) 상에 절연층(85)을 형성한다. 여기에서는 일예로서 TEOS(테트라에톡시실란)를 원료 가스로서 사용하는 CVD법에 의해, SiO₂를 약 1μm의 두께로 형성한다. 또한, 이 절연층(85) 상에, 예를 들면, 두께 약 0.2μm의 텅스텐으로 이루어지는 게이트 전극용 도전 재료층을 제막하고, 패터닝하여 게이트 전극(86)을 형성한다. 여기까지의 프로세스가 종료된 상태를 도 39 (A)에 나타냈다.

<354> [공정-310]

<355> 다음에, 전면에 레지스트층(89)을 형성하고, 또한, 이 레지스트층(89)에 게이트 전극(86)의 표면을 일부 노출시키도록 레지스트 개구부(89A)를 형성한다. 레지스트 개구부(89A)의 평면 형상은, 예를 들면 원형이다. 계속해서, 레지스트 개구부(89A)의 저면에 노출된 게이트 전극(86)을, 예를 들면, RIE법에 의해 이방적으로 에칭한다. 여기에서는 게이트 전극(86)을 텅스텐을 사용하여 구성하고 있으므로, SF₆ 가스를 사용한 에칭을 행할 수 있다. 여기까지의 프로세스를 종료한 상태를 도 39 (B)에 나타냈다.

<356> [공정-320]

<357> 다음에, 도 39 (C)에 나타낸 바와 같이, 레지스트 개구부(89A) 내부에 노출된 절연층(85)을 등방적으로 에칭하여, 개구부(88)를 형성한다. 여기에서는, 절연층(85)을 SiO₂를 사용하여 형성하고 있으므로, 완충화 불산 수용

액을 사용한 윗 예칭을 행한다. 절연층(85)의 벽면은, 게이트 전극(86)의 선단부로부터 후퇴하지만, 이 때의 후퇴량은 예칭 시간의 장단에 의해 제어할 수 있다. 이렇게 하여, 도 38에 나타낸 평면형 전계 방출 소자가 형성된 캐소드 패널을 얻을 수 있다.

<358> 스픬트형 전계 방출 소자에서의 전자 방출 전극(56)은, 텅스텐(W), 니오브(Nb), 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 크롬(Cr), 알루미늄(Al), 동(Cu) 등의 금속 또는 이들 금속 원소를 함유하는 합금이나 화합물을 사용하여 형성할 수 있지만, 그 중에서도 이른바 고용점 금속 또는 그 합금이나 화합물을 사용하여 형성하는 것이 바람직하다. 전자 방출 전극(56)은, 예를 들면, 증착법이나 스퍼터링법에 의해 형성할 수 있다.

<359> 에지형 전계 방출 소자 또는 평면형 전계 방출 소자에서의 전자 방출층(74, 84)은, 전형적으로는, 텅스텐(W)이나 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 크롬(Cr), 또는 이들의 합금이나 화합물(예를 들면, TiN 등의 질화물이나, WSi₂, MoSi₂, TiSi₂, TaSi₂ 등의 시리사이드), 또는 다이아몬드 등의 반도체로 구성할 수 있다. 전자 방출층(74, 84)의 형성 방법으로서, 증착법, 스퍼터링법, CVD법, 이온 플레이팅법, 인쇄법, 도금법 등, 통상의 박막 제작 프로세스를 이용할 수 있다. 전자 방출층(74, 84)의 두께는 대략 0.05~0.5μm, 바람직하게는 0.1~0.3μm의 범위로 하는 것이 바람직하지만, 이러한 범위에 한정되는 것은 아니다. 전자 방출층(74, 84)을 구성하는 재료는 게이트 전극을 구성하는 재료와 동일해도, 상이해도 된다.

<360> 스픬트형 전계 방출 소자에서의 캐소드 전극(52), 게이트 전극(54), 에지형 전계 방출 소자에서의 게이트 전극(76), 또는 제1 게이트 전극(72), 제2 게이트 전극(77), 평면형 전계 방출 소자에서의 게이트 전극(86)을 구성하는 재료로서, 텅스텐(W), 니오브(Nb), 탄탈(Ta), 몰리브덴(Mo), 크롬(Cr), 알루미늄(Al), 동(Cu) 등의 금속, 이들의 금속 원소를 함유하는 합금 또는 화합물, 또는 실리콘(Si) 등의 반도체나 다이아몬드, 카본을 예시할 수 있다. 그리고, 이들의 전극을 구성하는 재료를 동일 재료로 해도 되고, 동종 재료로 해도 되고, 이종 재료로 해도 된다. 이들의 전극 형성 방법으로서, 증착법, 스퍼터링법, CVD법, 이온 플레이팅법, 인쇄법, 도금법 등, 통상의 박막 제작 프로세스를 이용할 수 있다.

<361> 브랜치 배선과 메인 배선을 동일 재료로 형성해도 되고, 상이한 재료로 형성해도 된다. 경우에 따라서는, 스픬트형 전계 방출 소자에서의 캐소드 전극(52), 게이트 전극(54), 에지형 전계 방출 소자에서의 게이트 전극(76), 또는, 제1 게이트 전극(72), 제2 게이트 전극(77), 평면형 전계 방출 소자에서의 게이트 전극(86)을, 브랜치 배선 및 메인 배선과 동일 재료(즉, 알루미늄 또는 알루미늄 합금)로 일체적으로 형성해도 된다.

<362> 절연층(53), 제1 절연층(73), 제2 절연층(75), 절연층(85)의 구성 재료로서는, SiO₂, SiN, SiON, 유리 페이스트 경화물을 단독 또한 적당하게 적층하여 사용할 수 있고, 제막에는, CVD법, 도포법, 스퍼터링법, 인쇄법 등 공지의 프로세스를 이용할 수 있다.

<363> 지지체(51, 71, 81)는 최소한 표면이 절연성을 가지로 재료로 구성되어 있으면 되고, 유리 기판, 표면에 절연막이 형성된 유리 기판, 석영 기판, 표면에 절연막이 형성된 석영 기판, 표면에 절연막이 형성된 반도체 기판을 들 수 있다.

<364> 본 발명에 있어서는, 게이트 전극이나 제2 게이트 전극 상을 포함하는 전면에 충간 절연층을 형성하고, 이러한 충간 절연층 상에 포커스 전극을 형성하는 구성으로 할 수도 있다. 이 경우, 충간 절연층에는 개구부에 연통되는 제2 개구부가 형성되어 있다. 포커스 전극은 애노드 전극으로 향하는 전자의 궤도를 수속(收束)시키고, 따라서, 휙도의 향상이나 인접 화소 간의 색흐림 방지를 가능하게 하기 위한 전극이며, 캐소드 패널과 애노드 패널과의 사이의 거리가 비교적 긴 표시 장치를 상정한 경우에, 특히 유효한 전극이다. 포커스 전극은, 반드시 각 전계 방출 소자마다 형성할 필요는 없고, 예를 들면, 전계 방출 소자의 소정 배열 방향에 따라 배치함으로써, 복수의 전계 방출 소자에 공통의 수속 효과를 미칠 수도 있다. 따라서, 충간 절연층에 형성되는 제2 개구부는, 반드시 포커스 전극을 구성하는 재료층에 형성되어 있을 필요는 없다. 제2 개구부의 평면 형상은 포커스 전극의 구성에 의해, 개구부의 평면 형상과 합동 또는 닮은꼴로 해도 되고, 상이해도 된다.

<365> (실시 형태 1)

<366> 실시 형태 1은 본 발명의 제1 양태에 관한 냉음극 전계 전자 방출 표시 장치용 캐소드 패널(이하, 단지 "캐소드 패널"이라고 함) 및 표시 장치, 및 캐소드 패널의 제조 방법에 관한 것이다.

<367> 전자 방출부(10)의 구성은, 전술한 복수(예를 들면, 수십 내지 천개 정도)의 스픬트형 전계 방출 소자, 또는, 복수(예를 들면, 수십 내지 수백개 정도)의 에지형 전계 방출 소자, 또는, 1개 또는 복수의 평면형 전계 방출 소자로 구성할 수 있다. 이하, 모든 실시 형태에 있어서, 원칙으로서, 복수의 스픬트형 전계 방출 소자로 전자

방출부(10)가 구성되어 있는 경우를 예로 들어, 캐소드 패널을 설명하지만, 다른 전계 방출 소자로 전자 방출부(10)가 구성되어 있는 경우라도 실질적으로는 동일하다.

<368> 실시 형태 1의 캐소드 패널은, 메인 배선, 브랜치 배선 및 전자 방출부의 개략적인 평면적 배치를 도 1에 나타낸 바와 같이, 복수의 메인 배선(20, 22)과, 각 메인 배선으로부터 연장되는 복수의 브랜치 배선과, 각 브랜치 배선에 접속된 전자 방출부(10)를 구비한다. 복수의 브랜치 배선(21)은 메인 배선(20)으로부터 연장되어 있고, 복수의 브랜치 배선(23)은 메인 배선(22)으로부터 연장되어 있다. 메인 배선(20)은 제1 방향으로 연장되어 있고, 메인 배선(22)은 제1 방향과 상이한 제2 방향(예를 들면, 제1 방향과 직각 방향)으로 연장되어 있다. 전자 방출부(10)는 각 브랜치 배선(21, 23)에 접속되어 있다. 예를 들면, 스픬트형 전계 방출 소자가 형성된 전자 방출부(10)를 구비한 캐소드 패널을 예로 들면, 전자 방출부(10)를 구성하는 캐소드 전극군은 각 브랜치 배선(21)에 접속되어 있으며, 게이트 전극군은 각 브랜치 배선(23)에 접속되어 있다. 도 1, 또, 후술하는 도 4, 도 5에서는, 지지체나 절연층의 도시, 전계 방출 소자의 상세한 도시는 생략했다. 메인 배선, 브랜치 배선 및 전자 방출부의 개략적인 평면적 배치를 나타낸 도면에서는, 메인 배선 및 브랜치 배선을 명확히 하기 위해, 메인 배선 및 브랜치 배선에 사선을 붙였다.

<369> 메인 배선(20) 및 브랜치 배선(21)은 전술한 [공정-100]에 있어서, 예를 들면, 유리 기판으로 이루어지는 지지체(51)의 위에, 예를 들면, 폴리실리콘으로 이루어지는 캐소드 전극용 도전 재료층을 플라스마 CVD법으로 제막한 후, 리소그래피 기술 및 드라이 애칭 기술에 따라 캐소드 전극용 도전 재료층을 패터닝하여, 캐소드 전극(52)을 형성할 때, 동시에 형성하면 된다. 각 전자 방출부(10)를 구성하는 캐소드 전극군을 구성하는 패터닝된 캐소드 전극용 도전 재료층은, 예를 들면, 직사각형 형상을 가진다.

<370> 또는, 메인 배선(20) 및 브랜치 배선(21)은, 전술한 [공정-210]에서, 제1 절연층(73)의 위에, 예를 들면, 텅스텐으로 이루어지는 전자 방출층용 도전 재료층을 제막한 후, 리소그래피 기술 및 드라이 애칭 기술에 따라 전자 방출층용 도전 재료층을 패터닝하여, 전자 방출층(74)을 형성할 때, 동시에 형성하면 된다.

<371> 또는, 메인 배선(20) 및 브랜치 배선(21)은, 전술한 [공정-300]에서, 예를 들면, 유리 기판으로 이루어지는 지지체(81) 상에, 예를 들면, 텅스텐으로 이루어지는 전자 방출층용 도전 재료층을 제막한 후, 리소그래피 기술 및 드라이 애칭 기술에 따라 전자 방출층용 도전 재료층을 패터닝하여, 전자 방출층(84)을 형성할 때, 동시에 형성하면 된다.

<372> 한편, 메인 배선(22) 및 브랜치 배선(23)은, 전술한 [공정-100]에서, 게이트 전극용 도전 재료층을 리소그래피 기술 및 드라이 애칭 기술로 패터닝함으로써 게이트 전극(54)을 형성할 때, 동시에 형성하면 된다. 각 전자 방출부(10)를 구성하는 게이트 전극군을 구성하는 패터닝된 게이트 전극용 도전 재료층은 패터닝된 캐소드 전극용 도전 재료층과 대략 동일한 직사각형 형상을 가진다.

<373> 또는, 메인 배선(22) 및 브랜치 배선(23)은, 전술한 [공정-200]에서, 예를 들면, 유리 기판으로 이루어지는 지지체(71) 상에, 예를 들면, 텅스텐으로 이루어지는 제1 게이트 전극용 도전 재료층을 제막한 후, 리소그래피 기술 및 드라이 애칭 기술에 따라 제1 게이트 전극용 도전 재료층을 패터닝하여, 제1 게이트 전극(72)을 형성할 때, 동시에 형성하면 된다. 또, 메인 배선(22) 및 브랜치 배선(23)은, 전술한 [공정-220]에서, 제2 절연층(75) 상에, 예를 들면, 텅스텐으로 이루어지는 제2 게이트 전극용 도전 재료층을 제막한 후, 리소그래피 기술 및 드라이 애칭 기술에 따라 제2 게이트 전극용 도전 재료층을 패터닝하여, 제2 게이트 전극(77)을 형성할 때, 동시에 형성하면 된다.

<374> 또는, 메인 배선(22) 및 브랜치 배선(23)은, 전술한 [공정-300]에서, 절연층(85) 상에, 예를 들면, 텅스텐으로 이루어지는 게이트 전극용 도전 재료층을 제막한 후, 리소그래피 기술 및 드라이 애칭 기술에 따라 게이트 전극용 도전 재료층을 패터닝하여, 게이트 전극(86)을 형성할 때, 동시에 형성하면 된다.

<375> 이상 설명한 메인 배선(20, 22) 및 브랜치 배선(21, 23)의 형성 방법은, 이하에 설명하는 실시 형태 3 및 실시 형태 5에서의 전계 방출 소자에 대해서도 적용할 수 있다.

<376> 그리고, 도 29 (A)에 개략적인 일부 단면도를 나타내고, 도 29 (B)에 개략적인 분해 사시도를 나타낸 바와 같이, 이른바 션트(shunt) 구조를 가지는 메인 배선(20, 20')으로 할 수도 있다. 즉, [공정-100]에 있어서, 예를 들면, 유리 기판으로 이루어지는 지지체(51) 상에, 예를 들면, 폴리실리콘으로 이루어지는 캐소드 전극용 도전 재료층을 플라스마 CVD법으로 제막한 후, 리소그래피 기술 및 드라이 애칭 기술에 따라 캐소드 전극용 도전 재료층을 패터닝하여, 캐소드 전극군, 메인 배선(20) 및 브랜치 배선(21)을 형성한다. 그 후, 전면에 SiO_2 로 이루어지는 절연층(53')을 CVD법으로 제막하고, 메인 배선(20) 상방의 절연층(53')에 구멍부를 형성한다. 그 후,

구멍부 내를 포함하는 절연층(53') 상에, 예를 들면, 알루미늄계 합금층을 스퍼터법으로 제막하고, 이러한 알루미늄계 합금층을 패터닝함으로써, 절연층(53') 상에도 메인 배선(20')을 형성한다. 이러한 메인 배선(20')은 구멍부 및 구멍부에 충전된 알루미늄계 합금층(이들을 총칭하여 "콘택트 홀"이라고 함)에 의해 메인 배선(20)과 전기적으로 접속되어 있다. 이어서, 전면에 절연층(53")을 형성하고, 게이트 전극용 도전 재료층(예를 들면, TiN층)을 스퍼터법으로, 차례로 제막하고, 이어서, 게이트 전극용 도전 재료층을 리소그래피 기술 및 드라이 에칭 기술로 패터닝함으로써 게이트 전극용 도전 재료층으로 이루어지고, 개구부(55)를 가지는 게이트 전극군을 형성한다. 그 후, 게이트 전극군을 에칭용 마스크로서 사용하여, 절연층(53", 53')에 예를 들면, 직경 $1\mu\text{m}$ 정도의 개구부(55)를 형성한다.

<377> 또, 도 30 (A)에 개략적인 일부 단면도를 나타내고, 도 30 (B)에 개략적인 분해 사시도를 나타낸 바와 같이, 지지체(51) 상에 메인 배선(20)을 형성하지 않고, 절연층(53') 위에만 메인 배선(20)을 형성하고, 콘택트 홀을 통해 지지체(51) 상에 형성된 브랜치 배선(21)과 메인 배선(20)을 접속하는 구조로 할 수도 있다.

<378> 이와 같이 메인 배선(20)을 션트 구조로 함으로써, 신호 지연 등의 발생을 회피할 수 있다. 이들 션트 구조는, 에지형 전계 방출 소자나 평면형 전계 방출 소자로 구성된 전자 방출부(10)를 구비한 캐소드 패널에 대해서도 적용할 수 있다.

<379> 얹어진 캐소드 패널(50)에 대하여, 전자 방출부(10)의 동작 시험(동작 검사 또는 동작 평가)을 행한다. 동작 시험으로서, 전자 방출부(10)의 저항치나 이상 발열을 측정하여 단락의 유무를 검사하는 배선 단락 시험이나, 캐소드 패널(50)로부터 실제로 전자를 방출시키는 표시 특성 시험을 예시할 수 있다.

<380> 표시 특성 시험의 실행에 적합한 시험 장치(검사 장치 또는 평가 장치)(100)의 개요를 도 43에 나타냈다. 이 시험 장치(100)는 상부가 개구된 하우징(101)을 구비한다. 하우징(101) 내에는, 검사대(102)가 배치되어 있고, 검사대(102)의 아래에는 검사대 승강 실린더(103)가 장착되어 있다. 검사대 승강 실린더(103)는 도시하지 않은 이동 대좌(臺座)에 얹혀 있으며, 검사대(102)마다 도 43의 지면(紙面) 수직 방향으로 이동 가능하다. 검사대(102)의 아래에는, 또한, 핀 승강 실린더(104)가 장착되어 있으며, 핀 승강 실린더(104)의 작동에 의해 검사대(102)를 관통한 구멍 내를 핀(105)이 상하로 승강한다. 하우징(101)은 밸브(107)를 통해 진공 펌프(도시하지 않음)에 연결되어 있어, 하우징(101)의 분위기를 고(高)진공으로 할 수 있다. 또, 가스 유량 제어 장치(108)를 통해 하우징(101) 내에 알곤 가스 등의 불활성 가스를 도입할 수 있는 구조로 되어 있다. 하우징(101) 내에는, 또한, 메인 배선(20, 22)의 단부에 접촉할 수 있는 구조의 검사 전압 인가침(109)이, 예를 들면, 메인 배선(20, 22)의 수만큼 배치되어 있다.

<381> 하우징(101)의 개구된 상부에는, 투명 기판(61) 상에 형성된 형광체층(62) 및 애노드 전극(63)을 가지는, 애노드 패널과 동일한 구성을 가지는 패널(60A)이 배치되어 있다. 패널(60A)의 상방에는 CCD를 가지는 수상 장치(110)가 배치되어 있다. 수상 장치(110)는 화상 검사 유닛(111)에 접속되어 있다. 또, 전압원/주사 전압 컨트롤러(112)가 화상 검사 유닛(111), 검사 전압 인가침(109) 및 애노드 전극(63)에 접속되어 있다.

<382> 캐소드 패널(50)의 동작 시험에 있어서는, 상승 위치에 있는 핀(105) 위에 캐소드 패널(50)을 얹어, 핀 승강 실린더(104)를 동작시킴으로써 핀(105)을 하강시켜, 캐소드 패널(50)을 검사대(102)에 얹어 놓는다. 그리고, 하우징(101)에 형성된 도어(도시하지 않음)를 통해, 검사대(102)에 얹힌 캐소드 패널(50)을 하우징(101) 내에 반입한 후, 하우징(101) 내를 진공 펌프에 의해 고진공 분위기로 한다. 그리고, 가스 유량 제어 장치(108)를 통해 하우징(101) 내에 알곤 가스 등의 불활성 가스를 도입하여, 하우징(101) 내의 압력을 소정의 값(예를 들면, $1.2 \times 10^3 \text{ Pa}$)으로 제어한다.

<383> 하우징(101) 내가 원하는 분위기로 되면, 검사대 승강 실린더(103)를 작동시켜, 검사대(102)를 상승시키고, 캐소드 패널(50)과 패널(60A)과의 사이의 거리를, 예를 들면, 1mm 로 한다. 아울러, 메인 배선(20, 22)의 단부에 검사 전압 인가침(109)을 접촉시킨다. 그리고, 전압원/주사 전압 컨트롤러(112)로부터 검사 전압 인가침(109), 메인 배선(20), 브랜치 배선(21)을 통해 전자 방출부(10)의 캐소드 전극(52)에 주사용 전압(예를 들면, 10 볼트)을 인가하고, 검사 전압 인가침(109), 메인 배선(22), 브랜치 배선(23)을 통해 전자 방출부(10)의 게이트 전극(54)에 제어용 전압(예를 들면, 15 볼트)을 인가하고, 또한, 애노드 전극(63)에 가속용 전압(예를 들면, 1.5 k볼트)을 인가한다. 이에 따라, 전자 방출 전극(56)의 선단부로부터 전자가 방출된다. 그리고, 전자는 패널(60A)에 형성된 애노드 전극(63)에 끌려, 애노드 전극(63)과 투명 기판(61)과의 사이에 형성된 발광체층인 형광체층(62)에 충돌한다. 그 결과, 형광체층(62)이 여기되어 발광하여, 원하는 화상을 얻을 수 있다.

<384> 이러한 화상을 수상 장치(110)로 수상하고, 수상 장치(110)로부터의 신호를 화상 검사 유닛(111)으로 처리한다.

전자 방출부(10)에 결함이 있는 경우, 이러한 전자 방출부(10)에 대응하는 화소에 따른 화상에는 암점이나 휘점, 휘도 불균일 등이 발생한다. 이와 같은 화상 이상을 발생시킨 전자 방출부(10)(이하, "동작 불량의 전자 방출부(10)"라고 함)의 위치를 화상 검사 유닛(111)으로 해석하여, 도시하지 않은 디스플레이에 표시한다. 또는, 동작 불량의 전자 방출부(10)의 위치 데이터를, 후술하는 절단 처리 장치로 보낸다.

<385> 표시 특성 시험 완료 후, 하우징(101) 내의 분위기를 대기 분위기로 하고, 검사대 승강 실린더(103)를 동작시켜, 검사대(102)를 하강시키고, 캐소드 패널(50)이 얹힌 검사대(102)를 하우징(101)으로부터 반출한다.

<386> 동작 불량의 전자 방출부(10)에 대해서는, 전자 방출부(10)와 메인 배선(20)을 접속하는 브랜치 배선(21)을 절단한다. 또는, 전자 방출부(10)와 메인 배선(220)을 접속하는 브랜치 배선(23)을 절단한다. 구체적으로는, 도 2에 나타낸 바와 같이, 레이저를 구비한 절단 처리 장치에서, 레이저광을 사용하여, 전자 방출부(10)와 메인 배선(20)을 접속하는 브랜치 배선(21)을 절단한다.

<387> 또는, 도 3 (A), (B)에 나타낸 바와 같이, 캐소드 패널(50)의 전면에 레지스트층을 도포하고, 광빔을 사용하여 레지스트층을 노광하여, 레지스트층을 현상함으로써, 절단해야 할 브랜치 배선(23)의 부분을 노출시킨다. 그리고, 드라이 에칭법에 따라 노출한 브랜치 배선(23)을 에칭함으로써 절단한 후, 레지스트층을 제거한다(도 3 (C) 참조).

<388> 이상의 처리가 완료된 캐소드 패널(50)과 애노드 패널(60)을 조립하면, 도 27 및 도 28에 나타낸 표시 장치를 구성할 수 있다. 즉, 이 표시 장치는 기본적으로는, 복수의 화소로 구성되고, 각 화소는 캐소드 패널(50) 상에 형성된 전자 방출부(10)와, 전자 방출부(10)에 대향하여 애노드 패널 상에 형성된 애노드 전극(63) 및 형광체층(62)으로 구성되어 있다. 이하의 실시 형태에서의 표시 장치도 동일한 구성을 가진다. 그리고, 도 28은 캐소드 패널(50) 및 애노드 패널(60)의 일부분의 개략적인 분해 사시도이다. 구체적으로는, 세라믹스나 유리로 제작된 높이 약 1mm의 프레임을 준비하고, 프레임과 애노드 패널(60)을 프릿 유리(frit glass)로 이루어지는 실재(seal material)를 사용하여 가(假)접착해 두고, 캐소드 패널(50)에 프릿 유리로 이루어지는 실재를 도포 · 견조해 두고, 애놀드 패널(60)과 캐소드 패널(50)을 프레임을 통해 접합하여, 약 450°C로 10~30분 소성하면 된다. 그 후, 표시 장치의 내부를 10^{-4} Pa 정도의 진공도로 될 때까지 배기하여, 적당한 방법으로 밀봉한다. 또는, 진공실 중에서 애노드 패널(60)과 캐소드 패널(50)을 프레임을 통해 접합하고, 약 450°C로 10~30분 소성하면, 애노드 패널(60)과 캐소드 패널(50)과 프레임에 의해 에워쌓인 공간은 스스로 진공으로 된다. 그리고, 애노드 패널(60)을 구성하는 기판(61)은, 최소한 표면이 절연성을 가지는 재료로 구성되어 있으면 되고, 유리 기판, 표면에 절연막이 형성된 유리 기판, 석영 기판, 표면에 절연막이 형성된 석영 기판, 표면에 절연막이 형성된 반도체 기판을 들 수 있다. 표시 장치의 구성에 의존하여, 기판(61)에는 투명성이 요구되는 경우가 있다.

<389> 도 1에 나타낸 구성에서는, 1개의 전자 방출부(10)는, 예를 들면 수십 내지 천개 정도의 스피드형 전계 방출 소자로 구성되어 있다. 패터닝된 캐소드 전극용 도전 재료층에, 전자 방출부(10)를 구성하는 스피드형 전계 방출 소자의 캐소드 전극(52)이 원하는 수만큼 존재하고 있다. 구체적으로는, 예를 들면, 직사각형의 캐소드 전극용 도전 재료층 그 자체가 캐소드 전극(52)에 상당하고, 개구부(55)의 저부에 위치하는 캐소드 전극용 도전 재료층의 영역이 캐소드 전극(52)에 해당한다. 또, 패터닝된 게이트 전극용 도전 재료층에, 전자 방출부(10)를 구성하는 스피드형 전계 방출 소자의 게이트 전극(54)이 원하는 수만큼 존재하고 있다. 구체적으로는, 예를 들면, 직사각형의 게이트 전극용 도전 재료층 그 자체가 게이트 전극(54)에 상당하고, 개구부(55)의 근방에 위치하는 게이트 전극용 도전 재료층의 영역이 게이트 전극(54)에 해당한다.

<390> 또는, 도 1에 나타낸 구성에서는, 1개의 전자 방출부(10)는, 예를 들면 수십 내지 수백개 정도의 에지형 전계 방출 소자로 구성되어 있다. 도 33 (A)에 나타낸 구조를 가지는 에지형 전계 방출 소자로 구성된 1개의 전자 방출부(10)에 있어서는, 패터닝된 전자 방출용 도전 재료층에, 전자 방출부(10)를 구성하는 에지형 전계 방출 소자의 전자 방출층(74)이 원하는 수만큼 존재하고 있다. 구체적으로는, 예를 들면, 직사각형의 전자 방출층용 도전 재료층 그 자체가 전자 방출층(74)에 상당하고, 개구부(78)의 근방에 위치하는 전자 방출층용 도전 재료층의 영역이 전자 방출층(74)에 해당한다. 또, 패터닝된 게이트 전극용 도전 재료층에, 전자 방출부(10)를 구성하는 에지형 전계 방출 소자의 게이트 전극(76)이 원하는 수만큼 존재하고 있다. 구체적으로는, 예를 들면, 직사각형의 게이트 전극용 도전 재료층 그 자체가 게이트 전극(76)에 상당하고, 개구부(78)의 근방에 위치하는 게이트 전극용 도전 재료층의 영역이 게이트 전극(76)에 해당한다.

<391> 또는, 도 1에 나타낸 구성에서는, 도 33 (B)에 나타낸 구조를 가지는 에지형 전계 방출 소자로 구성된 1개의 전자 방출부(10)에 있어서는, 패터닝된 제1 게이트 전극용 도전 재료층에, 전자 방출부(10)를 구성하는 에지형 전계 방출 소자의 제1 게이트 전극(72)이 원하는 수만큼 존재하고 있다. 구체적으로는, 예를 들면, 직사각형의 제

1 게이트 전극용 도전 재료층 그 자체가 제1 게이트 전극(72)에 상당하고, 개구부(78)의 저부에 위치하는 제1 게이트 전극용 도전 재료층의 영역이 제1 게이트 전극(72)에 해당한다. 또, 패터닝된 전자 방출층용 도전 재료층에, 전자 방출부(10)를 구성하는 에지형 전계 방출 소자의 전자 방출층(74)이 원하는 수만큼 존재하고 있다. 구체적으로는, 예를 들면, 직사각형의 게이트 전극용 도전 재료층 그 자체가 전자 방출층(74)에 상당하고, 개구부(78)의 근방에 위치하는 전자 방출층용 도전 재료층의 영역이 게이트 전극(74)에 해당한다. 또는, 패터닝된 제2 게이트 전극용 도전 재료층에, 전자 방출부(10)를 구성하는 에지형 전계 방출 소자의 제2 게이트 전극(77)이 원하는 수만큼 존재하고 있다. 구체적으로는, 예를 들면, 직사각형의 제2 게이트 전극용 도전 재료층 그 자체가 제2 게이트 전극(77)에 상당하고, 개구부(78)의 근방에 위치하는 제2 게이트 전극용 도전 재료층의 영역이 제2 게이트 전극(77)에 해당한다.

<392> 또는, 도 1에 나타낸 구성에서는, 1개의 전자 방출부(10)는, 예를 들면 1개 또는 복수의 평면형 전계 방출 소자로 구성되어 있다. 도 38에 나타낸 구조를 가지는 평면형 전계 방출 소자로 구성된 1개의 전자 방출부(10)에 있어서는, 패터닝된 전자 방출용 도전 재료층에, 전자 방출부(10)를 구성하는 평면형 전계 방출 소자의 전자 방출층(84)이 원하는 수만큼 존재하고 있다. 구체적으로는, 예를 들면, 직사각형의 전자 방출층용 도전 재료층 그 자체가 전자 방출층(84)에 상당하고, 개구부(88)의 저부에 위치하는 전자 방출층용 도전 재료층의 영역이 전자 방출층(84)에 해당한다. 또한, 패터닝된 게이트 전극용 도전 재료층에, 전자 방출부(10)를 구성하는 에지형 전계 방출 소자의 게이트 전극(86)이 원하는 수만큼 존재하고 있다. 구체적으로는, 예를 들면, 직사각형의 게이트 전극용 도전 재료층 그 자체가 게이트 전극(86)에 상당하고, 개구부(88)의 근방에 위치하는 게이트 전극용 도전 재료층의 영역이 게이트 전극(86)에 해당한다.

<393> 메인 배선, 브랜치 배선 및 전자 방출부의 변형예의 개략적인 평면적 배치를 도 4 및 도 5에 나타냈다.

<394> 도 4에 나타낸 구성에 있어서는, 패터닝된 캐소드 전극용 도전 재료층(52A)에, 전자 방출부(10)를 구성하는 스핀트형 전계 방출 소자의 캐소드 전극(52)이 원하는 수만큼 존재하고 있다. 즉, 캐소드 전극용 도전 재료층(52A)의 영역이 캐소드 전극(52)에 해당한다. 캐소드 전극용 도전 재료층(52A)은, 도 1에 나타낸 형상과는 달리, 스트라이프형으로 패터닝되어 있고, 이러한 스트라이프형의 캐소드 전극용 도전 재료층(52A)의 일부분(패터닝된 게이트 전극용 도전 재료층과 중복되는 영역)이, 각 전자 방출부(10)의 캐소드 전극(52)을 구성한다. 바꿔 말하면, 제1 방향에 인접하는 전자 방출부(10)의 캐소드 전극군은 캐소드 전극 연장부(24)에 의해 연결되어 있다. 한편, 패터닝된 게이트 전극용 도전 재료층에, 전자 방출부(10)를 구성하는 스핀트형 전계 방출 소자의 게이트 전극(54)이 원하는 수만큼 존재하고 있다. 즉, 예를 들면, 직사각형의 게이트 전극용 도전 재료층 그 자체가 게이트 전극(54)에 상당하고, 개구부(55)의 근방에 위치하는 게이트 전극용 도전 재료층의 영역이 게이트 전극(54)에 해당한다.

<395> 이와 같이, 도 4에 나타낸 캐소드 패널에 있어서는, 복수의 전자 방출부(10)가 1차원적으로 배열되어 이루어지는 냉음극 전계 전자 방출부열이, 소정수 병치되어 있다. 여기에서, 복수의 전자 방출부(10)가 1차원적으로 배열되어 있다는 것은, 스트라이프형의 캐소드 전극용 도전 재료층(52A)의 일부분이 전자 방출부(10)의 캐소드 전극(52)을 구성하는 것, 또는, 어느 방향으로 인접하는 전자 방출부(10)의 캐소드 전극군이 캐소드 전극 연장부(24)에 의해 연결되어 있는 것을 의미한다.

<396> 도 4에 나타낸 캐소드 패널에 있어서는, 도 1에 나타낸 캐소드 패널과 달리, 메인 배선(20) 및 브랜치 배선(21)은 생략되어 있고, 제1 방향으로 연장되는 스트라이프형의 캐소드 전극용 도전 재료층(52A)이 이들의 배선으로서의 기능을 달성한다. 메인 배선(22)은 제1 방향과 상이한 제2 방향(예를 들면, 제1 방향과 직각 방향)으로 연장되어 있다. 전자 방출부(10)를 구성하는 게이트 전극군은 각 브랜치 배선(23)에 접속되어 있다.

<397> 동작 불량의 전자 방출부(10)에 대해서는, 전자 방출부(10)와 메인 배선(22)을 접속하는 브랜치 배선(23)을 절단하면 된다.

<398> 도 5에 나타낸 구성에 있어서는, 패터닝된 캐소드 전극용 도전 재료층에, 전자 방출부(10)를 구성하는 스핀트형 전계 방출 소자의 캐소드 전극(52)이 원하는 수만큼 존재하고 있다. 즉, 예를 들면, 직사각형의 캐소드 전극용 도전 재료층 그 자체가 캐소드 전극(52)에 상당하고, 개구부(55)의 저부에 위치하는 캐소드 전극용 도전 재료층의 영역이 캐소드 전극(52)에 해당한다. 바꿔 말하면, 예를 들면, 직사각형의 캐소드 전극용 도전 재료층 그 자체가 캐소드 전극(52)에 상당하고, 개구부(55)의 저부에 위치하는 캐소드 전극용 도전 재료층의 영역이 캐소드 전극(52)에 해당한다. 한편, 패터닝된 게이트 전극용 도전 재료층에, 전자 방출부(10)를 구성하는 스핀트형 전계 방출 소자의 게이트 전극(54)이 원하는 수만큼 존재하고 있다. 즉, 게이트 전극용 도전 재료층 그 자체가 게

<421> (2) H S

<422> (3) S H

(실시 형태 2)

<424> 실시 형태 2는 본 발명의 제2 양태에 관한 캐소드 패널 및 표시 장치, 및 캐소드 패널의 제조 방법에 관한 것이다.

<425> 전자 방출부의 구성은 전술한 복수(예를 들면, 수십 내지 천개 정도)의 스피드형 전계 방출 소자, 또는, 복수(수십 내지 수백개 정도)의 애지형 전계 방출 소자, 또는, 1개 또는 복수의 평면형 전계 방출 소자로 구성할 수 있다. 이하, 복수의 스피드형 전계 방출 소자로 전자 방출부가 구성되어 있는 경우를 예로 들어, 캐소드 패널을 설명하지만, 다른 전계 방출 소자로 전자 방출부가 구성되어 있는 경우라도 실질적으로는 동일하다.

<426> 실시 형태 2의 캐소드 패널도, 메인 배선, 브랜치 배선 및 전자 방출부의 개략적인 평면적 배치를 도 6에 나타낸 바와 같이, 복수의 메인 배선(20, 22)(도 6에는, 그 중의 1개를 나타냄)과, 각 메인 배선(20, 22)으로부터 연장되는 복수의 브랜치 배선(21, 23)과, 각 브랜치 배선(21, 23)에 접속된 전자 방출부를 구비한다. 그리고, 도 6에는 전자 방출부의 하나를 나타냈다. 복수의 브랜치 배선(21)은 메인 배선(20)으로부터 연장되어 있고, 복수의 브랜치 배선(23)은 메인 배선(22)으로부터 연장되어 있다. 메인 배선(20)은 제1 방향으로 연장되어 있고, 메인 배선(22)은 제1 방향과 상이한 제2 방향(예를 들면, 제1 방향과 직각 방향)으로 연장되어 있다. 브랜치 배선(21)은 폭이 넓은 부분(21a)과, 폭이 좁은 부분(21b)으로 구성되어 있다. 또, 브랜치 배선(23)은 폭이 넓은 부분(23a)과, 폭이 좁은 부분(23b)으로 구성되어 있다.

<427> 예를 들면, $100\mu\text{m} \times 180\mu\text{m}$ 치수의 각 전자 방출부는, 1개 또는 복수(실시 형태 2에서는 6개)의 냉음극 전계 전자 방출부 유닛(이하, "전자 방출부 유닛"이라고 함)(10a)으로 구성되어 있고, 각 전자 방출부 유닛(10a)은 브랜치 배선(21, 23)을 통해 메인 배선(20, 22)에 접속되어 있다. 예를 들면, 스피드형 전계 방출 소자가 형성된 전자 방출부를 구비한 캐소드 패널을 예로 들면, 전자 방출부를 구성하는 캐소드 전극군은 각 브랜치 배선(21)에 접속되어 있고, 게이트 전극군은 각 브랜치 배선(23)에 접속되어 있다. 도 6에서는, 지지체나 절연층의 도시, 전계 방출 소자의 상세한 도시는 생략했다.

<428> 메인 배선(20) 및 브랜치 배선(21)은, 전술한 [공정-100]에서, 예를 들면, 유리 기판으로 이루어지는 지지체(51) 상에, 예를 들면, 알루미늄층으로 이루어지는 캐소드 전극용 도전 재료층을 스퍼터법으로 제막한 후, 리소그래피 기술 및 드라이 에칭 기술에 따라 캐소드 전극용 도전 재료층을 폐터닝하여, 캐소드 전극(52)을 형성할 때, 동시에 형성하면 된다. 각 전자 방출부를 구성하는 캐소드 전극군을 구성하는 폐터닝된 캐소드 전극용 도전 재료층은, 예를 들면 직사각형 형상을 가진다. 그리고, 전계 방출 소자가 완성된 후, 도 7 (A)에 개략적인 일부 단면도를 나타낸 바와 같이, 브랜치 배선(21)의 최소한 일부분, 보다 구체적으로는, 폭이 좁은 브랜치 배선 부분(21b) 상방의 절연층(53)을 리소그래피 기술 및 드라이 에칭 기술에 따라 제거해 둔다. 이 절연층(53)의 일부 제거는, 메인 배선에 주사 회로와의 접속을 위한 패드부를 형성할 때, 동시에 행할 수 있다.

<429> 또는, 메인 배선(20) 및 브랜치 배선(21)은, 전술한 [공정-100]에서, 예를 들면, 유리 기판으로 이루어지는 지지체(51)의 위에, 예를 들면 알루미늄층(52a) 및 TiN으로 이루어지는 배리어 메탈층(52b)의 2층으로 구성된 캐소드 전극용 도전 재료층을 스퍼터법으로 차례로 제막한 후, 리소그래피 기술 및 드라이 에칭 기술에 따라 캐소드 전극용 도전 재료층을 폐터닝하여, 캐소드 전극층(52)을 형성할 때, 동시에 형성하면 된다. 그리고, 전계 방출 소자가 완성된 후, 브랜치 배선(21)의 최소한 일부분의 상방의 절연층(53) 및 배리어 메탈층(52b)을 리소그래피 기술 및 드라이 에칭 기술에 따라 제거해 둔다. 즉, 브랜치 배선(21)을 알루미늄층으로 이루어지는 제1 브랜치 배선 부분과, 알루미늄층과 배리어 메탈층의 2층 구조를 가지는 제2 브랜치 배선 부분으로 구성된다. 구체적으로는, 완성된 전계 방출 소자(도 8 (A) 참조) 상에 레지스트 재료로 이루어지는 에칭용 마스크(도시하지 않음)를 리소그래피 기술에 따라 형성한 후, 평행 평판형 RIE 장치를 사용하여, 이하의 표 2에 예시하는 조건으로, SiO_2 로 이루어지는 절연층(43) 및 TiN으로 이루어지는 배리어 메탈층(52b)을 에칭하고, 그 후, 에칭 용 마스크를 제거한다(도 8 (B) 참조). 이 절연층(53) 및 배리어 메탈층(52b)의 일부 제거는, 메인 배선에 주사 회로와의 접속을 위한 패드부를 형성할 때, 동시에 행할 수 있다.

<430> [표 2]

<431> 사용 가스 : $\text{CHF}_3/\text{CO}/\text{Ar} = 30/70/300\text{sccm}$

<432> 압력 : 7.3 Pa

<433> RF 파워 : 1.3 kW

<434> 온도 : 20°C

<435> 또는, 메인 배선(20) 및 브랜치 배선(21)은 전술한 [공정-210]에 있어서, 제막 기술 및 드라이 에칭 기술에 따라, 제1 절연층(73)의 위에 메인 배선(20) 및 브랜치 배선(21)을 형성한 후, 전자 방출층(74)을 형성하면 된다. 또는, 메인 배선(20) 및 브랜치 배선(21)은 전술한 [공정-300]에 있어서, 예를 들면, 유리 기판으로 이루어지는 지지체(81)의 위에, 제막 기술 및 드라이 에칭 기술에 따라 메인 배선(20) 및 브랜치 배선(21)을 형성한 후, 전자 방출층(84)을 형성하면 된다.

<436> 한편, 메인 배선(22) 및 브랜치 배선(23)은 전술한 [공정-100]에 있어서, 예를 들면, 알루미늄으로 이루어지는 게이트 전극용 도전 재료층을 리소그래피 기술 및 드라이 에칭 기술로 패터닝함으로써 게이트 전극(54)을 형성할 때, 동시에 형성하면 된다. 각 전자 방출부를 구성하는 게이트 전극군을 구성하는 패터닝된 게이트 전극용 도전 재료층은, 패터닝된 캐소드 전극용 도전 재료층과 대략 동일한 직사각형 형상을 가진다.

<437> 또는, 메인 배선(22) 및 브랜치 배선(23)은 전술한 [공정-100]에 있어서, 예를 들면, 두께 $0.5\mu\text{m}$ 의 알루미늄층 및 두께 $0.1\mu\text{m}$ 의 TiN으로 이루어지는 배리어 메탈층의 2층으로 구성된 게이트 전극용 도전 재료층을 리소그래피 기술 및 드라이 에칭 기술로 패터닝함으로써 게이트 전극(54)을 형성할 때, 동시에 형성하면 된다. 그리고, 전계 방출 소자가 완성된 후, 브랜치 배선(23)의 최소한 일부분의 배리어 메탈층을 리소그래피 기술 및 드라이 에칭 기술에 따라 제거해 둔다. 즉, 브랜치 배선(23)을 알루미늄층으로 이루어지는 제1 브랜치 배선 부분과, 알루미늄층과 배리어 메탈층의 2층 구조를 가지는 제2 브랜치 배선 부분으로 구성한다.

<438> 또는, 메인 배선(22) 및 브랜치 배선(23)은, 상술한 [공정-200]에 있어서, 예를 들면 유리 기판으로 이루어진 지지체(71) 상에, 제막 기술 및 드라이 에칭 기술에 따라 메인 배선(22) 및 브랜치 배선(23)을 형성한 후, 제1 게이트 전극(72)을 형성하면 된다. 또, 메인 배선(22) 및 브랜치 배선(23)은, 상술한 [공정-220]에 있어서, 제2 절연층(75) 상에, 제막 기술 및 드라이 에칭 기술에 따라 메인 배선(22) 및 브랜치 배선(23)을 형성한 후, 제2 게이트 전극(77)을 형성하면 된다. 혹은 또한, 메인 배선(22) 및 브랜치 배선(23)은, 상술한 [공정-300]에 있어서, 절연층(85) 상에, 제막 기술 및 드라이 에칭 기술에 따라 메인 배선(22) 및 브랜치 배선(23)을 형성한 후, 게이트 전극(86)을 형성하면 된다.

<439> 또한, 브랜치 배선(21)과 브랜치 배선(23) 중 최소한 한 쪽이, 알루미늄층 혹은 알루미늄 합금층으로 구성되고, 혹은 또한, 알루미늄층 혹은 알루미늄 합금층으로 이루어진 제1 브랜치 배선 부분과, 알루미늄층 혹은 알루미늄 합금층과 배리어 메탈층의 2층 구조를 가지는 제2 브랜치 배선 부분으로 구성되어 있으면 된다.

<440> 이상의 메인 배선(20), (22)의 형성 방법, 브랜치 배선(21), (23)의 형성 방법을, 후술할 실시 형태 4 및 실시 형태 6에 적용할 수 있다.

<441> 실시 형태 2에 있어서는, 순도 99.99%의 알루미늄층으로 이루어진 브랜치 배선(21), (23)의 폭이 좁은 부분(21b), (23b)의 폭을 $2\mu\text{m}$, 두께를 $0.5\mu\text{m}$, 길이를 0.1mm 이상으로 한다. 또, 순도 99.99%의 알루미늄층으로 이루어진 메인 배선(20), (22), 브랜치 배선(21), (23)의 폭이 넓은 부분(21a), (23a)의 폭을 $20\mu\text{m}$, 두께를 $0.5\mu\text{m}$ 로 한다. 브랜치 배선(21), (23)의 폭이 좁은 부분(21b), (23b)의 전기 저항치 R 는 이하와 같다. 또한, 알루미늄 층의 체적 저항률 ρ 을 $2.7 \times 10^{-6} (\Omega \cdot \text{cm})$ 로 하고, 브랜치 배선(21), (23)의 폭이 좁은 부분(21b), (23b)의 단면적을 A , 길이를 L 로 한다.

$$R = \rho \frac{L}{A}$$

$$= 2.7 \times 102 \cdot L \Omega / \text{cm}$$

<444> 따라서, $L=0.5\text{mm}$ 로 하면, $R=13.5\Omega$ 가 된다.

<445> 얻어진 캐소드 패널(50)에 대하여, 메인 배선(20), (22)으로부터 브랜치 배선(21), (23)을 통하여 전자 방출부에 전압을 인가하는 단락 시험을 행한다. 구체적으로는, 메인 배선(20)과 메인 배선(22)의 사이에 10 볼트(=E)의 전위차를 준다. 전위차는 연속적으로 주어도 되고, 펄스 형으로 주어도 된다. 단락이 발생하고 있는 전자 방출부, 즉, 예를 들면 게이트 전극(54)과 전자 방출 전극(56) 사이에 도전성의 이물이 존재하고 있는 전계 방출 소자를 포함하는 전자 방출부에 있어서는, 이러한 전자 방출부와 메인 배선(20), (22)을 접속하는 브랜치 배선(21), (23)을, 브랜치 배선(21), (23)을 흐르는 전류I에 의해 단선시킨다(도 7 (B)의 개략적인 일부 단면도를

참조). 또한, 브랜치 배선(21), (23)의 폭이 좁은 부분(21b), (23b)의 단선은, 어느 한 쪽 혹은 양쪽으로 생길 수 있다. 여기에서, 브랜치 배선(21), (23)의 폭이 좁은 부분(21b), (23b)을 흐르는 전류I의 전류 밀도J는 이하와 같이 된다.

<446> $J=I/A$ <447> $=(E/R)/A$ <448> $=(10/13.5)/10^{-8}$ <449> $=7.4 \times 107(\text{암페어}/\text{cm}^2)$

이러한 조건에서 브랜치 배선의 폭이 좁은 부분(21b), (23b)이 일렉트로 마이그레이션(electro migration)에 기인하여 단선하기까지의 시간을 조사한 결과를, 도 9에 나타낸다. 또한, 시험 분위기는 대기 분위기이다. 도 9에서, 약 1시간, 브랜치 배선(20)과 브랜치 배선(22)의 사이에 10 볼트의 전위차를 계속하여 줌으로써, 단락이 발생하고 있는 전자 방출부와 메인 배선을 접속하는 브랜치 배선이 거의 모두 단선하는 것을 알 수 있다. 또한, 시험 분위기를 불활성 가스 분위기로 하고, 전자 방출부, 메인 배선(20), (22)이나 브랜치 배선(21), (23)을 가열한 상태에서 단락 시험을 행하면, 단락이 발생하고 있는 전자 방출부와 메인 배선을 접속하는 브랜치 배선이 단선하기까지의 시간의 단축화를 도모할 수 있다.

<451> 실시 형태 2에 있어서는, 각 전자 방출부를 복수(예를 들면 6개)의 전자 방출부 유니트(10a)로 구성하면, 예를 들면 하나의 전자 방출부 유니트(10a)에 있어서의 메인 배선이 단선되어도, 남은 전자 방출부 유니트(10a)가 가능하므로, 외견상은 손색없는 화소를 얻을 수 있다.

<452> 이상의 처리가 완료된 캐소드 패널(50)과 애노드 패널(60)을 조립하면, 도 27에 나타낸 표시 장치를 구성할 수 있다.

<453> 또한, 경우에 따라서는, 캐소드 패널(50)과 애노드 패널(60)을 조립한 후에, 단락 시험을 행하고, 단락 상태에 있는 전자 방출부와 메인 배선을 접속하는 브랜치 배선을 단선시켜도 된다.

<454> 메인 배선, 브랜치 배선 및 전자 방출부의 변형예로서는, 도 4 및 도 5의 개략적인 평면적 배치에 나타낸 것과 같은 구성을 들 수 있다.

<455> (실시 형태 3)

<456> 실시 형태 3은, 본 발명의 제3의 양태에 관한 캐소드 패널 및 표시 장치, 및, 캐소드 패널의 제조 방법에 관한 것이다.

<457> 전자 방출부의 구성은, 상술한, 복수(예를 들면, 수십 내지 천개 정도)의 스피드형 전계 방출 소자, 혹은, 복수(예를 들면, 수십 내지 수백개 정도)의 애지형 전계 방출 소자, 혹은, 하나 내지는 복수의 평면형 전계 방출 소자로 구성할 수 있다. 이하, 복수의 스피드형 전계 방출 소자로 전자 방출부가 구성되어 있는 경우를 예로 들어, 캐소드 패널을 설명하는데, 다른 전계 방출 소자로 전자 방출부가 구성되어 있는 경우라도 실질적으로는 같다.

<458> 실시 형태 3의 캐소드 패널은, 메인 배선, 브랜치 배선 및 전자 방출부의 개략적인 평면적 배치를 도 10에 나타낸 것과 같이, 복수의 메인 배선(30), (32)과, 각 메인 배선(30), (32)으로부터 연장되는, 복수의 제1 브랜치 배선(31A), (33A) 및 복수의 제2 브랜치 배선(31B), (33B)과, 복수의 냉음극 전계 전자 방출 영역(이하, 간단히, 전자 방출 영역이라고 한다)을 구비한다. 복수의 제1 브랜치 배선(31A) 및 제2 브랜치 배선(31B)은 메인 배선(30)으로부터 연장되어 있고, 복수의 제1 브랜치 배선(33A) 및 제2 브랜치 배선(33B)은 메인 배선(32)으로부터 연장되어 있다. 메인 배선(30)은 제1 방향으로 연장되어 있고, 메인 배선(32)은 제1 방향과 다른 제2 방향(예를 들면, 제1 방향과 직각 방향)으로 연장되어 있다. 또한, 도 10, 또, 후술할 도 11~도 17에 있어서는, 지지체나 절연층의 도시, 전계 방출 소자의 상세한 도시는 생략했다.

<459> 각 전자 방출 영역은, 메인 배선(30), (32)으로부터 연장되는 제1 브랜치 배선(31A), (33A)에 접속된 제1 냉음극 전계 전자 방출부(10A)(이하, 제1 전자 방출부(10A)라고 한다), 및, 이 메인 배선(30), (32)으로부터 연장되는 제2 브랜치 배선(31B), (33B)에 접속된 제2 냉음극 전계 전자 방출부(10B)(이하, 제2 전자 방출부(10B)라고 한다)로 구성되어 있다. 구체적으로는, 제1 전자 방출부(10A)를 구성하는 캐소드 전극군은, 제1 브랜치 배선(31A)을 통하여 메인 배선(30)에 접속되어 있고, 제1 전자 방출부(10A)를 구성하는 게이트 전극군은, 제1 브랜치 배선(33A)을 통하여 메인 배선(32)에 접속되어 있다. 한편, 제2 전자 방출부(10B)를 구성하는 캐소드 전극군

은, 제2 브랜치 배선(31B)을 통하여 메인 배선(30)에 접속되어 있고, 제2 전자 방출부(10B)를 구성하는 케이트 전극군은, 제2 브랜치 배선(33B)을 통하여 메인 배선(32)에 접속되어 있다. 그리고, 전자 방출 영역을 구성하는 한 쪽의 전자 방출부(예를 들면, 제1 전자 방출부(10A))가 동작 불량인 경우, 이 한 쪽의 전자 방출부(예를 들면, 제1 전자 방출부(10A))와 메인 배선(30), (32)을 접속하는 브랜치 배선(예를 들면, 제1 브랜치 배선(31A) 혹은 제1 브랜치 배선(33A))은 절단되어 있다. 한편, 전자 방출 영역을 구성하는 양쪽의 전자 방출부(제1 전자 방출부(10A) 및 제2 전자 방출부(10B))의 동작이 정상인 경우, 이 전자 방출 영역을 구성하는 어느 한쪽의 전자 방출부(예를 들면, 제2 전자 방출부(10B))와 메인 배선(30), (32)을 접속하는 브랜치 배선(예를 들면, 제2 브랜치 배선(31B) 혹은 제2 브랜치 배선(33B))은 절단되어 있다.

<460> 이와 같이, 전자 방출 영역을 한 쌍의 전자 방출부(10A), (10B)로 구성하고, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽을 동작시킴으로써, 표시 장치의 휴도를 일정하게 유지할 수 있다.

<461> 메인 배선(30) 및 제1 브랜치 배선(31A), 제2 브랜치 배선(31B)은, 실시 형태 1에 있어서의 메인 배선(20) 및 브랜치 배선(21)과 같이 형성할 수 있고, 메인 배선(32) 및 제1 브랜치 배선(33A), 제2 브랜치 배선(33B)은, 실시 형태 1에 있어서의 메인 배선(22) 및 브랜치 배선(23)과 같이 형성할 수 있으므로, 상세한 설명은 생략한다.

<462> 얻어진 캐소드 패널(50)에 대하여, 제1 및 제2 전자 방출부(10A), (10B)의 동작 시험을 행한다. 동작 시험으로서, 이들 전자 방출부의 저항치나 이상 발열을 측정하여 단락의 유무를 검사하는 배선 단락 시험이나, 캐소드 패널(50)로부터 실제로 전자를 방출시키는 표시 특성 시험을 예시할 수 있다. 표시 특성 시험에 있어서는, 한 쌍의 전자 방출부(10A), (10B)가 정상의 동작을 하는 경우, 한 쌍의 전자 방출부(10A), (10B)의 어느 한 쪽이 동작 불량인 경우와 비교하여, 화소에 대응하는 화상은 밝다.

<463> 동작 불량인 전자 방출 영역에 대해서는, 예를 들면, 제1 전자 방출부(10A)와 메인 배선(30)을 접속하는 브랜치 배선(31A)을 절단한다. 혹은 또한, 제1 전자 방출부(10A)와 메인 배선(32)을 접속하는 브랜치 배선(33A)을 절단한다. 한편, 동작이 정상인 전자 방출 영역에 대해서는, 예를 들면, 제2 전자 방출부(10B)와 메인 배선(30)을 접속하는 브랜치 배선(31B)을 절단한다. 혹은 또한, 제2 전자 방출부(10B)와 메인 배선(32)을 접속하는 브랜치 배선(33B)을 절단한다. 구체적으로는, 실시 형태 1과 같은 방법을 실행하면 된다.

<464> 이상의 처리가 완료된 캐소드 패널(50)과 애노드 패널(60)을 조립하면, 도 27에 나타낸 표시 장치를 구성할 수 있다.

<465> 메인 배선, 브랜치 배선 및 전자 방출부의 변형예의 개략적인 평면적 배치를 도 11~도 17에 나타낸다.

<466> 도 11에 나타낸 구성에 있어서는, 캐소드 전극용 도전 재료층(52A)은, 도 10에 나타낸 형상과는 달리, 스트라이프형으로 패터닝되어 있고, 이러한 스트라이프형의 캐소드 전극용 도전 재료층(52A)의 일부분(패터닝된 케이트 전극용 도전 재료층과 중복되는 영역)이, 각 전자 방출부(10A), (10B)의 캐소드 전극(52)을 구성한다. 바꿔 말하면, 제1 방향에 인접하는 전자 방출부(10A), (10B)의 캐소드 전극군은 캐소드 전극 연재부(34)에 의해 연결되어 있고, 복수의 전자 방출부(10A), (10B)가 1차원적으로 제1 방향으로 배열되어 있다. 도 11에 나타낸 캐소드 패널에 있어서는, 도 10에 나타낸 캐소드 패널과 달리, 메인 배선(30) 및 브랜치 배선(31A), (31B)은 생략되어 있고, 제1 방향으로 연장된 스트라이프형의 캐소드 전극용 도전 재료층(52A)이, 이들 배선으로서의 기능을 한다. 메인 배선(32)은 제1 방향과 다른 제2 방향(예를 들면, 제1 방향과 직각 방향)으로 연장되어 있다. 전자 방출부(10A), (10B)를 구성하는 케이트 전극군은 각 브랜치 배선(33A), (33B)에 접속되어 있다.

<467> 동작 불량인 전자 방출 영역에 대해서는, 예를 들면, 제1 전자 방출부(10A)와 메인 배선(32)을 접속하는 제1 브랜치 배선(33A)을 절단하면 된다. 한편, 정상의 동작을 나타내는 전자 방출 영역에 대해서는, 예를 들면, 제2 전자 방출부(10B)와 메인 배선(32)을 접속하는 제2 브랜치 배선(33B)을 절단하면 된다.

<468> 도 12에 나타낸 구성에 있어서는, 케이트 전극용 도전 재료층(54A)은, 도 10에 나타낸 형상과는 달리, 스트라이프형으로 패터닝되어 있고, 이러한 스트라이프형의 케이트 전극용 도전 재료층(54A)의 일부분(패터닝된 캐소드 전극용 도전 재료층과 중복되는 영역)이, 각 전자 방출부(10A), (10B)의 케이트 전극(54)을 구성한다. 바꿔 말하면, 제2 방향에 인접하는 전자 방출부(10A), (10B)의 케이트 전극군은 케이트 전극 연재부(35)에 의해 연결되어 있고, 복수의 전자 방출부(10A), (10B)가 1차원적으로 제1 방향으로 배열되어 있다. 도 12에 나타낸 캐소드 패널에 있어서는, 도 10에 나타낸 캐소드 패널과 달리, 메인 배선(32) 및 브랜치 배선(33A), (33B)은 생략되어 있고, 제2 방향으로 연장되는 스트라이프형의 케이트 전극용 도전 재료층(54A)이, 이들 배선으로서의 기능을 한다. 메인 배선(30)은 제2 방향과 다른 제1 방향(예를 들면, 제2 방향과 직각 방향)으로 연장되어 있다. 전자 방출부(10A), (10B)를 구성하는 캐소드 전극군은 각 브랜치 배선(31A), (31B)에 접속되어 있다.

<469> 동작 불량인 전자 방출 영역에 대해서는, 예를 들면, 제1 전자 방출부(10A)와 메인 배선(30)을 접속하는 제1 브랜치 배선(31A)을 절단하면 된다. 한편, 정상의 동작을 나타내는 전자 방출 영역에 대해서는, 예를 들면, 제2 전자 방출부(10B)와 메인 배선(30)을 접속하는 제2 브랜치 배선(31B)을 절단하면 된다.

<470> 도 13에 나타낸 구성에 있어서는, 제2 방향으로 연장되는 메인 배선이 한 쌍의 메인 배선(32A), (32B)으로 구성되어 있다. 제1 전자 방출부(10A)를 구성하는 캐소드 전극군은, 제1 브랜치 배선(31A)을 통하여 메인 배선(30)에 접속되어 있고, 제1 전자 방출부(10A)를 구성하는 게이트 전극군은, 제1 브랜치 배선(33A)을 통하여 메인 배선(32A)에 접속되어 있다. 한편, 제2 전자 방출부(10B)를 구성하는 캐소드 전극군은, 제2 브랜치 배선(31B)을 통하여 메인 배선(30)에 접속되어 있고, 제2 전자 방출부(10B)를 구성하는 게이트 전극군은, 제2 브랜치 배선(33B)을 통하여 메인 배선(32B)에 접속되어 있다. 이러한 구성으로 함으로써, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)를 독립하여 동작시키는 것이 가능해진다.

<471> 얻어진 캐소드 패널(50)에 대하여, 제1 및 제2 전자 방출부(10A), (10B)의 동작 시험을 행한다. 동작 시험으로서, 이들 전자 방출부의 저항치나 이상 발열을 측정하여 단락의 유무를 검사하는 배선 단락 시험이나, 캐소드 패널(50)로부터 실제로 전자를 방출시키는 표시 특성 시험을 예시할 수 있다. 표시 특성 시험에 있어서는, 메인 배선(30)과 메인 배선(32A)에 전압을 인가함으로써, 제1 전자 방출부(10A)의 동작 시험을 행한다. 이어서, 메인 배선(30)과 메인 배선(32B)에 전압을 인가함으로써, 제2 전자 방출부(10B)의 동작 시험을 행한다.

<472> 동작 불량인 전자 방출 영역에 대해서는, 동작 불량이 발생하는 제1 내지는 제2 전자 방출부(10A), (10B)와 메인 배선(30)을 접속하는 브랜치 배선(31A) 내지는 브랜치 배선(31B)을 절단한다. 혹은 또한, 동작 불량이 발생한 제1 내지는 제2 전자 방출부(10A), (10B)와 메인 배선(32A), (32B)을 접속하는 브랜치 배선(33A) 내지는 브랜치 배선(33B)을 절단한다. 한편, 동작이 정상인 전자 방출 영역에 대해서는, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽과 메인 배선(30)을 접속하는 브랜치 배선(31A), (31B)을 절단한다. 혹은 또한, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽과 메인 배선(32A), (32B)을 접속하는 브랜치 배선(33A), (33B)을 절단한다. 즉, 동작이 정상인 전자 방출 영역에 대해서는, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽을, 동작하지 않는 상태로 하면 된다. 구체적으로는, 실시 형태 1과 같은 방법을 실행하면 된다. 이로써, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽만이 동작하는 결과, 표시 장치의 휙도를 일정하게 유지할 수 있다. 또한, 한 쌍의 메인 배선(32A), (32B)에 있어서, 메인 배선(32A)에 접속된 모든 전자 방출부(10A)가 정상의 동작을 하고, 메인 배선(32B)에 접속된 모든 전자 방출부(10B)가 정상의 동작을 하는 경우에는, 경우에 따라서는, 한 쪽의 메인 배선을 전자 방출부를 구동하기 위한 전원에 접속하지 않는 구성으로 할 수도 있고, 혹은 또한, 이러한 한 쪽의 메인 배선을 절단해도 된다. 또한, 메인 배선(32A)에 접속된 모든 전자 방출부(10A)가 정상의 동작을 하고, 메인 배선(32B)에 접속된 최소한 하나의 전자 방출부(10B)가 동작 불량을 나타내는 경우에는, 경우에 따라서는, 메인 배선(32B)을 전자 방출부를 구동하기 위한 전원에 접속하지 않는 구성으로 할 수도 있고, 혹은 또한, 이러한 메인 배선(32B)을 절단해도 된다. 혹은, 메인 배선(32A)에 접속된 최소한 하나의 전자 방출부(10A)가 동작 불량을 나타내고, 메인 배선(32B)에 접속된 모든 전자 방출부(10B)가 정상의 동작을 행하는 경우에는, 경우에 따라서는, 메인 배선(32A)을 전자 방출부를 구동하기 위한 전원에 접속하지 않는 구성으로 할 수도 있고, 혹은 또, 메인 배선(32A)을 절단해도 된다.

<473> 도 14에 나타낸 구성은, 도 13에 나타낸 구성과 도 11에 나타낸 구성의 조합이다. 즉, 도 14에 나타낸 구성에 있어서는, 캐소드 전극용 도전 재료층(52A)은, 도 13에 나타낸 형상과는 달리, 스트라이프형으로 패터닝되어 있고, 이러한 스트라이프형의 캐소드 전극용 도전 재료층(52A)의 일부분(패터닝된 게이트 전극용 도전 재료층과 중복되는 영역)이, 각 전자 방출부(10A), (10B)의 캐소드 전극(52)을 구성한다. 바꿔 말하면, 제1 방향에 인접하는 전자 방출부(10A), (10B)의 캐소드 전극군은 캐소드 전극 연재부(34)에 의해 연결되어 있고, 복수의 전자 방출부(10A), (10B)가 1차원적으로 제1 방향으로 배열되어 있다. 도 14에 나타낸 캐소드 패널에 있어서는, 도 13에 나타낸 캐소드 패널과 달리, 메인 배선(30) 및 브랜치 배선(31A), (31B)은 생략되어 있고, 제1 방향으로 연장되는 스트라이프형의 캐소드 전극용 도전 재료층(52A)이, 이를 배선으로서의 기능을 한다. 메인 배선(32A), (32B)은 제1 방향과 다른 제2 방향(예를 들면, 제1 방향과 직각 방향)으로 연장되어 있다. 제1 전자 방출부(10A)를 구성하는 게이트 전극군은 브랜치 배선(33A)을 통하여 메인 배선(32A)에 접속되어 있다. 한편, 제2 전자 방출부(10B)를 구성하는 게이트 전극군은 브랜치 배선(33B)을 통하여 메인 배선(32B)에 접속되어 있다.

<474> 동작 불량인 전자 방출 영역에 대해서는, 동작 불량이 발생한 제1 내지는 제2 전자 방출부(10A), (10B)와 메인 배선(32A), (32B)을 접속하는 브랜치 배선(33A) 내지는 브랜치 배선(33B)을 절단하면 된다. 한편, 동작이 정상인 전자 방출 영역에 대해서는, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽과 메인 배선(32A), (32B)을 접속하는 브랜치 배선(33A), (33B)을 절단하면 된다. 즉, 동작이 정상인 전자 방출 영역에 대해

서는, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽을, 동작하지 않는 상태로 하면 된다. 또한, 한 쌍의 메인 배선(32A), (32B)에 있어서, 메인 배선(32A)에 접속된 모든 전자 방출부(10A)가 정상의 동작을 하고, 메인 배선(32B)에 접속된 모든 전자 방출부(10B)가 정상의 동작을 하는 경우에는, 경우에 따라서는, 한 쪽의 메인 배선을 전자 방출부를 구동하기 위한 전원에 접속하지 않는 구성으로 할 수도 있고, 혹은 또한, 이러한 한 쪽의 메인 배선을 절단해도 된다. 또한, 메인 배선(32A)에 접속된 모든 전자 방출부(10A)가 정상의 동작을 하고, 메인 배선(32B)에 접속된 최소한 하나의 전자 방출부(10B)가 동작 불량을 나타내는 경우에는, 경우에 따라서는, 메인 배선(32B)을 전자 방출부를 구동하기 위한 전원에 접속하지 않는 구성으로 할 수도 있고, 혹은 또한, 이러한 메인 배선(32B)을 절단해도 된다. 혹은, 메인 배선(32A)에 접속된 최소한 하나의 전자 방출부(10A)가 동작 불량을 나타내고, 메인 배선(32B)에 접속된 모든 전자 방출부(10B)가 정상의 동작을 행하는 경우에는, 경우에 따라서는, 메인 배선(32A)을 전자 방출부를 구동하기 위한 전원에 접속하지 않는 구성으로 할 수도 있고, 혹은 또한, 메인 배선(32A)을 절단해도 된다.

<475> 도 15에 나타낸 구성에 있어서는, 제1 방향으로 연장되는 메인 배선이 한 쌍의 메인 배선(30A), (30B)으로 구성되어 있다. 제1 전자 방출부(10A)를 구성하는 캐소드 전극군은, 제1 브랜치 배선(31A)을 통하여 메인 배선(30A)에 접속되어 있고, 제1 전자 방출부(10A)를 구동하는 게이트 전극군은, 제1 브랜치 배선(33A)을 통하여 메인 배선(32A)에 접속되어 있다. 한편, 제2 전자 방출부(10B)를 구성하는 캐소드 전극군은, 제2 브랜치 배선(31B)을 통하여 메인 배선(30B)에 접속되어 있고, 제2 전자 방출부(10B)를 구성하는 게이트 전극군은, 제2 브랜치 배선(33B)을 통하여 메인 배선(32B)에 접속되어 있다. 이러한 구성으로 함으로써, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)를 독립하여 동작시키는 것이 가능해진다.

<476> 얻어진 캐소드 패널(50)에 대하여, 제1 및 제2 전자 방출부(10A), (10B)의 동작 시험을 행한다. 동작 시험으로서, 이들 전자 방출부의 저항치나 이상 발열을 측정하여 단락의 유무를 검사하는 배선 단락 시험이나, 캐소드 패널(50)로부터 실제로 전자를 방출시키는 표시 특성 시험을 예시할 수 있다. 표시 특성 시험에 있어서는, 메인 배선(32)과 메인 배선(30A)에 전압을 인가함으로써, 제1 전자 방출부(10A)의 동작 시험을 행한다. 이어서, 메인 배선(32)과 메인 배선(30B)에 전압을 인가함으로써, 제2 전자 방출부(10B)의 동작 시험을 행한다.

<477> 동작 불량인 전자 방출 영역에 대해서는, 동작 불량이 발생한 제1 내지는 제2 전자 방출부(10A), (10B)와 메인 배선(30A), (30B)을 접속하는 브랜치 배선(31A) 내지는 브랜치 배선(31B)을 절단한다. 혹은 또한, 동작 불량이 발생한 제1 내지는 제2 전자 방출부(10A), (10B)와 메인 배선(32)을 접속하는 브랜치 배선(33A) 내지는 브랜치 배선(33B)을 절단한다. 한편, 동작이 정상인 전자 방출 영역에 대해서는, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽과 메인 배선(30A), (30B)을 접속하는 브랜치 배선(31A), (31B)을 절단한다. 혹은 또한, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽과 메인 배선(32)을 접속하는 브랜치 배선(33A), (33B)을 절단한다. 즉, 동작이 정상인 전자 방출 영역에 대해서는, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽을, 동작하지 않는 상태로 하면 된다. 구체적으로는, 실시 형태 1과 같은 방법을 실행하면 된다. 또한, 한 쌍의 브랜치 배선(30A), (30B)에 있어서, 메인 배선(30A)에 접속된 모든 전자 방출부(10A)가 정상의 동작을 하고, 메인 배선(30B)에 접속된 모든 전자 방출부(10B)가 정상의 동작을 하는 경우에는, 경우에 따라서는, 한 쪽의 메인 배선을 전자 방출부를 구동하기 위한 전원에 접속하지 않는 구성으로 할 수도 있고, 혹은 또한, 이러한 한 쪽의 메인 배선을 절단해도 된다. 또한, 메인 배선(30A)에 접속된 모든 전자 방출부(10A)가 정상의 동작을 하고, 메인 배선(30B)에 접속된 최소한 하나의 전자 방출부(10B)가 동작 불량을 나타내는 경우에는, 경우에 따라서는, 메인 배선(30B)을 전자 방출부를 구동하기 위한 전원에 접속하지 않는 구성으로 할 수도 있고, 혹은 또한, 메인 배선(30B)을 절단해도 된다. 혹은, 메인 배선(30A)에 접속된 최소한 하나의 전자 방출부(10A)가 동작 불량을 나타내고, 메인 배선(30B)에 접속된 모든 전자 방출부(10B)가 정상의 동작을 행하는 경우에는, 경우에 따라서는, 메인 배선(30A)을 전자 방출부를 구동하기 위한 전원에 접속하지 않는 구성으로 할 수도 있고, 혹은 또한, 메인 배선(30A)을 절단해도 된다.

<478> 도 16에 나타낸 구성은, 도 15에 나타낸 구성과 도 12에 나타낸 구성의 조합이다. 즉, 도 16에 나타낸 구성에 있어서는, 게이트 전극용 도전 재료층(54A)은, 도 15에 나타낸 형상과는 달리, 스트라이프형으로 패터닝되어 있고, 이러한 스트라이프형의 게이트 전극용 도전 재료층(54A)의 일부분(패터닝된 캐소드 전극용 도전 재료층과 중복되는 영역)이, 각 전자 방출부(10A), (10B)의 게이트 전극(54)을 구성한다. 바꿔 말하면, 제2 방향에 인접하는 전자 방출부(10A), (10B)의 게이트 전극군은 게이트 전극 연재부(35)에 의해 연결되어 있고, 복수의 전자 방출부(10A), (10B)가 1차원적으로 제2 방향으로 배열되어 있다. 도 16에 나타낸 캐소드 패널에 있어서는, 도 15에 나타낸 캐소드 패널과 달리, 메인 배선(32) 및 브랜치 배선(33A), (33B)은 생략되어 있고, 제2 방향으로 연장되는 스트라이프형의 게이트 전극용 도전 재료층(54A)이, 이들 배선으로서의 기능을 한다. 메인 배선(30A),

(30B)은 제2 방향과 다른 제1 방향(예를 들면, 제2 방향과 직각 방향)으로 연장되어 있다. 제1 전자 방출부(10A)를 구성하는 캐소드 전극군은 브랜치 배선(31A)을 통하여 메인 배선(30A)에 접속되어 있다. 한편, 제2 전자 방출부(10B)를 구성하는 캐소드 전극군은 브랜치 배선(31B)을 통하여 메인 배선(30B)에 접속되어 있다.

<479> 동작 불량인 전자 방출 영역에 대해서는, 동작 불량이 발생한 제1 내지는 제2 전자 방출부(10A), (10B)와 메인 배선(30A), (30B)을 접속하는 브랜치 배선(31A) 내지는 브랜치 배선(31B)을 절단하면 좋다. 한편, 동작이 정상인 전자 방출 영역에 대해서는, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽과 메인 배선(30A), (30B)을 접속하는 브랜치 배선(31A), (31B)을 절단하면 된다. 즉, 동작이 정상인 전자 방출 영역에 대해서는, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽을, 동작하지 않는 상태로 하면 된다. 또한, 한 쌍의 브랜치 배선(30A), (30B)에 있어서, 메인 배선(30A)에 접속된 모든 전자 방출부(10A)가 정상의 동작을 하고, 메인 배선(30B)에 접속된 모든 전자 방출부(10B)가 정상의 동작을 하는 경우에는, 경우에 따라서는, 한 쪽의 메인 배선을 전자 방출부를 구동하기 위한 전원에 접속하지 않는 구성으로 할 수도 있고, 혹은 또한, 이러한 한 쪽의 메인 배선을 절단해도 된다. 또한, 메인 배선(30A)에 접속된 모든 전자 방출부(10A)가 정상의 동작을 하고, 메인 배선(30B)에 접속된 최소한 하나의 전자 방출부(10B)가 동작 불량을 나타내는 경우에는, 경우에 따라서는, 메인 배선(30B)을 전자 방출부를 구동하기 위한 전원에 접속하지 않는 구성으로 할 수도 있고, 혹은 또한, 이러한 메인 배선(30B)을 절단해도 된다. 혹은, 메인 배선(30A)에 접속된 최소한 하나의 전자 방출부(10A)가 동작 불량을 나타내고, 메인 배선(30B)에 접속된 모든 전자 방출부(10B)가 정상의 동작을 행하는 경우에는, 경우에 따라서는, 메인 배선(30A)을 전자 방출부를 구동하기 위한 전원에 접속하지 않는 구성으로 할 수도 있고, 혹은 또한, 메인 배선(30A)을 절단해도 된다.

<480> 도 17에 나타낸 구성에 있어서는, 제1 방향으로 연장되는 메인 배선이 한 쌍의 메인 배선(30A), (30B)으로 구성되어 있고, 또한, 제2 방향으로 연장되는 메인 배선이 한 쌍의 메인 배선(32A), (32B)으로 구성되어 있다. 제1 전자 방출부(10A)를 구성하는 캐소드 전극군은, 제1 브랜치 배선(31A)을 통하여 메인 배선(30A)에 접속되어 있고, 제1 전자 방출부(10A)를 구성하는 게이트 전극군은, 제1 브랜치 배선(33A)을 통하여 메인 배선(32A)에 접속되어 있다. 한편, 제2 전자 방출부(10B)를 구성하는 캐소드 전극군은, 제2 브랜치 배선(31B)을 통하여 메인 배선(30B)에 접속되어 있고, 제2 전자 방출부(10B)를 구성하는 게이트 전극군은, 제2 브랜치 배선(33B)을 통하여 메인 배선(32B)에 접속되어 있다. 이러한 구성으로 함으로써, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)를 독립하여 동작시키는 것이 가능해진다.

<481> 얻어진 캐소드 패널(50)에 대하여, 제1 및 제2 전자 방출부(10A), (10B)의 동작 시험을 행한다. 동작 시험으로서, 이들 전자 방출부의 저항치나 이상 발열을 측정하여 단락의 유무를 검사하는 배선 단락 시험이나, 캐소드 패널(50)로부터 실제로 전자를 방출시키는 표시 특성 시험을 예시할 수 있다. 표시 특성 시험에 있어서는, 메인 배선(30A)과 메인 배선(32A)에 전압을 인가함으로써, 제1 전자 방출부(10A)의 동작 시험을 행한다. 이어서, 메인 배선(30B)과 메인 배선(32B)에 전압을 인가함으로써, 제2 전자 방출부(10B)의 동작 시험을 행한다.

<482> 동작 불량인 전자 방출 영역에 대해서는, 동작 불량이 발생한 제1 내지는 제2 전자 방출부(10A), (10B)와 메인 배선(30A), (30B)을 접속하는 브랜치 배선(31A) 내지는 브랜치 배선(31B)을 절단한다. 혹은 또한, 동작 불량이 발생한 제1 내지는 제2 전자 방출부(10A), (10B)와 메인 배선(32A), (32B)을 접속하는 브랜치 배선(33A) 내지는 브랜치 배선(33B)을 절단한다. 한편, 동작이 정상인 전자 방출 영역에 대해서는, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽과 메인 배선(30A), (30B)을 접속하는 브랜치 배선(31A), (31B)을 절단한다. 혹은 또한, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽과 메인 배선(32A), (32B)을 접속하는 브랜치 배선(33A), (33B)을 절단한다. 즉, 동작이 정상인 전자 방출 영역에 대해서는, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)의 어느 한 쪽을, 동작하지 않는 상태로 하면 된다. 구체적으로는, 실시 형태 1과 같은 방법을 실행하면 된다. 또한, 쌍의 브랜치 배선(30A), (30B), (32A), (32B)에 있어서, 메인 배선(30A), (32A)에 접속된 모든 전자 방출부(10A)가 정상의 동작을 하고, 메인 배선(30B), (32B)에 접속된 모든 전자 방출부(10B)가 정상의 동작을 하는 경우에는, 경우에 따라서는, 어느 하나의 메인 배선을 전자 방출부를 구동하기 위한 전원에 접속하지 않는 구성으로 할 수도 있고, 혹은 또한, 이러한 어느 하나의 메인 배선을 절단해도 된다. 또한, 메인 배선(30A), (32A)에 접속된 모든 전자 방출부(10A)가 정상의 동작을 하고, 메인 배선(30B), (32B)에 접속된 모든 전자 방출부(10B)가 정상의 동작을 행하는 경우에는, 경우에 따라서는, 메인 배선(30A) 혹은 메인 배선(32A)을 전자 방출부를 구동하기 위한 전원

에 접속하지 않는 구성으로 할 수도 있고, 혹은 또한, 메인 배선(30A), (32A)의 최소한 한 쪽을 절단해도 된다.

<483> 제1 구조의 에지형 전계 방출 소자, 제2 구조의 에지형 전계 방출소자, 및 평면형 전계 방출 소자를 가지는 전자 방출부를 구비한 캐소드 패널에, 도 11, 도 12, 도 14, 도 16에 나타낸 구성은 적용했을 때의, 각 전극이나 전자 방출층의 구성이나 메인 배선, 브랜치 배선의 구성은 표 1에 나타낸 것과 같다.

<484> (실시 형태 4)

<485> 실시 형태 4는 본 발명의 제4 양태에 따른 캐소드 패널 및 표시장치, 그리고 캐소드 패널의 제조방법에 관한 것이다.

<486> 전자 방출부의 구성은 전술한 복수(예를 들면 수십 내지 수천개 정도)의 스피드형 전계 방출 소자, 또는 복수(예를 들면 수십 내지 수백개 정도)의 에지형 전계 방출 소자, 또는 하나 또는 복수의 평면형 전계 방출 소자로 구성될 수 있다. 이하에서, 복수의 스피드형 전계 방출 소자로 전자 방출부가 구성되어 있는 경우를 예로 들어 캐소드 패널을 설명하지만, 다른 전계 방출 소자로 전자 방출부가 구성되어 있는 경우에도 실질적으로는 동일하다.

<487> 실시 형태 4의 캐소드 패널은 메인 배선, 브랜치 배선 및 전자 방출부의 개략적인 평면적 배치를 도 10에 나타낸 바와 같이, 복수의 메인 배선(30, 32), 각 메인 배선(30, 32)으로부터 연장되는 복수의 제1 브랜치 배선(31A, 33A)과 복수의 제2 브랜치 배선(31B, 33B), 및 복수의 전자 방출 영역을 구비한다. 복수의 제1 브랜치 배선(31A) 및 제2 브랜치 배선(31B)은 메인 배선(30)으로부터 연장되고, 복수의 제1 브랜치 배선(33A) 및 제2 브랜치 배선(33B)은 메인 배선(32)으로부터 연장된다. 메인 배선(30)은 제1 방향으로 연장되고, 메인 배선(32)은 제1 방향과 상이한 제2 방향(예를 들면 제1 방향과 직각인 방향)으로 연장된다.

<488> 각 전자 방출 영역은 메인 배선(30, 32)으로부터 연장되는 제1 브랜치 배선(31A, 33A)에 접속된 제1 전자 방출부(10A) 및 그 메인 배선(30, 32)으로부터 연장되는 제2 브랜치 배선(31B, 33B)에 접속된 제2 전자 방출부(10B)로 구성되어 있다. 구체적으로는 제1 전자 방출부(10A)를 구성하는 캐소드 전극군은 제1 브랜치 배선(31A)을 거쳐 메인 배선(30)에 접속되어 있고, 제1 전자 방출부(10A)를 구성하는 게이트 전극군은 제1 브랜치 배선(33A)을 거쳐 메인 배선(32)에 접속되어 있다. 한편, 제2 전자 방출부(10B)를 구성하는 캐소드 전극군은 제2 브랜치 배선(31B)을 거쳐 메인 배선(30)에 접속되어 있고, 제2 전자 방출부(10B)를 구성하는 게이트 전극군은 제2 브랜치 배선(33B)을 거쳐 메인 배선(32)에 접속되어 있다. 전자 방출 영역을 구성하는 한쪽의 전자 방출부(예를 들면 제1 전자 방출부(10A))가 동작 불량인 경우, 이 한쪽의 전자 방출부(예를 들면 제1 전자 방출부(10A))와 메인 배선(30, 32)을 접속하는 브랜치 배선(예를 들면 제1 브랜치 배선(31A) 또는 제1 브랜치 배선(33A))은 단선되어 있다. 한편, 전자 방출 영역을 구성하는 양쪽의 전자 방출부(제1 전자 방출부(10A) 및 제2 전자 방출부(10B))의 동작이 정상인 경우, 이 전자 방출 영역을 구성하는 어느 한쪽의 전자 방출부(예를 들면 제2 전자 방출부(10B))와 메인 배선(30, 32)을 접속하는 브랜치 배선(예를 들면 제2 브랜치 배선(31B) 또는 제2 브랜치 배선(33B))은 절단되어 있다. 또한, 제1 전자 방출부(10A), 제2 전자 방출부(10B)의 구성은 예를 들면 실시 형태 1 또는 실시 형태 2에서의 전자 방출부와 동일한 구성으로 하면 된다.

<489> 이와 같이, 전자 방출 영역을 한 쌍의 전자 방출부(10A, 10B)로 구성하고, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B) 중의 어느 한쪽을 동작시킴으로써 표시장치의 휙도를 일정하게 유지할 수 있다.

<490> 메인 배선(30) 및 제1 브랜치 배선(31A), 제2 브랜치 배선(31B)은 실시 형태 2에서의 메인 배선(20) 및 브랜치 배선(21)과 동일하게 형성할 수 있고, 메인 배선(32) 및 제1 브랜치 배선(33A), 제2 브랜치 배선(33B)은 실시 형태 2에서의 메인 배선(22) 및 브랜치 배선(23)과 동일하게 형성할 수 있으므로, 상세한 설명은 생략한다.

<491> 얻어진 캐소드 패널(50)에 대해, 실시 형태 2에서 설명한 것과 같이 제1 및 제2 전자 방출부(10A, 10B)의 단락 시험을 행한다. 단락상태에 있는 전자 방출 영역에 있어서는 전자 방출 영역을 구성하고, 또한 단락상태에 있는 전자 방출부와 메인 배선을 접속하는 브랜치 배선을 브랜치 배선을 흐르는 전류에 의해 단선시킨다. 한편, 단락상태에 있지 않고 동작이 정상적인 전자 방출 영역에 있어서는 전자 방출 영역을 구성하는 어느 한쪽의 전자 방출부와 메인 배선을 접속하는 브랜치 배선을 실시 형태 1과 동일한 방법을 실행함으로써 절단한다. 또한, 단락시험을 행한 후, 실시 형태 3과 동일하게 표시 특성 시험을 행하는 것이 바람직하다. 표시 특성 시험에 있어서는 한 쌍의 전자 방출부(10A, 10B)가 정상적인 동작을 하는 경우, 한 쌍의 전자 방출부(10A, 10B) 중 어느 한쪽이 동작 불량인 경우와 비교하여 화소에 대응하는 화상은 밝다. 따라서 이러한 한 쌍의 전자 방출부(10A, 10B) 중 어느 한쪽의 전자 방출부와 메인 배선을 접속하는 브랜치 배선을 실시 형태 1과 동일한 방법을 실행함으로써 절단하면 된다.

- <492> 이상의 처리가 완료된 캐소드 패널(50) 및 애노드 패널(60)을 조립하면 도 27에 나타낸 표시장치를 구성할 수 있다.
- <493> 메인 배선, 브랜치 배선 및 전자 방출부의 변형예로서는 도 11~도 17의 개략적인 평면적 배치에 나타낸 것과 같은 구성을 들 수 있다.
- <494> (실시 형태 5)
- <495> 실시 형태 5는 본 발명의 제5 양태에 따른 캐소드 패널 및 표시장치, 그리고 캐소드 패널의 제조방법에 관한 것이다.
- <496> 전자 방출부의 구성은 전술한 복수(예를 들면 수십 내지 수천개 정도)의 스피드형 전계 방출 소자, 또는 복수(예를 들면 수십 내지 수백개 정도)의 에지형 전계 방출 소자, 또는 하나 또는 복수의 평면형 전계 방출 소자로 구성될 수 있다. 이하에서, 복수의 스피드형 전계 방출 소자로 전자 방출부가 구성되어 있는 경우를 예로 들어 캐소드 패널을 설명하지만, 다른 전계 방출 소자로 전자 방출부가 구성되어 있는 경우에도 실질적으로는 동일하다.
- <497> 실시 형태 5의 캐소드 패널은 메인 배선, 브랜치 배선 및 전자 방출부의 개략적인 평면적 배치를 도 18에 나타낸 바와 같이, 복수의 메인 배선(30, 32), 각 메인 배선(30, 32)으로부터 연장되는 복수의 브랜치 배선(31A, 33A, 33)과 복수의 전자 방출 영역을 구비한다. 복수의 브랜치 배선(31A) 및 브랜치 배선(31B)은 메인 배선(30)으로부터 연장되고, 복수의 브랜치 배선(33)은 메인 배선(32)으로부터 연장된다. 메인 배선(30)은 제1 방향으로 연장되고, 메인 배선(32)은 제1 방향과 상이한 제2 방향(예를 들면 제1 방향과 직각인 방향)으로 연장된다. 또한 도 18 및 후술하는 도 19~도 23에 있어서는 지지체나 절연층의 도시(圖示), 전계 방출 소자의 상세한 도시는 생략하였다.
- <498> 각 전자 방출 영역은 메인 배선(30, 32)으로부터 연장되는 브랜치 배선(31A, 33)에 접속된 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)로 구성되어 있다. 실시 형태 5에 있어서는 제2 전자 방출부(10B)는 브랜치 배선(31B)에 의해 메인 배선(30)에 접속되어 있으나, 메인 배선(32)에는 접속되어 있지 않다. 따라서, 이 상태에서는 제2 전자 방출부(10B)는 기능(동작)하지 않는다.
- <499> 구체적으로는, 제1 전자 방출부(10A)를 구성하는 캐소드 전극군은 브랜치 배선(31A)을 거쳐 메인 배선(30)에 접속되어 있고, 제1 전자 방출부(10A)를 구성하는 게이트 전극군은 브랜치 배선(33)을 거쳐 메인 배선(32)에 접속되어 있다. 한편, 제2 전자 방출부(10B)를 구성하는 캐소드 전극군은 브랜치 배선(31B)을 거쳐 메인 배선(30)에 접속되어 있으나, 제2 전자 방출부(10B)를 구성하는 게이트 전극군은 메인 배선(32)에는 접속되어 있지 않다. 그래서, 제1 전자 방출부(10A)가 동작 불량인 경우, 이 제1 전자 방출부(10A)와 메인 배선(30)을 접속하는 브랜치 배선(31A) 또는 브랜치 배선(33)은 단선되어 있고, 또한, 이 제1 전자 방출부(10A)가 포함되는 전자 방출 영역을 구성하는 제2 전자 방출부(10B)는 메인 배선(32)에 전기적으로 접속되어 있다. 실시 형태 5에 있어서는, 이 전자 방출 영역을 구성하는 제2 전자 방출부(10B)는 브랜치 배선(31B)을 거쳐 메인 배선에 접속되고, 또한 메인 배선(32)과 이온 빔(ion beam)법으로 형성된 새로운 브랜치 배선(도 18에서는 접선으로 표시됨)에 의해 전기적으로 접속되어 있다.
- <500> 이와 같이, 전자 방출 영역을 한 쌍의 전자 방출부(10A, 10B)로 구성하고, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B) 중의 어느 한쪽을 동작시킴으로써 표시장치의 휘도를 일정하게 유지할 수 있다.
- <501> 메인 배선(30), 브랜치 배선(31A), 및 브랜치 배선(31B)은 실시 형태 1에서의 메인 배선(20) 및 브랜치 배선(21)과 동일하게 형성할 수 있고, 메인 배선(32) 및 브랜치 배선(33)은 실시 형태 1에서의 메인 배선(22) 및 브랜치 배선(23)과 동일하게 형성할 수 있으므로 상세한 설명은 생략한다.
- <502> 얻어진 캐소드 패널(50)에 대해 제1 전자 방출부(10A)의 동작시험을 행한다. 동작시험으로서 제1 전자 방출부(10A)의 저항치나 이상별열을 측정하여 단락의 유무를 검사하는 배선단락시험이나, 캐소드 패널(50)로부터 실제로 전자를 방출시키는 표시 특성 시험을 예시할 수 있다.
- <503> 동작 불량이 검출된 제1 전자 방출부(10A)에 있어서는, 이 제1 전자 방출부(10A)와 메인 배선(30)을 접속하는 브랜치 배선(31A)을 절단한다. 또는, 제1 전자 방출부(10A)와 메인 배선(32)을 접속하는 브랜치 배선(33)을 절단한다. 구체적으로는 실시 형태 1과 동일한 방법을 실행하면 된다. 한편, 이 제1 전자 방출부(10A)가 포함되는 전자 방출 영역을 구성하는 제2 전자 방출부(10B)를 메인 배선(32)에 전기적으로 접속한다. 구체적으로는 이온 빔법에 따라 새로운 브랜치 배선을 형성하면 된다.

- <504> 이상의 처리가 완료된 캐소드 패널(50)과 애노드 패널(60)을 조립하면 도 27에 나타낸 표시장치를 구성할 수 있다.
- <505> 메인 배선, 브랜치 배선 및 전자 방출부의 변형예의 개략적인 평면적 배치를 도 19~도 23에 나타낸다.
- <506> 도 19에 나타낸 구성에 있어서는, 캐소드 전극용 도전 재료층(52A)은 도 18에 나타낸 형상과는 달리, 스트라이프(stripe)형으로 패터닝되어 있고, 이러한 스트라이프형의 캐소드 전극용 도전 재료층(52A)의 일부분(패터닝된 게이트 전극용 도전 재료층과 중복되는 영역)이 각 전자 방출부(10A, 10B)의 캐소드 전극(52)을 구성한다. 바꾸어 말하면, 제1 방향에 인접하는 전자 방출부(10A, 10B)의 캐소드 전극군은 캐소드 전극 연재부(延在部)(34)에 의해 연결되어 있고, 복수의 전자 방출부(10A, 10B)가 1차원적으로 제1 방향으로 배열되어 있다. 도 19에 나타낸 캐소드 패널에 있어서는, 도 18에 나타낸 캐소드 패널과 달리, 메인 배선(30) 및 브랜치 배선(31A, 31B)은 생략되어 있고, 제1 방향으로 연장되는 스트라이프형의 캐소드 전극용 도전 재료층(52A)가 이들의 배선으로서의 기능을 담당한다. 메인 배선(32)은 제1 방향과 다른 제2 방향(예를 들면 제1 방향과 직각인 방향)으로 연장된다. 제1 전자 방출부(10A)를 구성하는 게이트 전극군은 브랜치 배선(33)에 접속되어 있다. 제2 전자 방출부(10B)를 구성하는 게이트 전극군은 메인 배선(32)에 접속되어 있지 않다.
- <507> 동작 불량인 제1 전자 방출부(10A)에 대해서는 제1 전자 방출부(10A)와 메인 배선(32)을 접속하는 브랜치 배선(33)을 절단하면 된다. 한편, 이 제1 전자 방출부(10A)가 포함되는 전자 방출 영역을 구성하는 제2 전자 방출부(10B)와 메인 배선(32)을 전기적으로 접속한다.
- <508> 도 20에 나타낸 구성에 있어서는, 제2 방향으로 연장되는 P인 배선이 한 쌍의 메인 배선(32A, 32B)으로 구성되어 있다. 제1 전자 방출부(10A)를 구성하는 캐소드 전극군은 브랜치 배선(31A)을 거쳐 메인 배선(30)에 접속되어 있고, 제1 전자 방출부(10A)를 구성하는 게이트 전극군은 브랜치 배선(33)을 거쳐 메인 배선(32A)에 접속되어 있다. 한편, 제2 전자 방출부(10B)를 구성하는 캐소드 전극군은 브랜치 배선(31B)을 거쳐 메인 배선(30)에 접속되어 있으나, 제2 전자 방출부(10B)를 구성하는 게이트 전극군은 메인 배선(32B)에 접속되어 있지 않다. 이와 같은 구성으로 함으로써 제1 전자 방출부(10A) 및 제2 전자 방출부(10B)를 독립적으로 동작시키는 것이 가능해진다.
- <509> 얻어진 캐소드 패널(50)에 대해 제1 전자 방출부(10A)의 동작시험을 행한다. 동작시험으로서 제1 전자 방출부(10A)의 저항치나 이상발열을 측정하여 단락의 유무를 검사하는 배선단락시험이나 캐소드 패널(50)로부터 실제로 전자를 방출시키는 표시 특성 시험을 예시할 수 있다. 표시 특성 시험에 있어서는 메인 배선(30)과 메인 배선(32A)에 전압을 인가함으로써 제1 전자 방출부(10A)의 동작시험을 행한다.
- <510> 동작 불량인 제1 전자 방출부(10A)에 대해서는 제1 전자 방출부(10A)와 메인 배선(30)을 접속하는 브랜치 배선(31A)을 절단한다. 또는 동작 불량이 발생된 제1 전자 방출부(10A)와 메인 배선(32A)을 접속하는 브랜치 배선(33)을 절단한다. 구체적으로는, 실시 형태 1과 동일한 방법을 실행하면 된다. 한편, 이 제1 전자 방출부(10A)가 포함되는 전자 방출 영역을 구성하는 제2 전자 방출부(10B)와 메인 배선(32B)을 전기적으로 접속한다. 구체적으로는 이온 빔법에 따라 새로운 브랜치 배선을 형성하면 된다.
- <511> 도 21에 나타낸 구성에 있어서는, 캐소드 전극용 도전 재료층(52A)은 도 20에 나타낸 형상과는 달리, 스트라이프형으로 패터닝되어 있고, 이러한 스트라이프형의 캐소드 전극용 도전 재료층(52A)의 일부분(패터닝된 게이트 전극용 도전 재료층과 중복되는 영역)이 각 전자 방출부(10A, 10B)의 캐소드 전극(52)을 구성한다. 바꾸어 말하면, 제1 방향에 인접하는 전자 방출부(10A, 10B)의 캐소드 전극군은 캐소드 전극 연재부(34)에 의해 연결되어 있고, 복수의 전자 방출부(10A, 10B)가 1차원적으로 제1 방향으로 배열되어 있다. 도 21에 나타낸 캐소드 패널에 있어서는, 도 20에 나타낸 캐소드 패널과 달리, 메인 배선(30) 및 브랜치 배선(31A, 31B)은 생략되어 있고, 제1 방향으로 연장되는 스트라이프형의 캐소드 전극용 도전 재료층(52A)가 이들의 배선으로서의 기능을 담당한다. 메인 배선(32)은 제1 방향과 다른 제2 방향(예를 들면 제1 방향과 직각인 방향)으로 연장된다. 제1 전자 방출부(10A)를 구성하는 게이트 전극군은 브랜치 배선(33)에 접속되어 있다. 제2 전자 방출부(10B)를 구성하는 게이트 전극군은 메인 배선(32)에 접속되어 있지 않다.
- <512> 동작 불량인 제1 전자 방출부(10A)에 대해서는 제1 전자 방출부(10A)와 메인 배선(32A)을 접속하는 브랜치 배선(33)을 절단한다. 구체적으로는, 실시 형태 1과 동일한 방법을 실행하면 된다. 한편, 이 제1 전자 방출부(10A)가 포함되는 전자 방출 영역을 구성하는 제2 전자 방출부(10B)와 메인 배선(32B)을 전기적으로 접속한다. 구체적으로는 이온 빔법에 따라 새로운 브랜치 배선을 형성하면 된다.
- <513> 도 22에 나타낸 구성에 있어서는, 제1 방향으로 연장되는 메인 배선이 한 쌍의 메인 배선(30A, 30B)으로 구성되

어 있다. 제1 전자 방출부(10A)를 구성하는 캐소드 전극군은 브랜치 배선(31A)을 거쳐 메인 배선(30A)에 접속되어 있고, 제1 전자 방출부(10A)를 구성하는 게이트 전극군은 브랜치 배선(33)을 거쳐 메인 배선(32)에 접속되어 있다. 한편, 제2 전자 방출부(10B)를 구성하는 캐소드 전극군은 브랜치 배선(31B)을 거쳐 메인 배선(30B)에 접속되어 있으나, 제2 전자 방출부(10B)를 구성하는 게이트 전극군은 메인 배선(32)에 접속되어 있지 않다. 이와 같은 구성에 의해서도 제2 전자 방출부(10A) 및 제2 전자 방출부(10B)를 독립적으로 동작시키는 것이 가능해진다.

<514> 얻어진 캐소드 패널(50)에 대해 제1 전자 방출부(10A)의 동작시험을 행한다. 동작시험으로서 제1 전자 방출부(10A)의 저항치나 이상발열을 측정하여 단락의 유무를 검사하는 배선단락시험이나, 캐소드 패널(50)로부터 실제로 전자를 방출시키는 표시 특성 시험을 예시할 수 있다. 표시 특성 시험에 있어서는 메인 배선(30A)과 메인 배선(32)에 전압을 인가함으로써 제1 전자 방출부(10A)의 동작시험을 행한다.

<515> 동작 불량인 제1 전자 방출부(10A)에 대해서는 제1 전자 방출부(10A)와 메인 배선(30A)을 접속하는 브랜치 배선(31A)을 절단한다. 또는 동작 불량이 발생된 제1 전자 방출부(10A)와 메인 배선(32A)을 접속하는 브랜치 배선(33)을 절단한다. 구체적으로는, 실시 형태 1과 동일한 방법을 실행하면 된다. 한편, 이 제1 전자 방출부(10A)가 포함되는 전자 방출 영역을 구성하는 제2 전자 방출부(10B)와 메인 배선(32)을 전기적으로 접속한다. 구체적으로는 이온 빔법에 따라 새로운 브랜치 배선을 형성하면 된다.

<516> 도 23에 나타낸 구성에 있어서는, 제1 방향으로 연장되는 메인 배선이 한 쌍의 메인 배선(30A, 30B)으로 구성되어 있고, 또한 제2 방향으로 연장되는 메인 배선이 한 쌍의 메인 배선(32A, 32B)로 구성되어 있다. 제1 전자 방출부(10A)를 구성하는 캐소드 전극군은 브랜치 배선(31A)을 거쳐 메인 배선(30A)에 접속되어 있고, 제1 전자 방출부(10A)를 구성하는 게이트 전극군은 브랜치 배선(33)을 거쳐 메인 배선(32A)에 접속되어 있다. 한편, 제2 전자 방출부(10B)를 구성하는 캐소드 전극군은 브랜치 배선(31B)을 거쳐 메인 배선(30B)에 접속되어 있으나, 제2 전자 방출부(10B)를 구성하는 게이트 전극군은 메인 배선(32B)에 접속되어 있지 않다. 이와 같은 구성에 의해서도 제2 전자 방출부(10A) 및 제2 전자 방출부(10B)를 독립적으로 동작시키는 것이 가능해진다.

<517> 얻어진 캐소드 패널(50)에 대해 제1 전자 방출부(10A)의 동작시험을 행한다. 동작시험으로서 제1 전자 방출부(10A)의 저항치나 이상발열을 측정하여 단락의 유무를 검사하는 배선단락시험이나, 캐소드 패널(50)로부터 실제로 전자를 방출시키는 표시 특성 시험을 예시할 수 있다. 표시 특성 시험에 있어서는 메인 배선(30A)과 메인 배선(32)에 전압을 인가함으로써 제1 전자 방출부(10A)의 동작시험을 행한다.

<518> 동작 불량인 제1 전자 방출부(10A)에 대해서는 제1 전자 방출부(10A)와 메인 배선(30A)을 접속하는 브랜치 배선(31A)을 절단한다. 또는 동작 불량이 발생된 제1 전자 방출부(10A)와 메인 배선(32A)을 접속하는 브랜치 배선(33)을 절단한다. 구체적으로는, 실시 형태 1과 동일한 방법을 실행하면 된다. 한편, 이 제1 전자 방출부(10A)가 포함되는 전자 방출 영역을 구성하는 제2 전자 방출부(10B)와 메인 배선(32B)을 전기적으로 접속한다. 구체적으로는 이온 빔법에 따라 새로운 브랜치 배선을 형성하면 된다.

<519> 제1 구조인 에지형 전계 방출 소자, 제2 구조인 에지형 전계 방출 소자, 및 평면형 전계 방출 소자를 가지는 전자 방출부를 구비한 캐소드 패널에 도 10, 도 21에 나타낸 구성을 적용하였을 때의 각 전극이나 전자 방출층의 구성이나 메인 배선, 브랜치 배선의 구성을 표 3에 나타낸다. 이를 구성에 있어서는, 동작 불량인 전자 방출부가 동작하지 않도록 동작 불량인 전자 방출부와 메인 배선을 접속하고 있는 어느 하나의 브랜치 배선을 적절히 절단하면 된다. 또, 제2 구조인 에지형 전계 방출 소자에 있어서, 표시장치의 동작시에 동작시킬 필요가 없는 제2 전자 방출부(10B)가 확실히 동작하지 않는 것을 보증하기 위해, 예를 들면 전자 방출층(74)과 메인 배선(30) 또는 메인 배선(30B)을 접속하는 브랜치 배선(31B)을 절단해 놓고, 또는 제1 게이트 전극(72)과 메인 배선(32) 또는 메인 배선(32B)을 접속하는 브랜치 배선(도시되지 않음)을 절단해 놓는 것이 바람직하다.

<520> [표 3]

<521> [제1 구조인 에지형 전계 방출 소자]

<522> 전자 방출층 게이트 전극

<523> ① H H

<524> ② S H

<525> [제2 구조인 에지형 전계 방출 소자]

제1 게이트 전극 전자 방출층 제2 게이트 전극

① H H H

③ H § H

④ § § H

[평면형 전계 방출 소자]

게이트 전극

① H

② S H

(실시 형태 6)

실시 형태 6은 본 발명의 제6 양태에 관한 캐소드 패널 및 표시 장치, 및 캐소드 패널의 제조 방법에 관한 것이다.

전자 방출부의 구성은 전술한 복수(예를 들면, 수십 내지 천개 정도)의 스핀트형 전계 방출 소자, 또는, 복수(수십 내지 수백개 정도)의 에지형 전계 방출 소자, 또는, 1개 또는 복수의 평면형 전계 방출 소자로 구성할 수 있다. 이하, 복수의 스핀트형 전계 방출 소자로 전자 방출부가 구성되어 있는 경우를 예로 들어, 캐소드 패널을 설명하지만, 다른 전계 방출 소자로 전자 방출부가 구성되어 있는 경우라도 실질적으로는 동일하다.

실시 형태 6의 캐소드 패널은, 메인 배선, 브랜치 배선 및 전자 방출부의 개략적인 평면적 배치를 도 18에 나타낸 바와 같이, 복수의 메인 배선(30, 32)과, 각 메인 배선(30, 32)으로부터 연장되는 복수의 브랜치 배선(31A, 31B, 33)과, 복수의 전자 방출 영역을 구비한다. 복수의 브랜치 배선(31A), 브랜치 배선(31B)은 메인 배선(30)으로부터 연장되어 있고, 복수의 브랜치 배선(33)은 메인 배선(32)으로부터 연장되어 있다. 메인 배선(30)은 제1 방향으로 연장되어 있고, 메인 배선(32)은 제1 방향과 상이한 제2 방향(예를 들면, 제1 방향과 직각 방향)으로 연장되어 있다.

각 전자 방출 영역은 메인 배선(30, 32)으로부터 연장되는 브랜치 배선(31A, 33)에 접속된 제1 전자 방출부(10A), 및 제2 전자 방출부(10B)로 구성되어 있다. 실시 형태 6에 있어서는, 제2 전자 방출부(10B)는 브랜치 배선(31B)에 의해 메인 배선(30)에 접속되어 있지만, 메인 배선(32)에는 접속되어 있지 않다. 따라서, 이 상태에서는 제2 전자 방출부(10B)는 기능(동작)하지 않는다.

구체적으로는, 제1 전자 방출부(10A)를 구성하는 캐소드 전극군은 브랜치 배선(31A)을 통해 메인 배선(30)에 접속되어 있고, 제1 전자 방출부(10A)를 구성하는 게이트 전극군은 브랜치 배선(33)을 통해 메인 배선(32)에 접속되어 있다. 한편, 제2 전자 방출부(10B)를 구성하는 캐소드 전극군은, 브랜치 배선(31B)을 통해 메인 배선(30)에 접속되어 있지만, 제2 전자 방출부(10B)를 구성하는 게이트 전극군은 메인 배선(32)에는 접속되어 있지 않다. 그리고, 제1 전자 방출부(10A)가 단락 상태에 있는 경우, 이 제1 전자 방출부(10A)와 메인 배선을 접속하는 브랜치 배선은 단선되어 있고, 또한 이 제1 전자 방출부(10A)가 포함되는 전자 방출 영역을 구성하는 제2 전자 방출부(10B)는 메인 배선(32)에 전기적으로 접속되어 있다. 실시 형태 6에 있어서는, 이 전자 방출 영역을 구성하는 제2 전자 방출부(10B)는 브랜치 배선(31B)을 통해 메인 배선(30)에 접속되고, 또한 메인 배선(32)과 이온 빔법으로 형성된 새로운 브랜치 배선(도 18에서는 점선으로 나타냄)에 의해 전기적으로 접속되어 있다. 그리고, 제1 전자 방출부(10A), 제2 전자 방출부(10B)의 구성은, 예를 들면, 실시 형태 1이나 실시 형태 2에서의 전자 방출부와 동일한 구성으로 하면 된다.

이와 같이, 전자 방출 영역을 한 쌍의 전자 방출부(10A, 10B)로 구성하고, 제1 전자 방출부(10A) 및 제2 전자 방출부(10B) 중 어느 한쪽을 동작시킴으로써, 표시 장치의 휘도를 일정하게 유지할 수 있다.

메인 배선(30) 및 브랜치 배선(31A), 브랜치 배선(31B)은 실시 형태 2에서의 메인 배선(20) 및 브랜치 배선(21)과 동일하게 구성할 수 있고, 메인 배선(32) 및 브랜치 배선(33)은 실시 형태 2에서의 메인 배선(22) 및 브랜치 배선(23)과 동일하게 형성할 수 있으므로, 상세한 설명은 생략한다.

열어진 캐소드 패널(50)에 대하여, 실시 형태 2에서 설명한 것과 동일하게, 제1 전자 방출부(10A)의 단락 시험

을 행한다. 즉, 메인 배선(30)으로부터 브랜치 배선(31A)을 통해 제1 전자 방출부(10A)에 전압을 인가하는 단락 시험을 행한다. 단락 상태에 있는 전자 방출부(10A)에 있어서는, 제1 전자 방출부(10A)와 메인 배선(30)을 접속하는 브랜치 배선(31A)을, 브랜치 배선(31A)을 흐르는 전류에 의해 단선시키고, 또는, 제1 전자 방출부(10A)를 메인 배선(32)을 접속하는 브랜치 배선(33)을, 브랜치 배선(33)을 흐르는 전류에 의해 단선시킨다. 그리고, 제1 전자 방출부(10A)가 포함되는 전자 방출 영역을 구성하는 제2 전자 방출부(10B)를 메인 배선(32)에 실시 형태 5와 동일한 방법에 따라 전기적으로 접속한다. 구체적으로는, 이온 범법에 따라, 새로운 브랜치 배선을 형성하면 된다. 그리고, 단락 시험을 행한 후, 실시 형태 5와 동일하게, 표시 특성 시험을 행하는 것이 바람직하다. 표시 특성 시험에 있어서는, 전자 방출부(10A)가 단락 상태에 있는 경우, 전자 방출부(10A)는 부작동 상태로 되므로, 이러한 화소에 대응하는 화상은 암점으로 된다. 따라서, 암점이 발생한 화소에 대응하는 전자 방출부(10B)를 메인 배선(32)에 실시 형태 5와 동일한 방법에 따라 전기적으로 접속하면 된다.

<544> 이상의 처리가 완료된 캐소드 패널(50)과 애노드 패널(60)을 조립하면, 도 27에 나타낸 표시 장치를 구성할 수 있다.

<545> 메인 배선, 브랜치 배선 및 전자 방출부의 변형예로서는, 도 19~도 23의 개략적인 평면적 배치에 나타낸 것과 동일한 구성을 들 수 있다.

<546> (실시 형태 7)

<547> 실시 형태 7은 본 발명의 제7 양태에 관한 캐소드 패널 및 표시 장치, 및 캐소드 패널의 제조 방법에 관한 것이다.

<548> 전자 방출부(10)의 구성은 전술한 복수(예를 들면, 수십 내지 천개 정도)의 스피нт형 전계 방출 소자, 또는, 복수(수십 내지 수백개 정도)의 에지형 전계 방출 소자, 또는, 1개 또는 복수의 평면형 전계 방출 소자로 구성할 수 있다. 이하, 복수의 스피нт형 전계 방출 소자로 전자 방출부가 구성되어 있는 경우를 예로 들어, 캐소드 패널을 설명하지만, 다른 전계 방출 소자로 전자 방출부가 구성되어 있는 경우라도 실질적으로는 동일하다.

<549> 실시 형태 7의 캐소드 패널은, 메인 배선, 브랜치 배선 및 전자 방출부의 개략적인 평면적 배치를 도 24에 나타낸 바와 같이, 복수의 메인 배선(40A, 40B, 42A, 42B)과, 각 제1 메인 배선(40A, 42B)으로부터 연장되는 복수의 제1 브랜치 배선(41A, 43A)과, 각 제2 메인 배선(40B, 42B)으로부터 연장되는 복수의 제2 브랜치 배선(41B, 43B)과, 각 제1 및 제2 브랜치 배선(41A, 43A, 41B, 43B)에 접속된 전자 방출부(10)를 구비한다. 메인 배선의 각각은, 제1 메인 배선(40A, 42A)과 제2 메인 배선(40B, 42B)으로 구성되어 있다. 구체적으로는, 복수의 제1 브랜치 배선(41A), 은 제1 메인 배선(40A)으로부터 연장되어 있고, 복수의 제2 브랜치 배선(41B)은 제2 메인 배선(40B)으로부터 연장되어 있고, 복수의 제1 브랜치 배선(43A)은 제1 메인 배선(42A)으로부터 연장되어 있고, 복수의 제2 브랜치 배선(43B)은 제2 메인 배선(42B)으로부터 연장되어 있다. 또, 메인 배선(40A, 40B)은 제1 방향으로 연장되어 있고, 메인 배선(42A, 42B)은 제1 방향과 상이한 제2 방향(예를 들면, 제1 방향과 직각 방향)으로 연장되어 있다. 예를 들면, 스피нт형 전계 방출 소자가 형성된 전자 방출부(10)를 구비한 캐소드 패널을 예로 들면, 전자 방출부(10)를 구성하는 캐소드 전극군은 브랜치 배선(41A, 41B)에 접속되어 있고, 게이트 전극군은 브랜치 배선(43A, 43B)에 접속되어 있다. 그리고, 도 24, 또, 후술하는 도 25, 도 26에 있어서는, 지지체나 절연층의 도시, 전계 방출 소자의 상세한 도시는 생략했다.

<550> 그리고, 동작 불량의 전자 방출부(10)에 대해서는, 전자 방출부(10)가 동작하지 않도록 브랜치 배선이 절단되어 있다. 전자 방출부(10)가 동작하지 않도록 제1 브랜치 배선(41A, 43A) 및 제2 브랜치 배선(41B, 43B)을 절단하는 조합을, 이하의 표 4에 나타냈다. 그리고, 표 중 "접속"은 브랜치 배선이 절단되어 있지 않은 상태를 나타내고, "절단"은 브랜치 배선이 절단되어 있는 상태를 나타낸다.

<551> [표 4]

<552> 제1브랜치배선(41A) 제2 브랜치배선(41B) 제1 브랜치배선(43A) 제2브랜치배선(43B)

<553>	절단	절단	접속	접속
<554>	절단	절단	절단	접속
<555>	절단	절단	접속	절단
<556>	절단	절단	절단	절단
<557>	접속	접속	절단	절단

- | | | | | |
|--------------------|--|----|----|----|
| <558> | 절단 | 접속 | 절단 | 절단 |
| <559> | 접속 | 절단 | 절단 | 절단 |
| <560> | <p>메인 배선(40A, 40B) 및 브랜치 배선(41A, 41B)은, 전술한 [공정-100]에서, 예를 들면, 유리 기판으로 이루어지는 지지체(51) 상에, 예를 들면, 폴리실리콘으로 이루어지는 캐소드 전극용 도전 재료층을 플라스마 CVD법으로 제막한 후, 리소그래피 기술 및 드라이 에칭 기술에 따라 캐소드 전극용 도전 재료층을 패터닝하여 캐소드 전극(52)을 형성할 때, 동시에 형성하면 된다. 패터닝된 캐소드 전극용 도전 재료층은, 예를 들면 직사각형 형상을 가진다.</p> | | | |
| <561> | <p>한편, 메인 배선(42A, 42B) 및 브랜치 배선(43A, 43B)은, 전술한 [공정-100]에서, 게이트 전극용 도전 재료층을 리소그래피 기술 및 드라이 에칭 기술로 패터닝함으로써 게이트 전극(54)을 형성할 때, 동시에 형성하면 된다. 패터닝된 게이트 전극용 도전 재료층은 패터닝된 캐소드 전극용 도전 재료층과 대략 동일한 직사각형 형상을 가진다.</p> | | | |
| <562> | <p>얻어진 캐소드 패널(50)에 대하여, 전자 방출부(10)의 동작 시험을 행한다. 동작 시험으로서, 전자 방출부(10)의 저항치나 이상 발열을 측정하여 단락의 유무를 검사하는 배선 단락 시험이나, 캐소드 패널(50)로부터 실제로 전자를 방출시키는 표시 특성 시험을 예시할 수 있다. 표시 특성 시험에 있어서는, 메인 배선(40A)과 메인 배선(42A)에 전압을 인가함으로써, 전자 방출부(10)의 동작 시험을 행하고, 이어서, 메인 배선(40A)과 메인 배선(42B)에 전압을 인가함으로써, 전자 방출부(10)의 동작 시험을 행하고, 그 후, 메인 배선(40B)과 메인 배선(42A)에 전압을 인가함으로써, 전자 방출부(10)의 동작 시험을 행하고, 이어서, 메인 배선(40B)과 메인 배선(42B)에 전압을 인가함으로써, 전자 방출부(10)의 동작 시험을 행한다. 이에 따라, 전자 방출부(10)의 동작 불량뿐만 아니라, 메인 배선(40A, 40B, 42A, 42B)이 절단되어 있는 것을 검출할 수 있어, 메인 배선이나 브랜치 배선의 결함에 대하여 용장성(冗長性)을 갖게 하는 것이 가능해진다.</p> | | | |
| <563> | <p>동작 불량의 전자 방출부(10)에 대해서는, 이러한 전자 방출부(10)가 동작하지 않도록, 표 4에 나타낸 바와 같이 제1 브랜치 배선이나 제2 브랜치 배선을 절단한다.</p> | | | |
| <564> | <p>이상의 처리가 완료된 캐소드 패널(50)과 애노드 패널(60)을 조립하면, 도 27에 나타낸 표시 장치를 구성할 수 있다.</p> | | | |
| <565> | <p>메인 배선, 브랜치 배선 및 전자 방출부의 변형예의 개략적인 평면적 배치를 도 25 및 도 26에 나타냈다.</p> | | | |
| <566> | <p>도 25에 나타낸 구성에 있어서는, 캐소드 전극용 도전 재료층(52A)은 도 24에 나타낸 형상과는 달리, 스트라이프형으로 패터닝되어 있고, 이러한 스트라이프형의 캐소드 전극용 도전 재료층(52A)의 일부분(패터닝된 게이트 전극용 도전 재료층과 중복되는 영역)이, 각 전자 방출부(10)의 캐소드 전극(52)을 구성한다. 바꿔 말하면, 제1 방향에 인접하는 전자 방출부(10)의 캐소드 전극군은 캐소드 전극 연장부(44)에 의해 연결되어 있고, 복수의 전자 방출부(10)가 1차원적으로 제1 방향으로 배열되어 있다. 도 25에 나타낸 캐소드 패널에서는, 도 24에 나타낸 캐소드 패널과 달리, 메인 배선(40A, 40B) 및 브랜치 배선(41A, 41B)은 생략되어 있고, 제1 방향으로 연장되는 스트라이프형의 캐소드 전극용 도전 재료층(52A)이, 이들의 배선으로서의 기능을 달성한다. 메인 배선(42A, 42B)은 제1 방향과 상이한 제2 방향(예를 들면, 제1 방향과 직각 방향)으로 연장되어 있다. 전자 방출부(10)를 구성하는 게이트 전극군은 각 브랜치 배선(43A, 43B)에 접속되어 있다.</p> | | | |
| <567> | <p>동작 불량의 전자 방출부(10)에 대해서는, 이러한 전자 방출부(10)가 동작하지 않도록, 예를 들면, 제1 브랜치 배선(43A) 및 제2 브랜치 배선(43B)을 절단한다.</p> | | | |
| <568> | <p>도 26에 나타낸 구성에 있어서는, 게이트 전극용 도전 재료층(54A)은 도 24에 나타낸 형상과는 달리, 스트라이프형으로 패터닝되어 있고, 이러한 스트라이프형의 게이트 전극용 도전 재료층(54A)의 일부분(패터닝된 캐소드 전극용 도전 재료층과 중복되는 영역)이, 각 전자 방출부(10)의 게이트 전극(54)을 구성한다. 바꿔 말하면, 제2 방향에 인접하는 전자 방출부(10)의 게이트 전극군은 게이트 전극 연장부(45)에 의해 연결되어 있고, 복수의 전자 방출부(10)가 1차원적으로 제2 방향으로 배열되어 있다. 도 26에 나타낸 캐소드 패널에서는, 도 24에 나타낸 캐소드 패널과 달리, 메인 배선(42A, 42B) 및 브랜치 배선(43A, 43B)은 생략되어 있고, 제2 방향으로 연장되는 스트라이프형의 게이트 전극용 도전 재료층(54A)이, 이들의 배선으로서의 기능을 달성한다. 메인 배선(40A, 40B)은 제2 방향과 상이한 제1 방향(예를 들면, 제2 방향과 직각 방향)으로 연장되어 있다. 전자 방출부(10)를 구성하는 캐소드 전극군은 각 브랜치 배선(41A, 41B)에 접속되어 있다.</p> | | | |
| <569> | <p>동작 불량의 전자 방출부(10)에 대해서는, 이러한 전자 방출부(10)가 동작하지 않도록, 예를 들면, 제1 브랜치</p> | | | |

배선(41A) 및 제2 브랜치 배선(41B)을 절단한다.

<570> 실시 형태 7에 있어서는, 하나의 화소를 하나의 전자 방출부(10)로 구성하였으나, 하나의 화소를 제1 전자 방출부와 제2 전자 방출부로 이루어지는 전자 방출 영역으로 구성할 수도 있다. 이 경우, 제1 전자 방출부 및 제2 전자 방출부의 각각을 전자 방출부(10)와 동일한 구성으로 하면 된다.

<571> (실시 형태 8)

<572> 실시 형태 8은 본 발명의 제8 양태에 관한 캐소드 패널 및 표시 장치에 관한 것이다.

<573> 실시 형태 8에 있어서의 캐소드 패널은 도 40에 개략도를 나타낸 바와 같이, (a) 2차원 매트릭스형으로 형성된 복수의 전자 방출부(10)로 구성된 유효 영역(90), 및 (b) 상기 유효 영역(90)의 주변부에 배치되고, 2차원 매트릭스형으로 형성된 복수의 전자 방출부(10)로 구성된 무효 영역(91)으로 이루어진다. 그리고, 유효 영역(90)을 구성하는 전자 방출부(10)는 전자 방출부(10)를 구동하기 위한 전원에 접속되고, 무효 영역(91)을 구성하는 전자 방출부(10)는 전자 방출부(10)를 구동하기 위한 전원에 접속되어 있지 않다. 도 27에 나타낸 바와 같이 제어 회로 및 주사 회로가 전자 방출부(10)를 구동하기 위한 전원에 상당한다. 무효 영역(91)을 구성하는 전자 방출부(10)를 전자 방출부(10)를 구동하기 위한 전원에 접속하지 않도록 하기 위해서는, 전원 방출부(10)를 구성하는 게이트 전극군과 제어 회로의 접속을 행하지 않거나, 도 40에 나타낸 바와 같이 전자 방출부(10)를 구성하는 캐소드 전극군과 주사 회로의 접속을 행하지 않거나, 양쪽 회로와의 접속을 행하지 않으면 된다.

<574> 무효 영역(91)이 유효 영역(90)의 주변부의 어느 위치에 위치하는가는 동작 불량의 전자 방출부가 어느 위치에 존재하는가에 의존한다. 무효 영역에 있어서의 전자 방출부(10)를 구성하는 캐소드 전극군과 주사 영역의 접속을 행하지 않는 경우, 도 40에 나타낸 바와 같이, 무효 영역(91)이 유효 영역(90)의 좌변에 위치하는 경우도 있고, 우변에 위치하는 경우도 있고, 우변 및 좌변에 위치하는 경우도 있다. 또, 무효 영역에 있어서의 전자 방출부(10)를 구성하는 게이트 전극군과 제어 회로의 접속을 행하지 않는 경우, 무효 영역(91)이 유효 영역(90)의 윗변에 위치하는 경우도 있고, 아랫변에 위치하는 경우도 있고, 윗변 및 아랫변에 위치하는 경우도 있다. 무효 영역에 있어서의 전자 방출부(10)를 구성하는 캐소드 전극군과 주사 회로의 접속을 행하지 않고, 또한 게이트 전극군과 제어 회로의 접속을 행하지 않는 경우, 무효 영역(91)은 유효 영역(90)의 네 변의 어딘가에 위치한다.

<575> 전자 방출부(10)의 구성은 전술한 복수(예를 들면, 수십 내지 천개 정도)의 스핀트형 전계 방출 소자, 또는 복수(예를 들면, 수십 내지 수백개 정도)의 에지형 전계 방출 소자, 또는, 1개 또는 복수의 평면형 전계 방출 소자로 구성할 수 있다.

<576> 캐소드 패널에 있어서의 메인 배선, 브랜치 배선 및 전자 방출부의 개략적인 평면적 배치는, 실시 형태 1~실시 형태 7에서 설명한 평면적 배치여도 되지만, 구성의 간소화를 위해, 도 63에 나타낸 바와 같이, 제1 방향으로 연장되는 스트라이프형의 캐소드 전극용 도전 재료층과, 제1 방향과 상이한 제2 방향(예를 들면, 제1 방향과 직각의 방향)으로 연장되는 스트라이프형의 게이트 전극용 도전 재료층으로 구성하고, 스트라이프형의 캐소드 전극용 도전 재료층과 스트라이프형의 게이트 전극용 도전 재료층의 중복 영역을 전자 방출부(10)로 하는 구성을 채용하는 것이 바람직하다.

<577> 제작된 캐소드 패널(50)에 대하여, 전자 방출부(10)의 동작 시험을 행한다. 동작 시험으로서, 전자 방출부(10)의 저항 값이나 이상 발열을 측정하여 단락의 유무를 검사하는 배선 단락 시험이나, 캐소드 패널(50)로부터 실제로 전자를 방출시키는 표시 특성 시험을 예시할 수 있다.

<578> 그리고, 2차원 매트릭스형으로 형성된 복수의 전자 방출부(10)로 구성된 영역 중, 동작 불량의 전자 방출부를 포함하지 않는 영역을 선정하여, 유효 영역(90)으로 한다. 그리고, 동작 불량의 전자 방출부가 2차원 매트릭스형으로 형성된 복수의 전자 방출부(10)로 구성된 영역 중의 예를 들면 중앙의 부분에 포함되어 있던 경우에는, 캐소드 패널을 폐기하지 않으면 안 된다. 그리고, 도 40에 있어서, 동작 불량의 전자 방출부(10)를 겸게 빈틈 없이 칠했다.

<579> (실시 형태 9)

<580> 실시 형태 9는 본 발명의 제9 양태에 관한 캐소드 패널 및 표시 장치, 및 본 발명의 제8 양태에 관한 캐소드 패널의 제조 방법에 관한 것이다.

<581> 실시 형태 9의 캐소드 패널은 도 41에 개략도를 나타낸 바와 같이, 냉음극 전계 전자 방출부군(92)이 복수 명치되어 이루어진다. 냉음극 전계 전자 방출부군(92)의 수(M)는 예를 들면, 1024×768 화소의 표시 장치에 있어서는, 예를 들면 최저 1024 또는 최저 768로 하면 된다. 냉음극 전계 전자 방출부군(92)의 각각은, 복수의 전자

방출부(10)가 1차원적으로 배열되어 이루어지는 냉음극 전계 전자 방출부 열(93)이 N열(단, N은 2 이상의 자연수이며, 도 41에 나타낸 예에서는 N=2) 병치되어 이루어지고, 도 41에 나타낸 예에서는 제1 방향으로 연장되어 있다. 냉음극 전계 전자 방출부 열(93)의 총수는 $M \times N$ 이다.

<582> 전자 방출부(10)의 구성은 전술한 복수(예를 들면, 수십 내지 천개 정도)의 스핀트형 전계 방출 소자, 또는 복수(예를 들면, 수십 내지 수백개 정도)의 에칭형 전계 방출 소자, 또는, 1개 또는 복수의 평면형 전계 방출 소자로 구성할 수 있다.

<583> 캐소드 패널에 있어서의 메인 배선, 브랜치 배선 및 전자 방출부의 개략적인 평면적 배치는, 실시 형태 1~실시 형태 7에서 설명한 평면적 배치여도 되지만, 구성의 간소화를 위해, 도 63에 나타낸 바와 같이, 제1 방향으로 연장되는 스트라이프형의 캐소드 전극용 도전 재료층과, 제1 방향과 상이한 제2 방향(예를 들면, 제1 방향과 직각의 방향)으로 연장되는 스트라이프형의 게이트 전극용 도전 재료층으로 구성하고, 스트라이프형의 캐소드 전극용 도전 재료층과 스트라이프형의 게이트 전극용 도전 재료층의 중복 영역을 전자 방출부(10)로 하는 구성을 채용하는 것이 바람직하다. 냉음극 전계 전자 방출부 열에 있어서는, 예를 들면, 제1 방향으로 연장되는 스트라이프형의 캐소드 전극용 도전 재료층이 공통이다.

<584> 제작된 캐소드 패널(50)에 대하여, 전자 방출부(10)의 동작 시험을 행한다. 동작 시험으로서, 전자 방출부(10)의 저항 값이나 이상 발열을 측정하여 단락의 유무를 검사하는 배선 단락 시험이나, 캐소드 패널(50)로부터 실제로 전자를 방출시키는 표시 특성 시험을 예시할 수 있다.

<585> 시험 결과로부터, 각 냉음극 전계 전자 방출부군(92)에 있어서, (N-1)열 이하의 일정수(도 41에 나타낸 예에서는 1개)의 냉음극 전계 전자 방출부 열(93)을 선택한다. 그리고, 선택된 냉음극 전계 전자 방출부 열에는 동작 불량의 전자 방출부(10)가 포함되어 있지 않다. 선택되지 않은 냉음극 전계 전자 방출부 열에는 동작 불량의 전자 방출부(10)가 포함되어 있지 않은 경우도 있고, 포함되어 있는 경우도 있다.

<586> 그리고, 선택된 냉음극 전계 전자 방출부 열을 전자 방출부(10)를 구동하기 위한 전원(예를 들면, 주사 회로)에 접속한다. 한편, 선택되지 않은 냉음극 전계 전자 방출부 열을 전자 방출부(10)를 구동하기 위한 전원(예를 들면, 주사 회로)에는 접속하지 않는다. 선택되지 않은 냉음극 전계 전자 방출부 열을 전자 방출부(10)를 구동하기 위한 전원에 접속하지 않도록 하기 위해서는, 전자 방출부(10)를 구성하는 게이트 전극군과 제어 회로의 접속을 행하지 않거나(이 경우에는 냉음극 전계 전자 방출부 열에 있어서, 스트라이프형의 게이트 전극용 도전 재료층이 공통인 구성으로 할 필요가 있고, 냉음극 전계 전자 방출부군을 구성하는 냉음극 전계 전자 방출부 열은 도 41에 나타낸 냉음극 전계 전자 방출부 열이 연장되는 방향과 직각의 제2 방향으로 연장됨), 도 41에 나타낸 바와 같이 전자 방출부(10)를 구성하는 캐소드 전극군과 주사 회로의 접속을 행하지 않거나, 양쪽 회로와의 접속을 행하지 않으면 된다. 그리고, 양쪽 회로와의 접속을 행하지 않는 경우에는, 제1 방향으로 연장되는 냉음극 전계 전자 방출부 열로 구성된 냉음극 전계 전자 방출부군과, 제2 방향으로 연장되는 냉음극 전계 전자 방출부 열로 구성된 냉음극 전계 전자 방출부군을 조합할 필요가 있다.

<587> 그리고, N의 수는 2에 한정되지 않고, 예를 들면 3으로 할 수도 있다. 이 경우에는, 상기의 일정수를 1 또는 2로 하면 된다. 나아가, 냉음극 전계 전자 방출부 열(93)을 선택함에 있어서는, 경우에 따라서는, N=2일 때, 홀수번째의 냉음극 전계 전자 방출열(93)을 선택하고, 또는, 짝수번째의 냉음극 전계 전자 방출부 열(93)을 선택해도 된다. 실시 형태 9의 캐소드 패널을 실시 형태 8에서 설명한 캐소드 패널의 구성에 적용할 수도 있다.

<588> 이상, 본 발명을 발명의 실시 형태에 따라 설명하였으나, 본 발명은 이에 한정되는 것은 아니다. 발명의 실시 형태에서 설명한 수치나 사용한 각종 재료는 예시이며, 적절하게 변경할 수 있다. 또, 전계 방출 소자의 제조 방법도 예시이며, 적절하게 변경할 수 있다.

<589> 예를 들면, 제2 구조의 에지형 전계 방출 소자에 포커스 전극을 편입한 예를, 도 42의 개략적인 일부 단면도에 나타낸다. 상기 전계 방출 소자에 있어서는, 제2 게이트 전극(77) 상을 포함하는 전체면에 또한 충간 절연층(94)이 형성되고, 관련된 충간 절연층(94) 상에 포커스 전극(95)이 형성되어 있다. 충간 절연층(94)에는 개구부(78)에 연통하는 제2 개구부(96)가 형성되어 있다. 그리고, 포커스 전극(95)은 반드시 각 전계 방출 소자마다 설치할 필요는 없고, 예를 들면, 전계 방출 소자의 소정의 배열 방향을 따라 설치함으로써, 복수의 전계 방출 소자에 공통의 수속 효과를 미칠 수도 있다. 따라서, 충간 절연층(94)에 형성되는 제2 개구부(96)는 반드시 포커스 전극(95)을 구성하는 재료층에 형성되어 있을 필요는 없다. 또, 포커스 전극(95)의 위치는 통상, 전자 방출층(74)의 전원과 근사 또는 동일하기 때문에, 포커스 전극(95)의 개구 단부가 제2 개구부(96)의 내부를 향하여 돌출되어 있으면, 포커스 전극(95)으로부터 제1 게이트 전극(72)이나 제2 게이트 전극(77)을 향하여 전자

방출이 생기는 경우가 있다. 따라서, 포커스 전극(95)은 제2 개구부(96) 내로 돌출되지 않도록 설치되어 있는 것이 바람직하다. 그리고, 제2 게이트 전극(77)의 선단부를 층간 절연층(94)으로부터 돌출시키는 것이, 전자 방출층(74)의 개구부(78)로부터 돌출된 단부(74A) 근방의 전계 강도를 높이는 관점으로부터 특히 바람직하다. 제2 개구부(96)의 평면 형상은 포커스 전극(95)의 구성에 의하며, 개구부(78)의 평면 형상과 합동 또는 상사로 해도 되고, 상이해도 된다.

<590> 스픈트형 전계 방출 소자의 구조 및 제조 방법의 변형예를 다음에 설명한다.

<591> (스핀트형 전계 방출 소자 및 그 제조 방법의 변형예-1)

<592> 스픈트형 전계 방출 소자의 변형예를 도 44의 개략적인 일부 단면도를 나타낸다. 상기 스픈트형 전계 방출 소자는 밀착층(200)이 형성되어 있는 점을 제외하고, 앞서 설명한 스픈트형 전계 방출 소자와 동일한 구성을 가진다.

<593> 도 44에 나타낸 스픈트형 전계 방출 소자의 제조 방법(이하, 스픈트형 전계 방출 소자의 제2 제조 방법이라 칭하는 경우가 있음)을 다음에 지지체 등의 개략적인 일부 단면도인 도 45~도 46을 참조하여 설명하지만, 상기 스픈트형 전계 방출 소자는 기본적으로는, 다음의 공정에 따라 제작된다. 즉,

<594> (a) 지지체(51) 상에 캐소드 전극(52)을 형성하는 공정

<595> (b) 캐소드 전극(52) 상을 포함하는 지지체(51) 상에 절연층(53)을 형성하는 공정

<596> (c) 절연층(53) 상에 캐소드 전극(54)을 형성하는 공정

<597> (d) 저부에 캐소드 전극(52)이 노출된 개구부(55)를 최소한 절연층(53)에 형성하는 공정

<598> (e) 개구부(55) 내를 포함하는 전체면에 전자 방출 전극 형성용의 도전 재료층(201)을 형성하는 공정

<599> (f) 개구부(55)의 중앙부에 위치하는 도전 재료층(201)의 영역을 차폐하도록, 마스크 재료층(202)을 도전 재료 층(201) 상에 형성하는 공정

<600> (g) 도전 재료층(201)의 지지체(51)에 대하여 수직인 방향에 있어서의 에칭 속도가 마스크 재료층(202)의 지지체에 대하여 수직인 방향에 있어서의 에칭 속도보다도 빨라지는 이방성 에칭 조건하에서 도전 재료층(201)과 마스크 재료층(202)을 에칭함으로써, 도전 재료층(201)으로 이루어지고, 선단부가 추형 형상을 가지는 전자 방출 전극(56)을 개구부(55) 내에 형성하는 공정

<601> [공정-400]

<602> 먼저, 예를 들면 유리 기판 상에 두께 약 $0.6\mu\text{m}$ 의 SiO₂층을 형성하여 이루어지는 지지체(51) 상에, 알루미늄층으로 이루어지는 캐소드 전극(52), 메인 배선(20), 브랜치 배선(21)을 설치한다. 구체적으로는 지지체(51) 상에 예를 들면 스퍼터법에 의해 알루미늄층으로 이루어지는 캐소드 전극용 도전 재료층을 퇴적시키고, 관련된 캐소드 전극용 도전 재료층을 패터닝함으로써, 복수의 캐소드 전극(52), 캐소드 전극(52)으로부터 연장되는 브랜치 배선(21), 및 메인 배선(21)과 접속되고, 제1 방향으로 평행하게 연장되는 메인 배선(20)을 형성할 수 있다. 전체면에, SiO₂로 이루어지는 두께 약 $1\mu\text{m}$ 의 절연층(53)을 원재 가스로서 TEOS(테트라에톡시실란) 원료 가스로서 사용한 플라즈마 CVD법으로 형성한다. 다음에, 절연층(53) 상에 전체면에 알루미늄으로 이루어지는 게이트 전극용 도전 재료층을 스퍼터법으로 막 제조하고, 게이트 전극용 도전 재료층의 패터닝을 행한다. 이로써, 복수의 게이트 전극(54), 게이트 전극(54)으로부터 연장되는 브랜치 배선(23), 및 브랜치 배선(23)에 접속되어, 제2 방향에 평행하게 연장되는 메인 배선(22)을 얻을 수 있다.

<603> [공정-410]

<604> 다음에, 캐소드 전극(52)과 게이트 전극(54)의 중복 영역, 즉, 1화소 영역에 있어서, 게이트 전극(54)과 절연층(53)을 관통하는 개구부(55)를 형성한다. 개구부(55)의 평면 형상은 예를 들면, 직경 $0.3\mu\text{m}$ 의 원형이다. 개구부(55)는 통상 1화소 영역에 수백 내지 천개 정도 형성된다. 개구부(55)를 형성하기 위해서는 포토리소그래피 기술에 의해 형성된 레지트층을 마스크로 하여, 먼저, RIE법에 의해 게이트 전극용 도전 재료층에 개구부를 형성하고, 이어서 RIE법에 의해 절연층(53)에 개구부를 형성한다. RIE 종료 후, 레지트층을 회분화(ashong) 처리에 의해 제거한다. 이렇게 하여, 도 45의 (A)에 나타낸 구조를 얻을 수 있다.

<605> [공정-420]

<606> 다음에, 전체면에 밀착층(200)을 스퍼터법으로 형성한다(도 45의 (B) 참조). 상기 밀착층(200)은 게이트 전극

용 도전 재료층의 비형성부나 개구부(55)의 측벽면에 노출되어 있는 절연층(53)과, 다음의 공정에서 전체면적으로 막 제조되는 도전 재료층(201) 사이의 밀착성을 높이기 위해 형성되는 층이다. 도전 재료층(201)을 텅스텐으로 형성하는 것을 전제로 하고, 텅스텐으로 이루어지는 밀착층(200)을 DC 스퍼터법에 의해 $0.07\mu\text{m}$ 두께로 형성한다.

<607> [공정-430]

<608> 다음에, 개구부(55) 내를 포함하는 전체면에, 두께 약 $0.6\mu\text{m}$ 의 텅스텐으로 이루어지는 전자 방출 전극 형성용의 도전 재료층(201)을 수소 환원 감압 CVD법에 의해 형성한다(도 46의 (A) 참조). 막 제조된 도전 재료층(201)의 표면에는, 개구부(55)의 상단면과 저면 사이의 단차를 반영한 오목부(凹部)(201A)가 형성된다.

<609> [공정-440]

<610> 다음에, 개구부(55)의 중앙부에 위치하는 도전 재료층(201)의 영역(구체적으로는 오목부(201A))를 차폐하도록 마스크 재료층(202)을 형성한다. 구체적으로는, 먼저, 스판 코터법에 의해 두께 $0.35\mu\text{m}$ 의 레지스트층을 마스크 재료층(202)으로서 도전 재료층(201) 상에 형성한다(도 46의 (B) 참조). 마스크 재료층(202)은 마스크 재료층(201)의 오목부(201A)를 흡수하고, 대략 평탄한 표면으로 된다. 다음에, 마스크 재료층(202)을 산소계 가스를 사용한 RIE법에 의해 에칭한다. 에칭을 도전 재료층(201)의 평탄면이 노출된 시점에서 종료한다. 이로써, 도전 재료층(201)의 오목부(201A)를 평탄하게 메우도록 마스크 재료층(202)이 남는다(도 47의 (A) 참조).

<611> [공정-450]

<612> 다음에, 도전 재료층(201)과 마스크 재료층(202)과 밀착층(200)을 에칭하고, 원추 형상의 전자 방출 전극(56)을 형성한다(도 47의 (B) 참조). 이들 층의 에칭은 도전 재료층(201)의 에칭 속도가 마스크 재료층(202)의 에칭 속도보다도 빨라지는 이방성 에칭 조건하에서 행한다. 에칭 조건을 다음의 표 5에 예시한다.

<613> [표 5]

<614> [도전 재료층(201) 등의 에칭 조건]

<615> SF6 유량 : 150 SCCM

<616> O2 유량 : 30 SCCM

<617> Ar 유량 : 90 SCCM

<618> 압력 : 35 Pa

<619> RF 파워 : 0.7 kW(13.56MHz)

<620> [공정-460]

<621> 그 후, 등방적인 에칭 조건으로 개구부(55)의 내부에 있어서 절연층(53)에 형성된 개구부의 측벽면을 후퇴시키면, 도 44에 나타낸 전계 방출 소자를 완성할 수 있다. 등방적인 에칭은 케미컬 드라이 에칭과 같이 래디컬을 주된 에칭 종류로서 이용하는 드라이 에칭, 또는 에칭액을 이용하는 웨트 에칭에 의해 행할 수 있다. 애칭액으로서, 예를 들면 49% 불산 수용액과 중류수의 1:100(용적비) 혼합액을 사용할 수 있다.

<622> 여기서, [공정-450]에 있어서, 전자 방출 전극(56)이 형성되는 기구에 대해, 도 48을 참조하여 설명한다. 도 48의 (A)는 에칭의 진행에 따라, 피에칭물의 표면 프로파일이 일정 시간마다 어떻게 변화하는가를 나타낸 개략도이며, 도 48의 (B)는 에칭 시간과 개구부 중심에 있어서의 피에칭물의 두께의 관계를 나타낸 그래프이다. 개구부 중심에 있어서의 마스크 재료층의 두께를 hp , 개구부 중심에 있어서의 전자 방출 전극(56)의 높이를 he 라고 한다.

<623> 표 5에 나타낸 에칭 조건에서는 레지스트 재료로 이루어지는 마스크 재료층(202)의 에칭 속도보다도, 도전 재료층(201)의 에칭 속도 쪽이 당연히 빠르다. 마스크 재료층(202)이 존재하지 않는 영역에서는, 도전 재료층(201)이 바로 에칭되기 시작하고, 피에칭물이 신속하게 하강해 간다. 이에 대하여, 마스크 재료층(202)이 존재하는 영역에서는, 최초로 마스크층(202)이 제거되지 않으면 그 아래의 도전 재료층(201)의 에칭이 시작되지 않기 때문에, 마스크 재료층(202)이 에칭되고 있는 동안은 피에칭물의 두께의 감소 속도는 느리고(hp 감소 구간), 마스크 재료층(202)이 소실된 시점에서 시작하여, 피에칭물의 두께의 감소 속도가 마스크 재료층(202)이 존재하지 않는 영역과 동일하게 빨라진다(he 감소 구간). hp 감소 구간의 개시 시기는 마스크 재료층(202)이 두께가 최대로 되는 개구부(55)의 중심에서 가장 느리고, 마스크 재료층(202)의 얇은 개구부(44)의 주변을 향하여

빨라진다. 상기와 같이 하여, 원추 형상의 전자 방출 전극(56)이 형성된다.

<624> 레지스트 재료로 이루어지는 마스크 재료층(202)의 에칭 속도에 대한 도전 재료층(201)의 에칭 속도의 비를 편의상, 「대(對) 레지스트 선택비」라고 칭한다. 상기 대 레지스트 선택비가 전자 방출 전극(56)의 높이와 형상을 결정하는 중요한 인자인 것을 도 49를 참조하여 설명한다. 도 49의 (A)는 대 레지스트 선택비가 상대적으로 작은 경우, 도 49의 (C)는 대 레지스트 선택비가 상대적으로 큰 경우, 도 49의 (B)는 이를 중간인 경우의 전자 방출 전극(56)의 형상을 나타내고 있다. 대 레지스트 선택비가 클수록, 마스크 재료층(202)의 막 감소에 비해 도전 재료층(201)의 막 감소가 심해지기 때문에, 전자 방출 전극(56)은 보다 높고, 또한 날카로워짐을 알 수 있다. 대 레지스트 선택비는 SF6 유량에 대한 O2 유량의 비율을 높이면 저하된다. 또한, 기판 바이어스를 병용하여 이온의 입사 에너지를 변화시키는 것이 가능한 에칭 장치를 이용하는 경우에는, RF 바이어스 파워를 높이거나, 바이어스 인가용의 교류 전원의 주파수를 낮춤으로써, 대 레지스트 선택비를 낮출 수 있다. 대 레지스트 선택비의 값은 1.5 이상, 바람직하게는 2 이상, 더욱 바람직하게는 3 이상으로 선택된다.

<625> 그리고, 상기의 에칭에 있어서는 당연히 게이트 전극(54)이나 캐소드 전극(52)에 대하여 높은 선택비를 확보할 필요가 있으나, 표 5에 나타낸 조건에서 전혀 문제가 없다. 왜냐하면, 게이트 전극(54)이나 캐소드 전극(52)을 구성하는 알루미늄은 불소계의 에칭 종류로는 거의 에칭되지 않는다.

<626> (스핀트형 전계 방출 소자의 제조 방법의 변형예-2)

<627> 스핀트형 전계 방출 소자의 제2 제조 방법의 변형예를, 다음 지지체 등의 개략적인 일부 단면도인 도 50~도 52를 참조하여 설명한다. 상기 스핀트형 전계 방출 소자의 제3 제조 방법에 있어서는, 마스크 재료층에 의해 차폐되는 도전 재료층의 영역을 스핀트형 전계 방출 소자의 제2 제조 방법에 있어서보다도 좁게 하는 것이 가능하다. 즉, 스핀트형 전계 방출 소자의 제3 제조 방법에 있어서는, 공정 (e)에 있어서, 개구부의 상단면과 저면 사이의 단차를 반영하여, 주형부와 그 주형부의 상단에 연통하는 확대부로 이루어지는 대략 깔대기형의 오목부를 도전 재료층의 표면에 생성시키고, 공정 (f)에 있어서, 도전 재료층의 전체면에 마스크 재료층을 형성한 후, 마스크 재료층과 도전 재료층을 지지체의 표면에 대하여 평행한 면 내에서 제거함으로써, 주형부에 마스크 재료층을 남긴다.

<628> [공정-500]

<629> 먼저, [공정-400]과 동일한 공정을 실행하고, 캐소드 전극(52), 메인 배선(20), 브랜치 배선(21), 게이트 전극(54), 메인 배선(22), 브랜치 배선(23)을 형성한다.

<630> [공정-510]

<631> 또한, 전체면에 예를 들면 SiO₂로 이루어지는 두께 0.2μm의 에칭 정지층(203)을 형성한다. 에칭 정지층(203)은 전계 방출 소자의 기능상 불가결한 부재가 아니며, 후공정에서 행해지는 도전 재료층(201)의 에칭 시에, 게이트 전극(54)을 확보하는 역할을 수행한다. 그리고, 도전 재료층(201)의 에칭 조건에 대하여 게이트 전극(54)이 충분히 높은 에칭 내성을 갖을 수 있는 경우에는, 에칭 정지층(203)을 생략해도 상관없다. 그 후, RIE법에 의해, 에칭 정지층(203), 게이트 전극(54), 절연층(53)을 관통하고, 저부에 캐소드 전극(520)이 노출된 개구부(55)를 형성한다(도 50의 (A) 참조).

<632> [공정-520]

<633> 다음에, 개구부(55) 내를 포함하는 전체면에, 예를 들면 두께 0.03μm의 텅스텐으로 이루어지는 밀착층(200)을 형성한다(도 50의 (B) 참조). 이어서 개구부(55) 내를 포함하는 전체면에 전자 방출 전극 형성용의 도전 재료층(201)을 형성한다. 단, 도전 재료층(201)은 오목부(201A)보다도 깊은 오목부(201B)가 표면에 생성되도록, 도전 재료층(201)의 두께를 선택한다. 즉, 도전 재료층(201)의 두께를 적절하게 설정함으로써, 개구부(55)의 상단면과 저면 사이의 단차를 반영하여, 주형부(204A)와 이 주형부(204A)의 상단에 연통하는 확대부(204B)로 이루어지는 대략 깔대기형의 오목부(201B)를 도전 재료층(201)의 표면에 생성시킬 수 있다.

<634> [공정-530]

<635> 다음에, 도전 재료층(201)의 전체면에, 예를 들면 무전해 도금법에 의해, 두께 약 0.5μm의 구리(Cu)로 이루어지는 마스크 재료층(202)을 형성한다(도 51의 (A) 참조). 무전해 도금법을 다음의 표 6에 예시한다.

<636> [표 6]

<637> 도금액 : 황산구리(CuSO₄ · 5H₂O) 7g/리터

<638> 포르말린(37%HCHO) 20ml/리터

<639> 수산화나트륨(NaOH) 10g/리터

<640> 주석산 나트륨칼륨 20g/리터

<641> 도금욕 온도: 50°C

<642> [공정-540]

<643> 다음에, 마스크 재료층(202)과 도전 재료층(201)을 지지체(51)의 표면에 대하여 평행한 면 내에서 제거함으로써, 주형부(204A)에 마스크 재료층(202)을 남긴다(도 51의 (B) 참조). 이 제거는 화학적 기계적 연마법(CMP법)에 의해 행할 수 있다.

<644> [공정-550]

<645> 다음에 도전 재료층(201)과 밀착층(200)의 예칭 속도가 마스크 재료층(202)의 예칭 속도보다도 빨라지는 이방성 예칭 조건하에서, 도전 재료층(201)과 마스크 재료층(202)과 밀착층을 예칭한다. 그 결과, 개구부(55) 내에 추형 형상을 가지는 전자 방출 전극(56)이 형성된다(도 52의 (A) 참조). 그리고, 전자 방출 전극(56)의 선단부에 마스크 재료층(202)이 잔존하는 경우에는, 희소 불산 수용액을 사용한 웨트 예칭에 의해 마스크 재료층(202)을 제거할 수 있다.

<646> [공정-560]

<647> 그 후, 등방적인 예칭 조건에서 개구부(55)의 내부에 있어서 절연층(53)에 형성된 개구부의 측변면을 후퇴시키면, 도 52의 (B)에 나타낸 전계 방출 소자가 완성된다.

<648> 그런데, 스피нт형 전계 방출 소자의 제3 제조 방법으로 얻어진 전자 방출 전극(56)에 있어서는, 스피нт형 전계 방출 소자의 제2 제조 방법으로 얻어진 전자 방출 전극(56)에 비해, 보다 날카로운 추형 형상이 달성되고 있다. 이는 마스크 재료층(202)의 예칭 속도의 비의 차이에 기인한다. 이 차이에 대해, 도 53을 참조하면서 설명한다. 도 53은 피에칭물의 표면 프로파일이 일정 시간마다 어떻게 변화하는가를 나타낸 도면이고, 도 53의 (A)는 구리로 이루어지는 마스크 재료층(202)을 이용한 경우, 도 53의 (B)는 레지스트 재료로 이루어지는 마스크 재료층(202)을 이용한 경우를 각각 나타낸다. 그리고, 간략화를 위해 도전 재료층(201)의 예칭 속도와 밀착층(200)의 예칭 속도를 각각 동등한 것으로 판정하고, 도 53에 있어서는 밀착층(200)의 도시를 생략한다.

<649> 구리로 이루어지는 마스크 재료층(202)을 이용한 경우(도 53의 (A) 참조)는, 마스크 재료층(202)의 예칭 속도가 도전 재료층(201)의 예칭 속도에 비해 충분히 느렸기 때문에, 예칭 중에 마스크 재료층(202)이 소실되지 않고, 따라서 선단부가 날카로운 전자 방출 전극(56)을 형성할 수 있다. 이에 대하여, 레지스트층 재료로 이루어지는 마스크 재료층(202)을 이용한 경우(도 53의 (B) 참조)는, 마스크 재료층(202)의 예칭 속도가 도전 재료층(201)의 예칭 속도에 비해 그 만큼 느리지 않기 때문에, 예칭 중에 마스크 재료층(202)이 소실되기 쉽고, 따라서 마스크 재료층 소실 후의 전자 방출 전극(56)의 추형 형상이 둔화되는 경향이 있다.

<650> 또, 주형부(204A)에 남은 마스크 재료층(202)은 주형부(204A)의 깊이가 다소 변화해도, 전자 방출 전극(56)의 형상은 변화되기 어렵다는 메리트도 있다. 즉, 주형부(204A)의 깊이는 도전 재료층(201)의 두께나 스텝 커버리지의 불균일에 의해 변화될 수 있으나, 주형부(204A)의 폭은 깊이에 의하지 않고 대략 일정하므로, 마스크 재료층(202)의 폭도 대략 일정하게 되고, 최종적으로 형성되는 전자 방출 전극(56)의 형상에는 큰 차이가 생기지 않는다. 이에 대하여, 오목부(201A)에 남는 마스크 재료층(202)에 있어서는, 오목부(201A)가 얇은 경우와 깊은 경우로 마스크 재료층의 폭도 변화하여 버리기 때문에, 오목부(201A)가 얇고 마스크 재료층(202)의 두께가 얇은 경우일수록, 보다 조기에 전자 방출 전극(56)의 추형 형상의 둔화가 시작된다. 전계 방출 소자의 전자 방출 효율은 게이트 전극과 캐소드 전극 사이의 전위차, 게이트 전극과 캐소드 전극 사이의 거리, 전자 방출 전극을 구성하는 재료의 일함수 외, 전자 방출 전극의 선단부의 형상에 의해서도 변화한다. 그러므로, 필요에 따라 전술한 바와 같이 마스크 재료층의 형상이나 예칭 속도를 선택하는 것이 바람직하다.

<651> (스핀트형 전계 방출 소자의 제조 방법의 변형 예-3)

<652> 스피нт형 전계 방출 소자의 제2 제조 방법의 변형 예를 다음 지지체 등의 개략적인 일부 단면도인 도 54~도 55를 참조하여 설명한다. 상기 스피нт형 전계 방출 소자의 제4 제조 방법에 있어서도, 공정 (e)에 있어서, 개구부의 상단면과 저면 사이의 단차를 반영하여, 주형부와 이 주형부의 상단에 연통하는 확대부로 이루어지는 대략 깔대기형의 오목부를 도전 재료층의 표면에 생성시키고, 공정 (f)에 있어서, 도전 재료층의 전체면에 마스크 재

료층을 형성한 후, 도전 재료층 상과 확대부 내의 마스트 재료층을 제거함으로써, 주형부에 마스크 재료층을 남긴다.

<653> [공정-600]

먼저, 도 51의 (A)에 나타낸 마스크 재료층(202)의 형성까지를 [공정-500]~[공정-530]과 동일하게 행한 후, [공정-540]과 상이하게, 도전 재료층(201) 상과 확대부(204B) 내의 마스크 재료층(202)만을 제거함으로써, 주형부(204A)에 마스크 재료층(202)을 남긴다(도 54의 (A) 참조). 이 때, 예를 들면 희소 불산 수용액을 사용한 웨트 에칭을 행함으로써, 텅스텐으로 이루어지는 도전 재료층(201)을 제거하지 않고, 구리로 이루어지는 마스크 재료층(202)만을 선택적으로 제거할 수 있다. 주형부(204A) 내에 남은 마스크 재료층(202)의 높이는 에칭 시간에 의존하지만, 상기 에칭 시간은 확대부(204B)에 메워진 마스크 재료층(202)의 부분이 충분히 제거되는 한에 있어서, 그 정도의 염밀함을 요하지 않는다. 왜냐하면, 마스크 재료층(202)의 고저에 관한 의론은 도 53의 (A)를 참조하면서 전술한 주형부(204A)의 깊이에 관한 의론과 실질적으로 동일하며, 마스크 재료층(202)의 고저는 최종적으로 형성되는 전자 방출 전극(56)의 형상에 큰 영향을 미치지 않기 때문이다.

<655> [공정-610]

다음에, 도전 재료층(201)과 마스크 재료층(202)과 밀착층(200)의 에칭을 [공정-550]과 동일하게 행하고, 도 54의 (B)에 나타낸 바와 같은 전자 방출 전극(56)을 형성한다. 상기 전자 방출 전극(56)은 도 52의 (A)에 나타낸 바와 같이 전체가 추형 형상을 가지고 있어도 물론 상관없지만, 도 54의 (B)에는 선단부만이 추형 형상을 가지는 변형예를 나타냈다. 관련된 형상은 주형부(204A)에 메워진 마스크 재료층(202)의 높이가 낮거나, 또는 마스크 재료층(202)의 에칭 속도가 비교적 빠른 경우에 생길 수 있으나, 전자 방출 전극(56)으로서의 기능에 전혀 지장이 없다.

<657> [공정-620]

<658> 그 후, 등방적인 에칭 조건에서 개구부(55)의 내부에 있어서 절연층(53)에 형성된 개구부의 측단면을 후퇴시키면, 도 55에 나타낸 전계 방출 소자가 완성된다.

<659> (스핀트형 전계 방출 소자 및 그 제조 방법의 변형예-4)

<660> 스핀트형 전계 방출 소자의 변형예의 개략적인 일부 단면도를 도 56에 나타낸다. 상기 전계 방출 소자가 도 44에 나타낸 전계 방출 소자와 상이한 점은, 전자를 방출하는 부분이 기부(205)와 기부(205) 상에 적층된 추형의 전자 방출 전극(56)으로 구성되어 있는 점에 있다. 여기서, 기부(205)와 전자 방출 전극(56)은 상이한 도전 재료로 구성되어 있다. 구체적으로는, 기부(205)는 전자 방출 전극(56)과 게이트 전극(54)의 개구 단부 사이의 거리를 조절하기 위한 부재이며, 불순물을 함유하는 폴리실리콘층으로 구성되어 있다. 전자 방출 전극(56)은 텅스텐으로 구성되어 있고, 추형 형상, 보다 구체적으로는 원추 형상을 가진다. 그리고, 기부(205)와 전자 방출 전극(56) 사이에는, TiN으로 이루어지는 밀착층(200)이 형성되어 있다. 그리고, 밀착층(200)은 전자 방출 기능상, 불가결한 구성 요소가 아니며, 제조상의 이유에서 형성되어 있다. 절연층(53)이 게이트 전극(54)의 바로 아래로부터 기부(205)의 상단부에 걸쳐서 도려내어짐으로써, 개구부(55)가 형성되어 있다. 다음에, 스핀트형 전계 방출 소자의 제2 제조 방법의 변형예인 스핀트형 전계 방출 소자의 제5 제조 방법을 지지체 등의 개략적인 일부 단면도인 도 57~도 59를 참조하여 설명한다.

<661> [공정-700]

<662> 먼저, 개구부(55)의 형성까지를 [공정-400]과 동일하게 행한다. 이어서, 개구부(55) 내를 포함하는 전체면에 기부 형성용의 도전 재료층(205A)을 형성한다. 도전 재료층(205A)은 예를 들면, 불순물로서 인(P)을 1015/cm³의 차수로 함유하는 폴리실리콘층으로 구성되고, 플라즈마 CVD법에 의해 형성할 수 있다. 이어서, 전체면에 스핀 코터법으로 레지트층으로 이루어지는 평탄화층(206)을 표면이 대략 평탄해지도록 형성한다(도 57의 (A) 참조). 다음에, 평탄화층(206)과 도전 재료층(205A)의 에칭 속도가 함께 대략 동등해지는 조건에서 양 층을 에칭하고, 개구부(55)의 저부를 상면이 평탄한 기부(205)로 메운다(도 57의 (B) 참조). 에칭은 염소계 가스와 산소계 가스를 함유하는 에칭 가스를 사용한 RIE법에 의해 행할 수 있다. 도전 재료층(205A)의 표면을 평탄화층(206)으로 일단 평탄화한 후 에칭을 행하고 있기 때문에, 기부(205)의 상면이 평탄하게 된다.

<663> [공정-710]

<664> 다음에, 개구부(55)의 잔부를 포함하는 전체면에 밀착층(200)을 막 제조하고, 또한 개구부(55)의 잔부를 포함하는 전체면에 전자 방출 전극 형성용의 도전 재료층(201)을 막 제조하고, 개구부(55)의 잔부를 도전 재료층(201)

1)으로 메운다(도 58의 (A) 참조). 밀착층(200)은 스퍼터법에 의해 형성되는 두께 $0.07\mu\text{m}$ 의 TiN층이며, 도전 재료층(201)은 감압 CVD법에 의해 형성되는 두께 $0.6\mu\text{m}$ 의 텅스텐층이다. 도전 재료층(201)의 표면에는 개구부(55)의 상단면과 저면 사이의 단차를 반영하여 오목부(201A)가 형성되어 있다.

<665> [공정-720]

<666> 다음에, 도전 재료층(201)의 전체면에, 스피너터법에 의해 레지트층으로 이루어지는 마스크 재료층(202)을 표면이 대략 평탄해지도록 형성한다(도 58의 (B) 참조). 마스크 재료층(202)은 도전 재료층(201)의 표면의 오목부(201A)를 흡수하여 평탄한 표면으로 되어 있다. 다음에, 마스크 재료층(202)을 산소계 가스를 사용한 RIE법에 의해 에칭한다(도 59의 (A) 참조). 에칭을 도전 재료층(201)의 평탄면이 노출된 시점에서 종료한다. 이로써, 도전 재료층(201)의 오목부(201A)에 마스크 재료층(202)이 평탄하게 남겨지고, 마스크 재료층(202)은 개구부(55)의 중앙부에 위치하는 도전 재료층(201)의 영역을 차폐하도록 형성되어 있다.

<667> [공정-730]

<668> 다음에, [공정-450]과 동일하게 하여, 도전 재료층(201), 마스크 재료층(202) 및 밀착층(200)을 함께 에칭하면, 전술한 기구에 따라 대 레지스트 선택비의 크기에 따른 원추 형상을 가지는 전자 방출 전극(56)과 밀착층(200)이 형성되고, 전자를 방출하는 부분이 완성된다(도 59의 (B) 참조). 그 후, 개구부(55)의 내부에 있어서 절연층(53)에 형성된 개구부의 측벽면을 후퇴시키면, 도 56에 나타낸 전계 방출 소자를 얻을 수 있다.

<669> (스핀트형 전계 방출 소자 및 그 제조 방법의 변형 예-5)

<670> 스피너트형 전계 방출 소자의 변형 예의 개략적인 일부 단면도를 도 61의 (B)에 나타낸다. 도 56에 나타낸 스피너트형 전계 방출 소자와 실질적으로 동일한 구조를 가지는 상기 전자 방출 소자에 있어서는, 전자를 방출하는 부분이 기부(205)와 기부(205) 상에 격충된 추형의 전자 방출 전극(56)으로 구성되어 있다. 여기서, 기부(205)와 전자 방출 전극(56)은 상이한 도전 재료로 구성되어 있다. 구체적으로는, 기부(205)는 전자 방출 전극(56)과 게이트 전극(54)의 개구 단부 사이의 거리를 조절하기 위한 부재이며, 불순물을 함유하는 폴리실리콘층으로 구성되어 있다. 전자 방출 전극(56)은 텅스텐으로 구성되어 있고, 추형 형상, 보다 구체적으로는 원추 형상을 가진다. 그리고, 기부(205)와 전자 방출 전극(56) 사이에는, TiN으로 이루어지는 밀착층(200)이 형성되어 있다. 그리고, 밀착층(200)은 전자 방출 기능상, 불가결한 구성 요소가 아니며, 제조상의 이유에서 형성되어 있다. 절연층(53)이 게이트 전극(54)의 바로 아래로부터 기부(205)의 상단부에 걸쳐서 도려내어짐으로써, 개구부(55)가 형성되어 있다. 다음에, 스피너트형 전계 방출 소자의 제3 및 제5 제조 방법의 변형인 전계 방출 소자의 제6 제조 방법을 지지체 등의 개략적인 일부 단면도인 도 60 및 도 61을 참조하여 설명한다.

<671> [공정-800]

<672> 먼저, 개구부(55)의 형성까지를 [공정-500]~[공정-510]과 동일하게 행한다. 다음에, 개구부(55) 내를 포함하는 전체면에 기부 형성용의 도전 재료층을 형성하고, 도전 재료층을 에칭함으로써, 개구부(55)의 저부를 메우는 기부(205)를 형성할 수 있다. 그리고, 도시되는 기부(205)는 평탄화된 표면을 가지고 있으나, 표면이 패어있어도 된다. 그리고, 평탄화된 표면을 가지는 기부(205)는 [공정-700]와 동일한 프로세스에 의해 형성 가능하다. 또한, 개구부(55)의 잔부를 포함하는 전체면에, 밀착층(200) 및 전자 방출 전극 형성용의 도전 재료층(201)을 순차 형성한다. 이 때, 개구부(55)의 잔부의 상단면과 저면 사이의 차단을 반영한 주형부(204A)와 이 주형부(204A)의 상단에 연통하는 확대부(204B)로 이루어지는 대략 깔대기형의 오목부(201B)가 도전 재료층(201)의 표면에 생성되도록, 도전 재료층(201)의 두께를 선택한다. 다음에, 도전 재료층(201) 상에 마스크 재료층(202)을 형성한다. 상기 마스크 재료층(202)은 예를 들면 구리를 사용하여 형성한다. 도 60의 (A)는 여기까지의 프로세스가 종료된 상태를 나타내고 있다.

<673> [공정-810]

<674> 다음에, 마스크 재료층(202)과 도전 재료층(201)을 지지체(51)의 표면에 대하여 평행한 면 내에서 제거함으로써, 주형부(204A)에 마스크 재료층(202)을 남긴다(도 60의 (B) 참조). 이 제거는 [공정-540]과 동일하게, 화학적 기계적 연마법(CMP법)에 의해 행할 수 있다.

<675> [공정-820]

<676> 다음에, 도전 재료층(201)과 마스크 재료층(202)과 밀착층(200)을 에칭하면, 전술한 기구에 따라 대 레지스트 선택비의 크기에 따른 원추 형상을 가지는 전자 방출 전극(56)이 형성된다. 이를 층의 에칭은 [공정-550]과 동일하게 행할 수 있다. 전자 방출 전극(56)과 기부(205), 및 전자 방출 전극(56)과 기부(205) 사이에 잔존하는

밀착층(200)에 의해, 전자를 방출하는 부분이 형성된다. 전자를 방출하는 부분은 전체가 원추 형상을 가지고 있어도 물론 상관없지만, 도 61의 (A)에는 기부(205)의 일부가 개구부(55)의 저부를 메우도록 잔존한 상태를 나타낸다. 관련된 형상은 주형부(204A)에 메워진 마스크 재료층(202)의 높이가 낮거나, 또는 마스크 재료층(202)의 예칭 속도가 비교적 빠른 경우에 생길 수 있으나, 전자 방출 기능에 전혀 지장이 없다.

<677> [공정-830]

<678> 그 후, 등방적인 예칭 조건에서 개구부(55)의 내부에 있어서 절연층(53)의 측벽면을 후퇴시키면, 도 61의 (B)에 나타낸 전계 방출 소자가 완성된다.

<679> (스핀트형 전계 방출 소자의 제조 방법의 변형예-6)

<680> 스피트형 전계 방출 소자의 제6 제조 방법의 변형예를 나타낸다. 다음에, 스피트형 전계 전자 방출 소자의 제7 제조 방법을 지지체 등의 개략적인 일부 단면도인 도 62를 참조하여 설명한다.

<681> [공정-900]

<682> 마스크 재료층(202)의 형성까지를 [공정-800]과 동일하게 행한다. 그 후, 도전 재료층(201) 상과 확대부(204A) 내의 마스크 재료층(202)만을 제거함으로써, 주형부(204A)에 마스크 재료층(202)을 남긴다(도 62 참조). 예를 들면 희소 불산수용액을 사용한 웨트 예칭을 행하고, 텅스텐으로 이루어지는 도전 재료층(201)을 제거하지 않고, 구리로 이루어지는 마스크 재료층(202)만을 선택적으로 제거할 수 있다. 이 후의 도전 재료층(201)과 마스크 재료층(202)의 예칭, 절연층(53)의 등방적인 예칭 등의 프로세스는 [공정-820]~[공정-830]과 동일하게 행할 수 있다.

발명의 효과

<683> 본 발명에 있어서는, 동작 불량의 전자 방출부는 구동용 회로로부터 전기적으로 분리되어 있기 때문에, 동작 불량의 전자 방출부는 전자 방출에 전혀 기여하지 않는다. 또는, 동작 불량의 전자 방출부를 포함하는 전자 방출 영역에는 정상적으로 동작하는 전자 방출부가 구비되어 있다. 따라서, 가령 전계 방출 소자에 결함이 생겼다고 하더라도, 동작상, 관련된 전계 방출 소자를 포함하는 전자 방출부는 배제되고, 또는 실질적으로 결함이 제거된 전자 방출 영역을 얻을 수 있는 결과, 표시 장치의 제조 수율의 저하를 초래하지 않는다. 따라서, 미세 가공을 요하기 때문에 결함이 없는 제조가 어려웠던 대형 냉음극 전계 전자 방출 표시 장치의 결함을 저가로 보충할 수 있고, 캐소드 패널이나 냉음극 전계 전자 방출 표시 장치의 제조 코스트의 저감, 품질의 재현성을 높일 수 있다. 또, 도 43에 예시한 시험 장치를 이용하여 표시 특성 시험을 실현하면, 휘점이나 암점이라는 냉음극 전계 방출부의 결함을 확실하게 검사할 수 있는 것이 가능해진다.

도면의 간단한 설명

- <1> 도 1은 발명의 실시 형태 1의 캐소드 패널에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <2> 도 2는 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선을 절단하는 방법을 개략적으로 나타낸 도면.
- <3> 도 3 (A)~3 (C)는 냉음극 전계 전자 방출부와 메인 배선을 접속하는 브랜치 배선을 절단하는 방법을 개략적으로 나타낸 도면.
- <4> 도 4는 발명의 실시 형태 1의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <5> 도 5는 발명의 실시 형태 1의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <6> 도 6은 발명의 실시 형태 2의 캐소드 패널에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <7> 도 7 (A) 및 7 (B)는 발명의 실시 형태 2의 캐소드 패널에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <8> 도 8 (A) 및 8 (B)는 발명의 실시 형태 2의 캐소드 패널의 변형예의 제조 공정의 일부분을 설명하기 위한 메인

배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 일부 단면도.

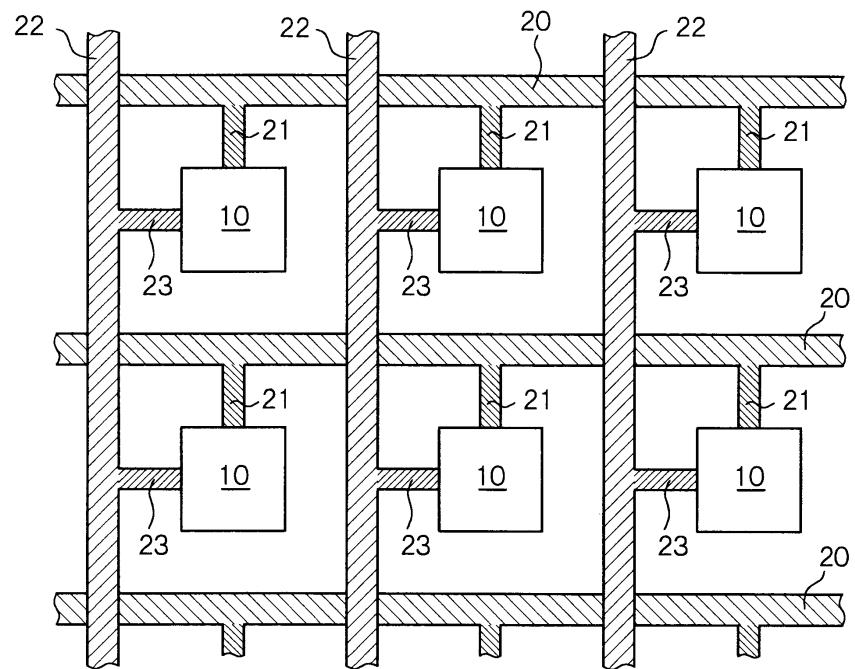
- <9> 도 9는 발명의 실시 형태 2의 캐소드 패널에 있어서의 브랜치 배선이 단선될 때까지의 시간을 조사한 결과를 나타낸 그래프.
- <10> 도 10은 발명의 실시 형태 3의 캐소드 패널에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <11> 도 11은 발명의 실시 형태 3의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <12> 도 12는 발명의 실시 형태 3의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <13> 도 13은 발명의 실시 형태 3의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <14> 도 14는 발명의 실시 형태 3의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <15> 도 15는 발명의 실시 형태 3의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <16> 도 16은 발명의 실시 형태 3의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <17> 도 17은 발명의 실시 형태 3의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <18> 도 18은 발명의 실시 형태 5의 캐소드 패널에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <19> 도 19는 발명의 실시 형태 5의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <20> 도 20은 발명의 실시 형태 5의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <21> 도 21은 발명의 실시 형태 5의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <22> 도 22는 발명의 실시 형태 5의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <23> 도 23은 발명의 실시 형태 5의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <24> 도 24는 발명의 실시 형태 7의 캐소드 패널에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <25> 도 25는 발명의 실시 형태 7의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <26> 도 26은 발명의 실시 형태 7의 캐소드 패널의 변형예에 있어서의 메인 배선, 브랜치 배선 및 냉음극 전계 전자 방출부의 개략적인 평면적 배치.
- <27> 도 27은 스픬트형 전계 방출 소자를 적용한 표시 장치의 개념도.
- <28> 도 28은 스픬트형 전계 방출 소자를 적용한 표시 장치에 있어서의 캐소드 패널 및 애노드 패널의 일부분의 개략적인 분해 사시도.
- <29> 도 29 (A)는 센트 구조를 가지는 메인 배선을 구비한 냉음극 전계 전자 방출부의 개략적인 일부 단면도, 도 29 (B)는 동 개략적인 분해 사시도.

- <30> 도 30 (A)는 메인 배선의 구조의 변형예를 나타낸 개략적인 일부 단면도, 도 30 (B)는 동 개략적인 분해사시도.
- <31> 도 31 (A) 및 31 (B)는 스피드형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <32> 도 32 (A) 및 32 (B)는 도 31 (B)에 이어, 스피드형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <33> 도 33 (A) 및 33 (B)는 에지형 전계 방출 소자의 개략적인 일부 단면도.
- <34> 도 34는 도 33의 (B)에 나타낸 에지형 전계 방출 소자의 개구부 근방의 지지체 등을 일부 절단하여 노출시킨 개략적인 사시도.
- <35> 도 35 (A)~35 (C)는 도 33 (B)에 나타낸 에지형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <36> 도 36 (A) 및 36 (B)는 도 35 (C)에 이어, 도 33 (B)에 나타낸 에지형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <37> 도 37 (A) 및 37 (B)는 도 36 (B)에 이어, 도 33 (B)에 나타낸 에지형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <38> 도 38은 평면형 전계 방출 소자의 개략적인 일부 단면도.
- <39> 도 39 (A)~39 (C)는 도 38에 나타낸 평면형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <40> 도 40은 발명의 실시 형태 8에 있어서의 캐소드 패널의 개략도.
- <41> 도 41은 발명의 실시 형태 9에 있어서의 캐소드 패널의 개략도.
- <42> 도 42는 제2 구조의 에지형 전계 방출 소자에 포커스 전극을 편입한 전계 방출 소자의 개략적인 일부 단면도.
- <43> 도 43은 표시 특성 시험의 실행에 적당한 시험 장치의 개요를 나타낸 도면.
- <44> 도 44는 발명의 실시 형태 4에 있어서의 스피드형 전계 방출 소자를 나타낸 개략적인 일부 단면도.
- <45> 도 45 (A) 및 45 (B)는 도 44에 나타낸 스피드형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <46> 도 46 (A) 및 46 (B)는 도 45 (B)에 이어, 도 44에 나타낸 스피드형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <47> 도 47 (A) 및 47 (B)는 도 46 (B)에 이어, 도 44에 나타낸 스피드형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <48> 도 48 (A) 및 48 (B)는 원추 형상의 전자 방출 전극이 형성되는 기구를 설명하기 위한 도면.
- <49> 도 49 (A)~49 (C)는 대 레지스트 선택비와, 전자 방출 전극의 높이와 형상의 관계를 개략적으로 나타낸 도면.
- <50> 도 50 (A) 및 50 (B)는 발명의 실시 형태 5에 있어서의 스피드형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <51> 도 51 (A) 및 51 (B)는 도 50 (B)에 이어, 발명의 실시 형태 5에 있어서의 스피드형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <52> 도 52 (A) 및 52 (B)는 도 51 (B)에 이어, 발명의 실시 형태 5에 있어서의 스피드형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <53> 도 53 (A) 및 53 (B)는 피에칭물의 표면 프로파일이 일정 시간마다 어떻게 변화하는가를 나타낸 도면.
- <54> 도 54 (A) 및 54 (B)는 발명의 실시 형태 6에 있어서의 스피드형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.

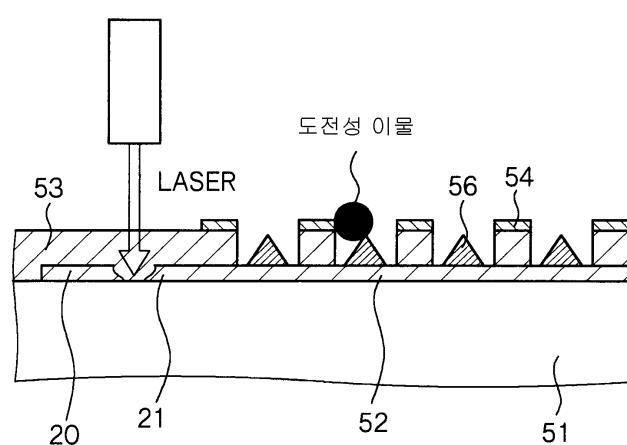
- <55> 도 55 (A) 및 55 (B)는 도 54 (B)에 이어, 발명의 실시 형태 6에 있어서의 스피нт형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <56> 도 56 (A) 및 56 (B)는 발명의 실시 형태 7에 있어서의 스피нт형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <57> 도 57 (A) 및 57 (B)는 도 56 (B)에 이어, 발명의 실시 형태 7에 있어서의 스피нт형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <58> 도 58 (A) 및 58 (B)는 도 57 (B)에 이어, 발명의 실시 형태 7에 있어서의 스피нт형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <59> 도 59 (A) 및 59 (B)는 도 58 (B)에 이어, 발명의 실시 형태 7에 있어서의 스피нт형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <60> 도 60 (A) 및 60 (B)는 발명의 실시 형태 8에 있어서의 스피нт형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <61> 도 61 (A) 및 61 (B)는 도 60 (B)에 이어, 발명의 실시 형태 8에 있어서의 스피нт형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <62> 도 62는 발명의 실시 형태 9에 있어서의 스피нт형 전계 방출 소자의 제조 방법을 설명하기 위한 지지체 등의 개략적인 일부 단면도.
- <63> 도 63은 종래의 스피нт형 전계 방출 소자를 적용한 표시 장치에 있어서의 캐소드 패널 및 애노드 패널의 일부분의 개략적인 분해 사시도.
- <64> 도 64 (A) 및 64 (B)는 저항체층을 형성한 스피нт형 전계 방출 소자의 개략적인 일부 단면도 및 저항체층을 형성한 전자 방출부의 등가 회로.
- <65> [도면의 주요 부분에 대한 부호의 설명]
- <66> 10, 10A, 10B: 냉음극 전계 전자 방출부, 20, 22, 30, 30A, 30B, 32, 32A, 32B, 40A, 40B, 42A, 42B: 메인 배선, 21, 24, 31, 31A, 34, 34A, 34B, 41A, 41B, 43A, 43B: 브랜치 배선, 50: 캐소드 패널, 51: 지지체, 52: 캐소드 전극, 53: 절연층, 54: 게이트 전극, 55: 개구부, 56: 전자 방출 전극, 56A: 도전 재료층, 57: 박리층, 60: 애노드 패널, 61: 기판, 62, 62R, 62G, 62B: 형광체층, 63: 애노드 전극, 64: 블랙 매트릭스, 71: 지지체, 72: 제1 게이트 전극, 73: 제1 절연층, 74: 전자 방출층, 75: 제2 절연층, 76: 게이트 전극, 77: 제2 게이트 전극, 78, 78A, 78B, 78C, 78D: 개구부, 79: 레지스트층, 79A: 레지스트 개구부, 81: 지지체, 84: 전자 방출층, 85: 절연층, 86: 게이트 전극, 88: 개구부, 90: 유효 영역, 91: 무효 영역, 92: 냉음극 전계 전자 방출부군, 93: 냉음극 전계 전자 방출부 열, 94: 층간 절연층, 95: 포커스 전극, 96: 제2 개구부.

도면

도면1

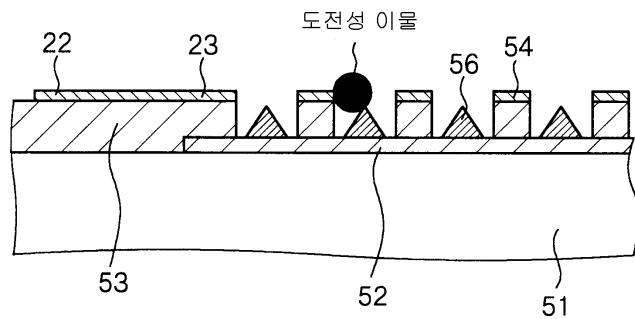


도면2

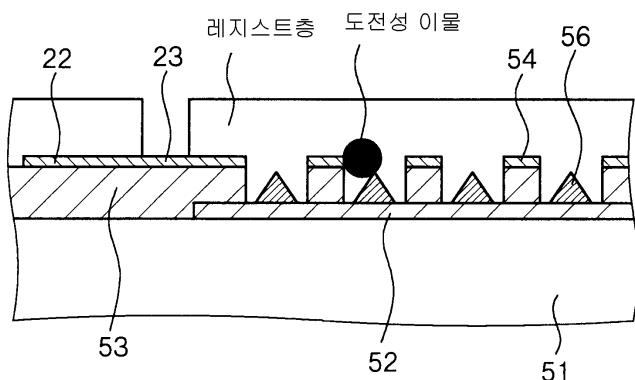


도면3

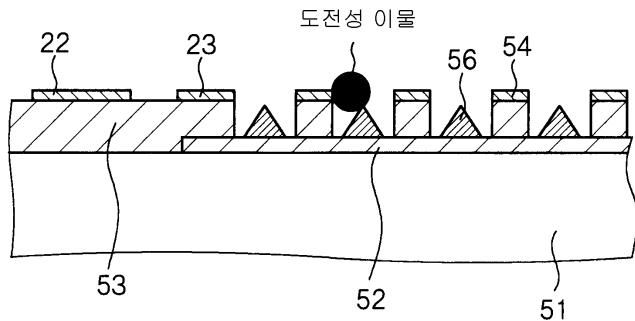
(A)



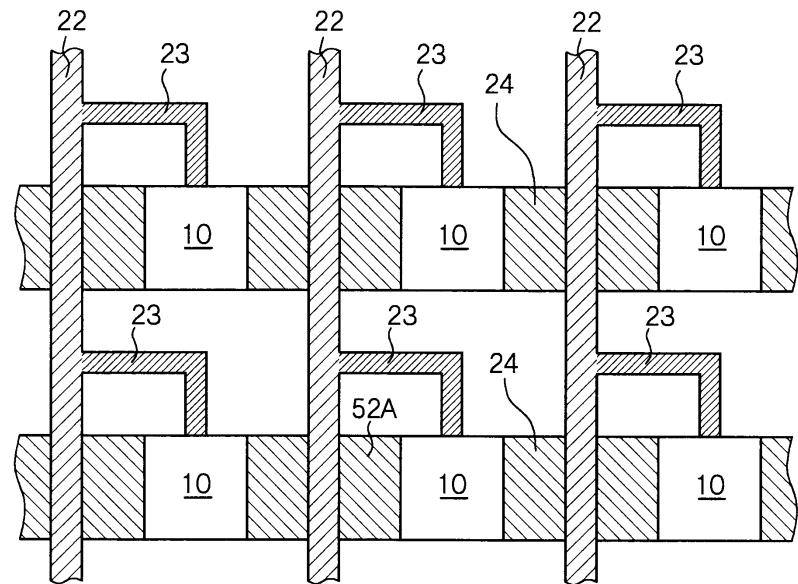
(B)



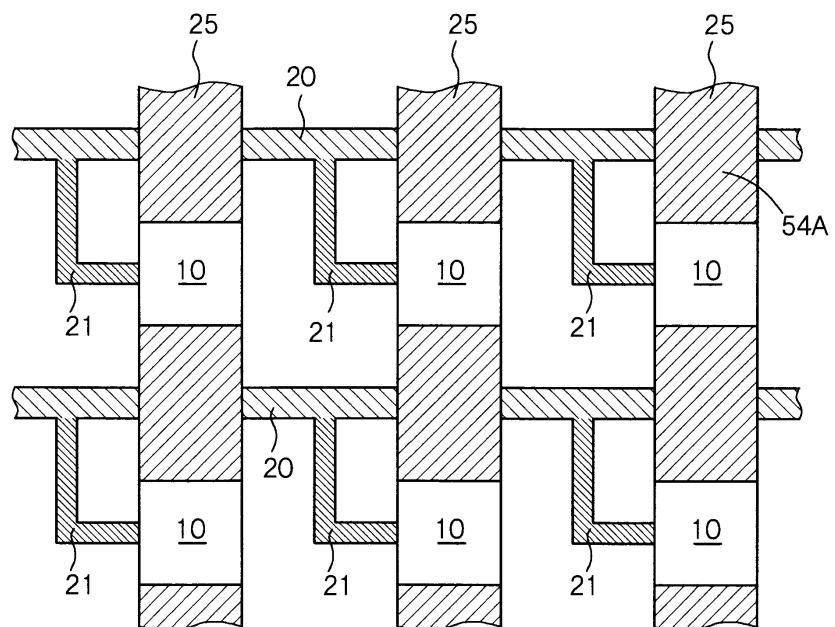
(C)



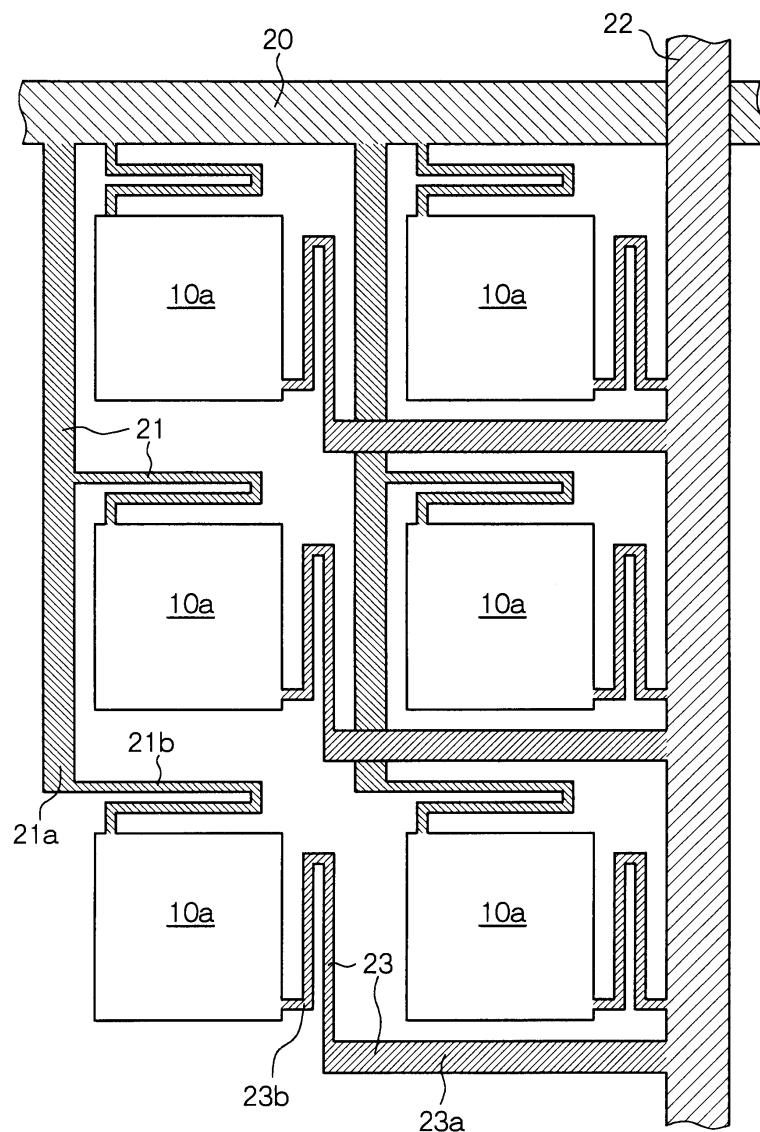
도면4



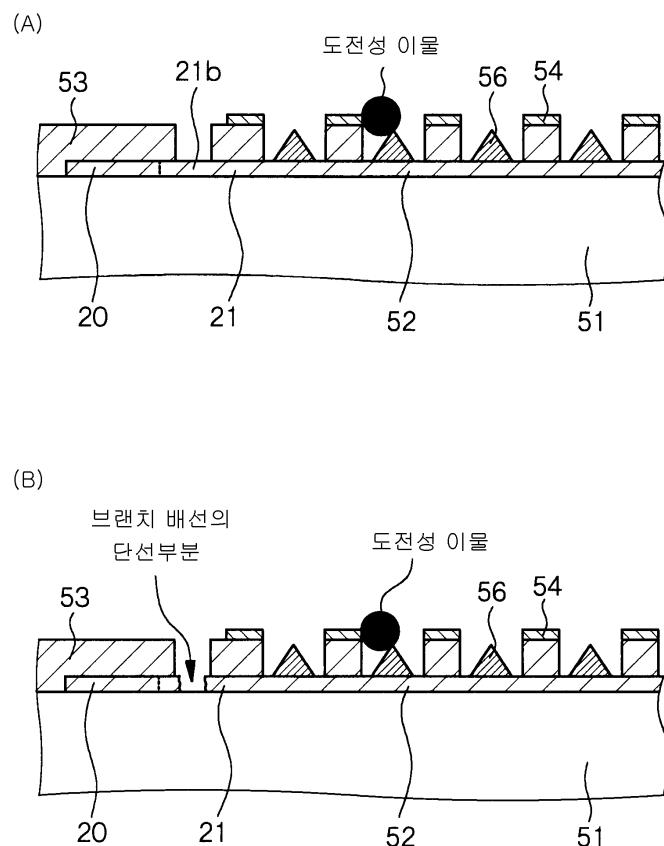
도면5



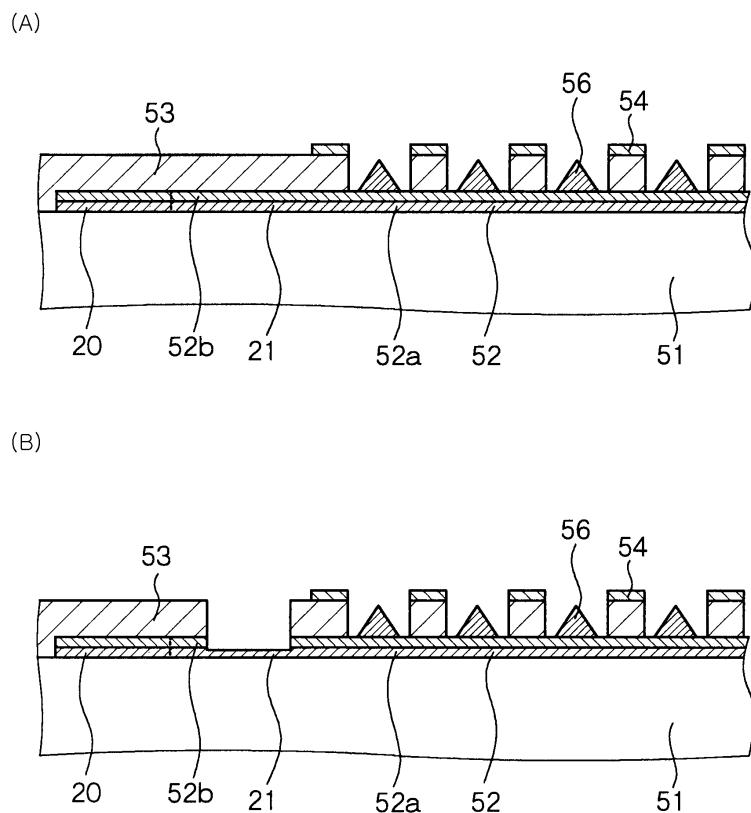
도면6



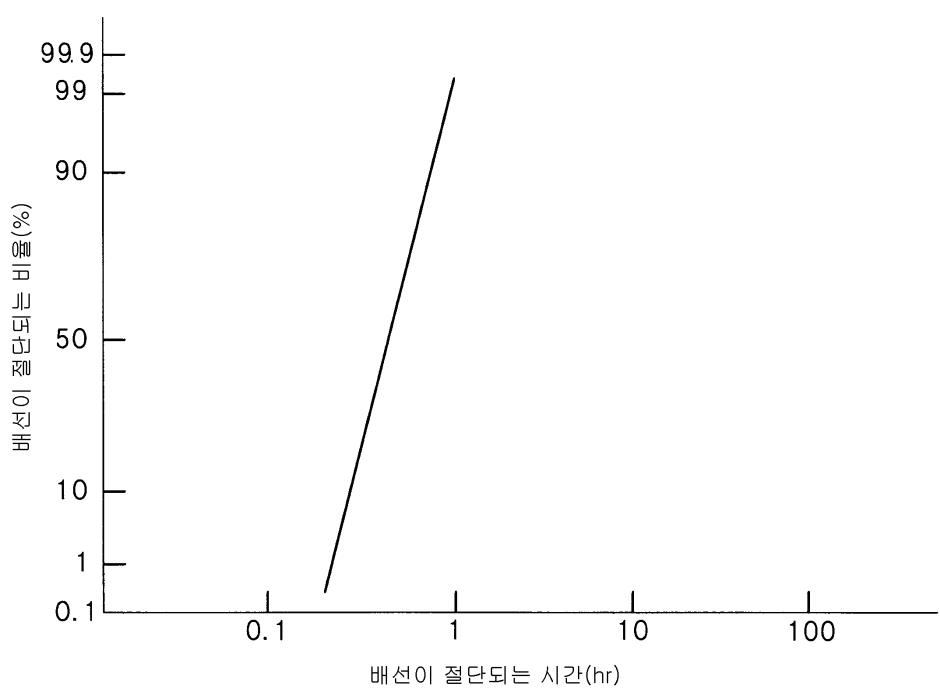
도면7



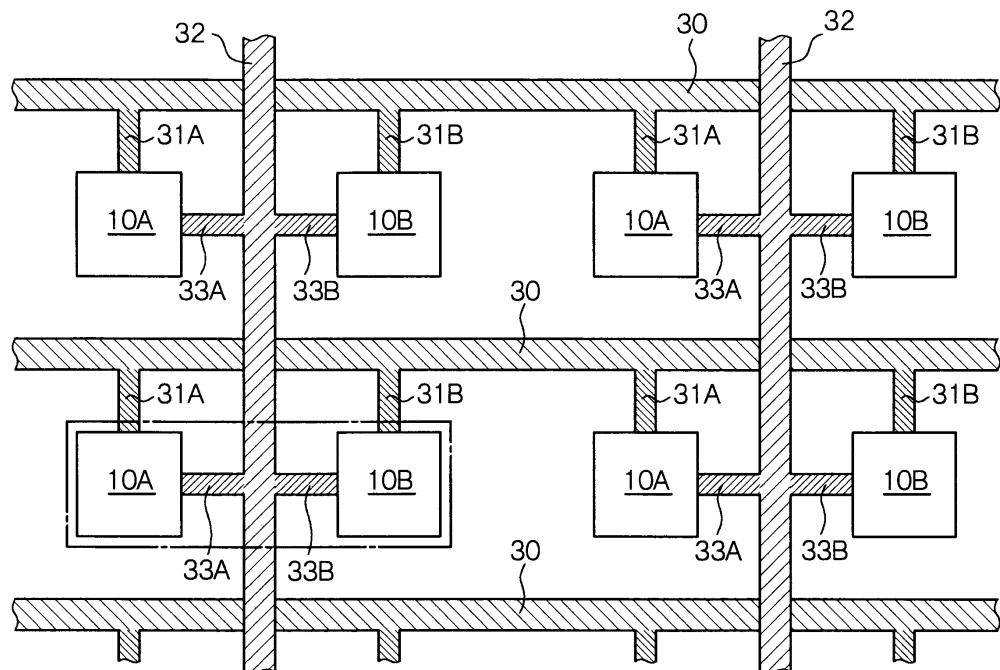
도면8



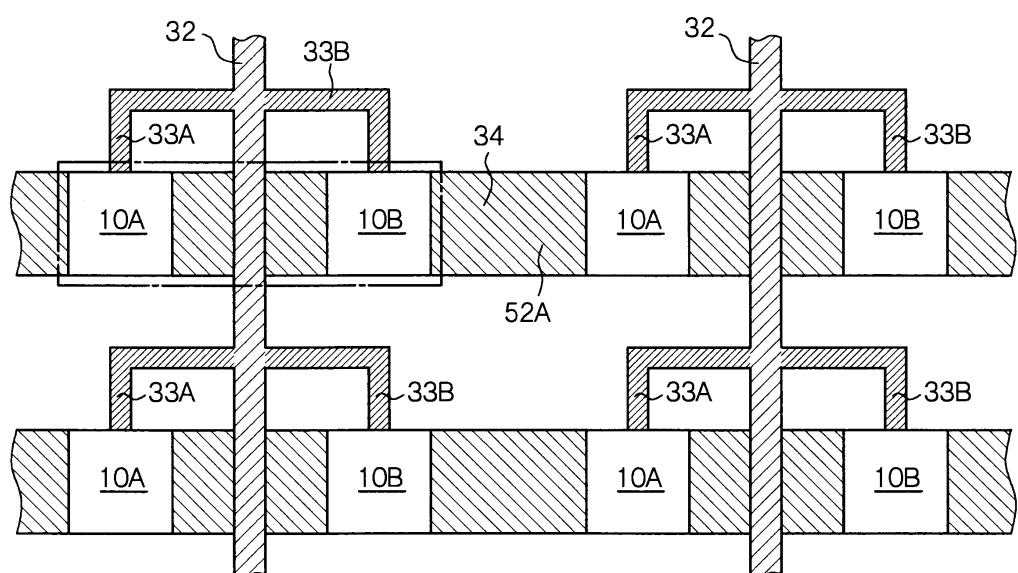
도면9



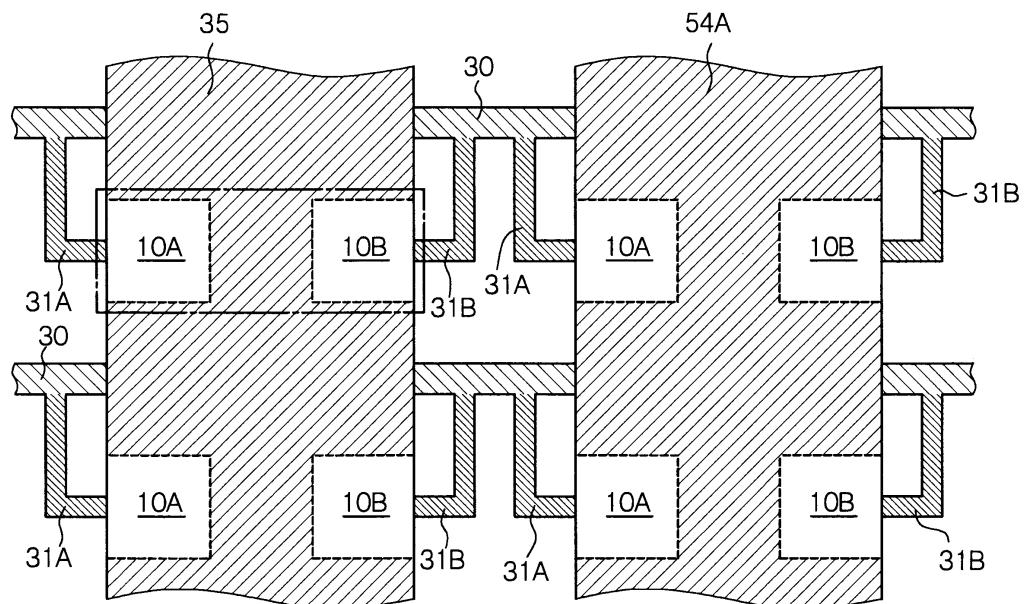
도면10



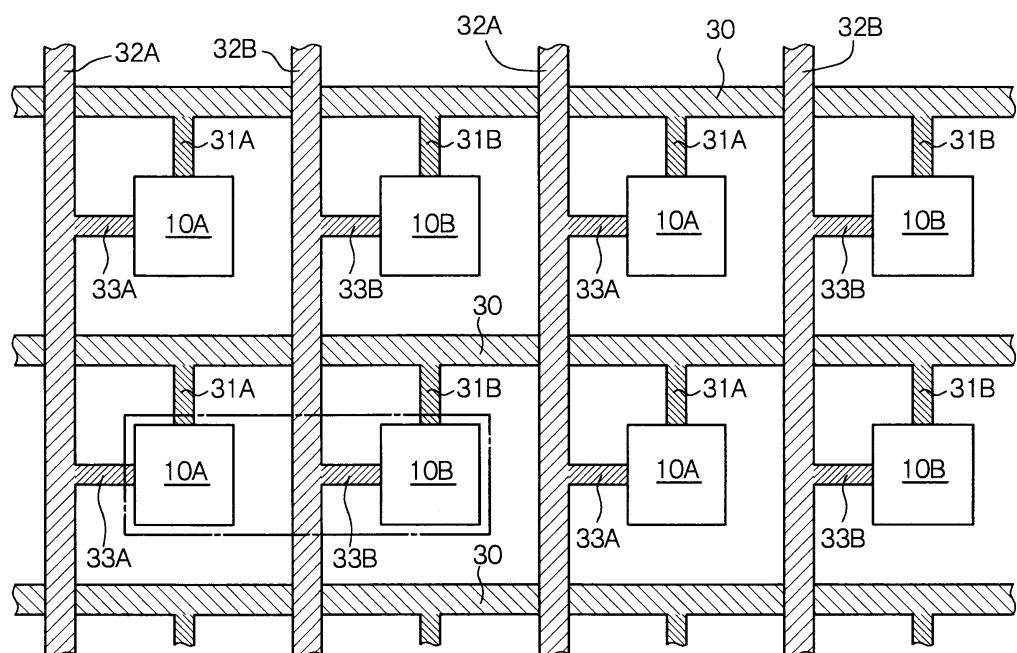
도면11



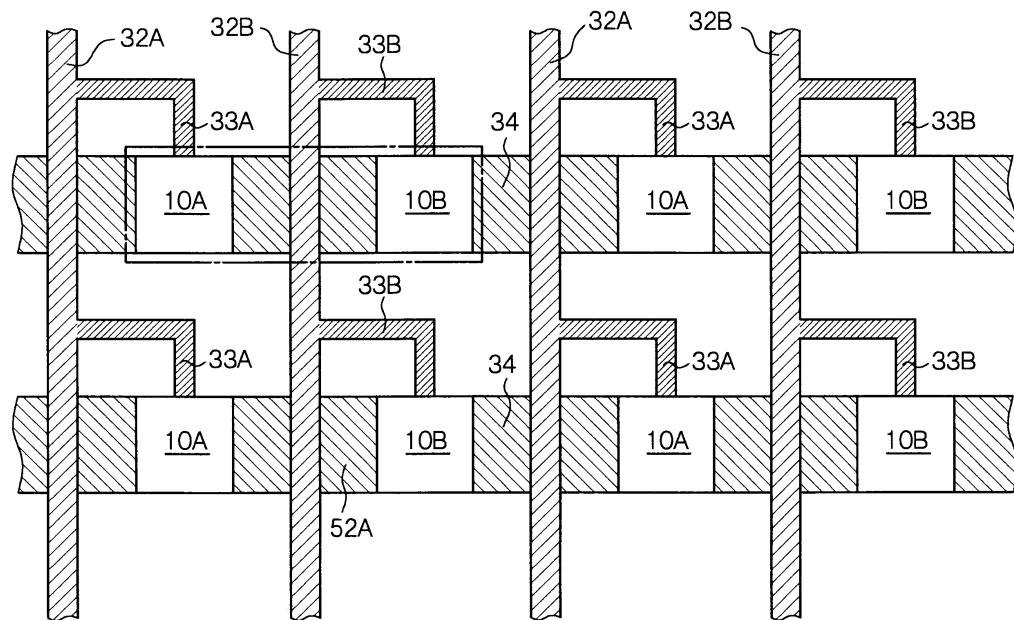
도면12



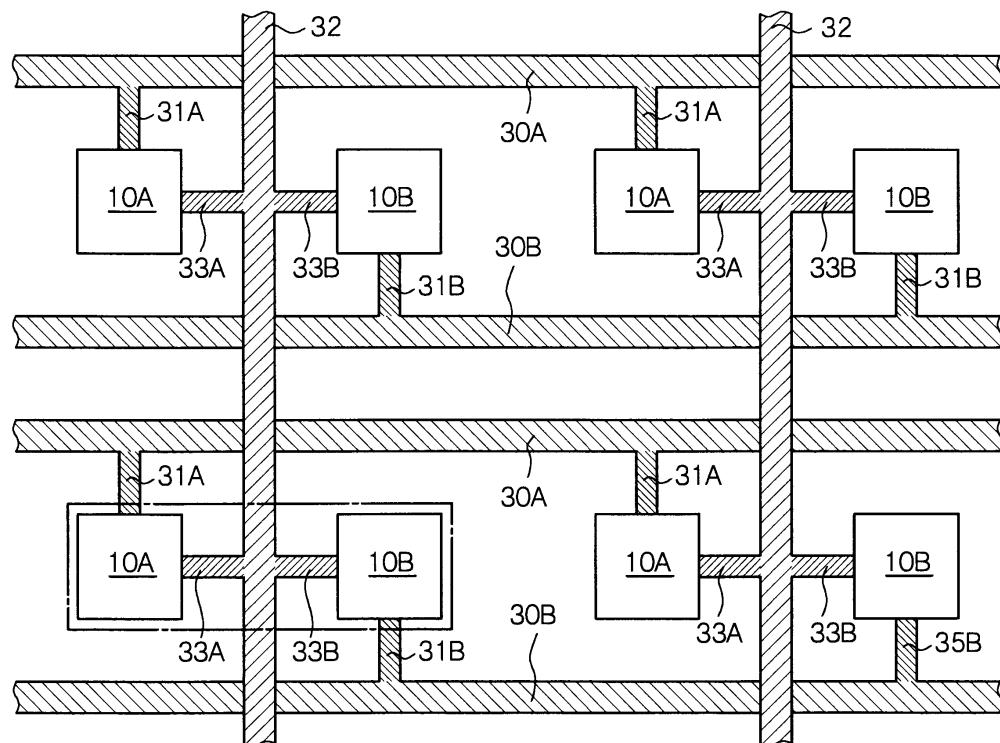
도면13



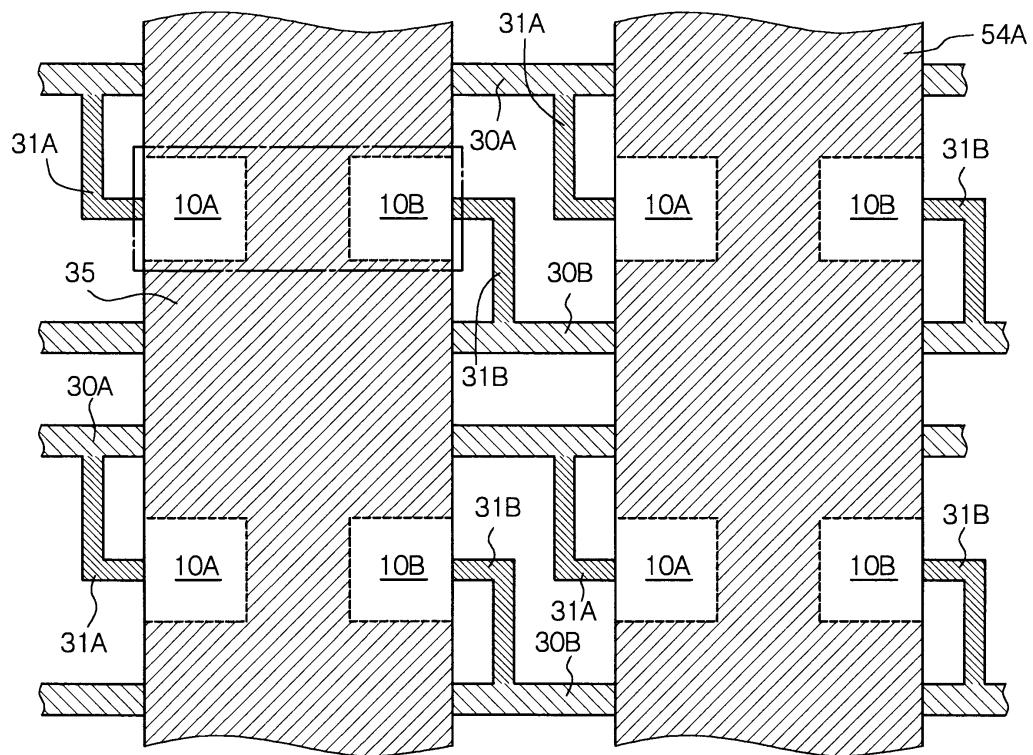
도면14



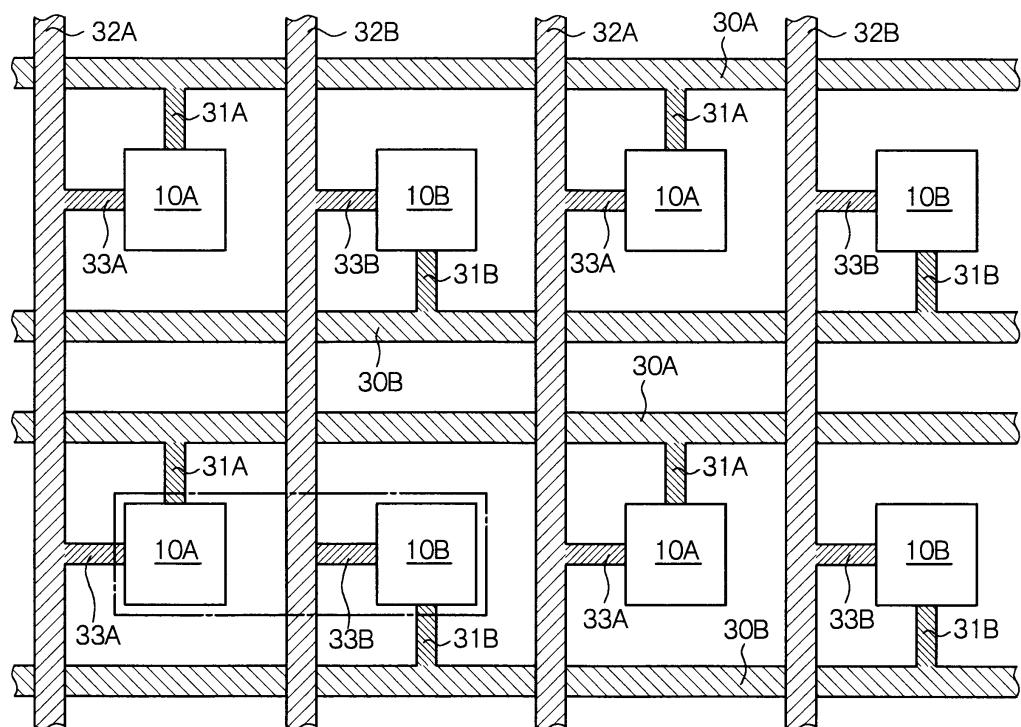
도면15



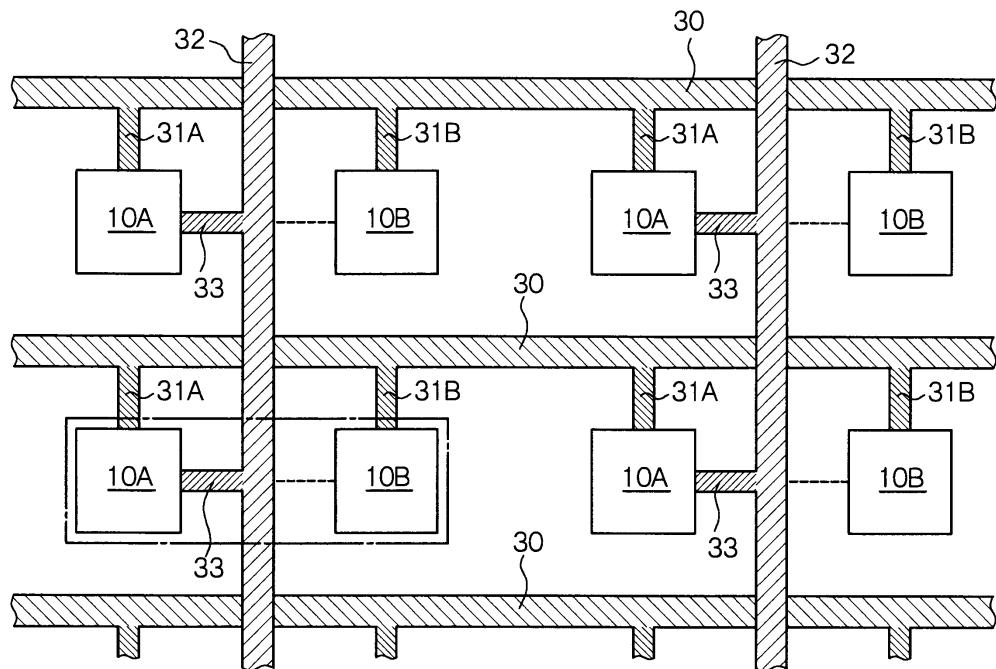
도면16



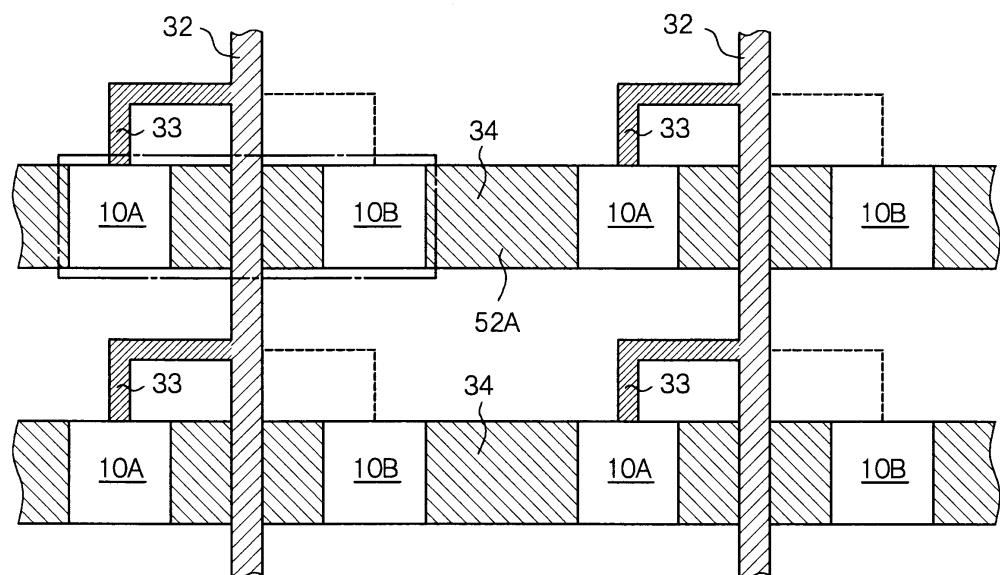
도면17



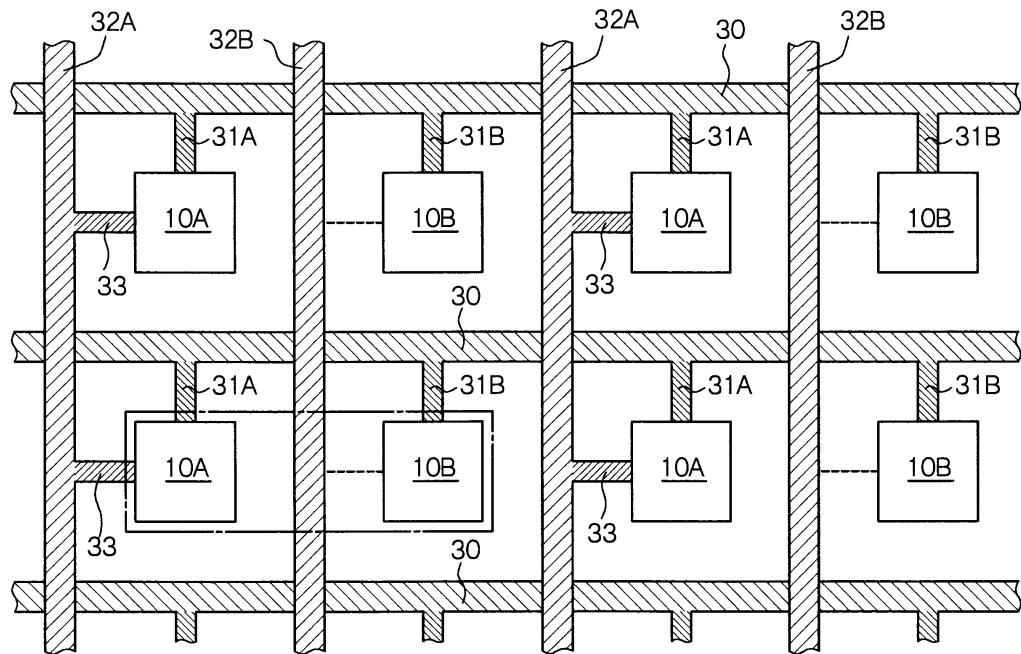
도면18



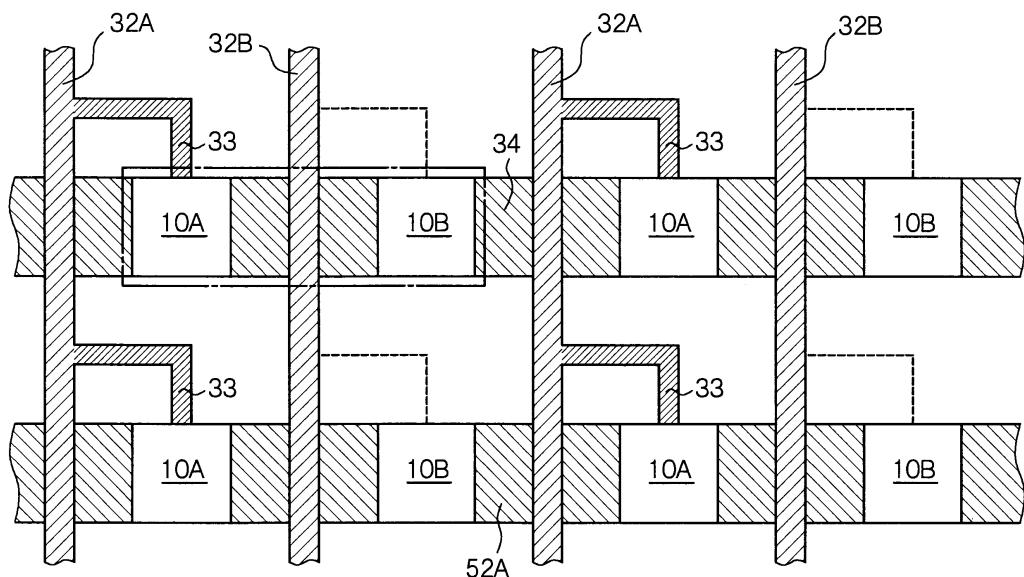
도면19



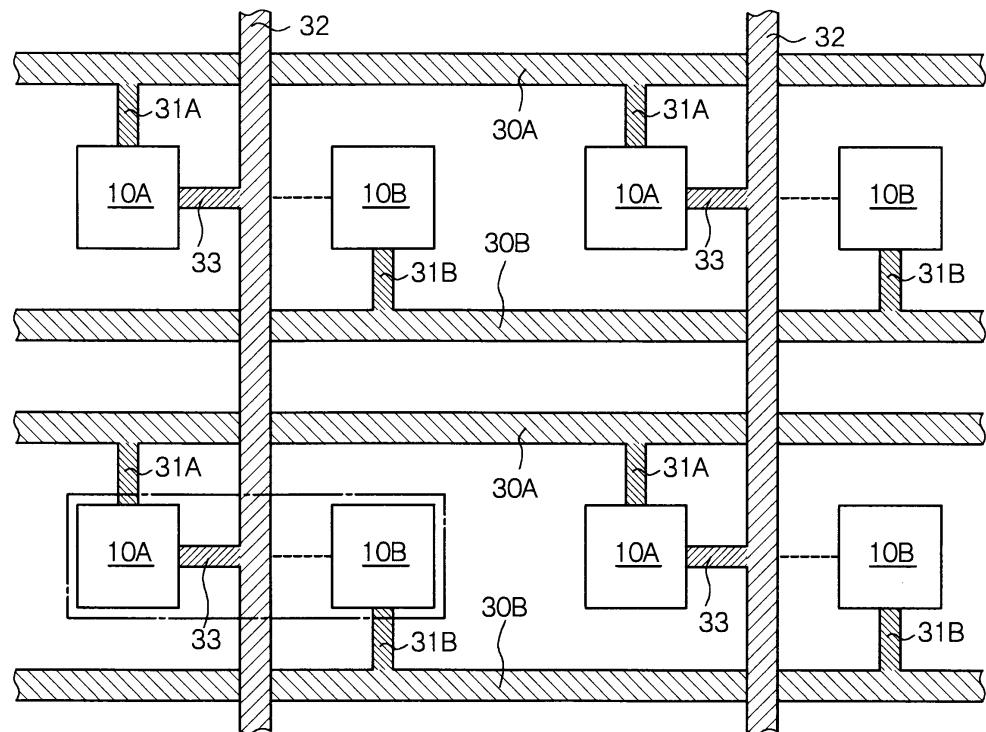
도면20



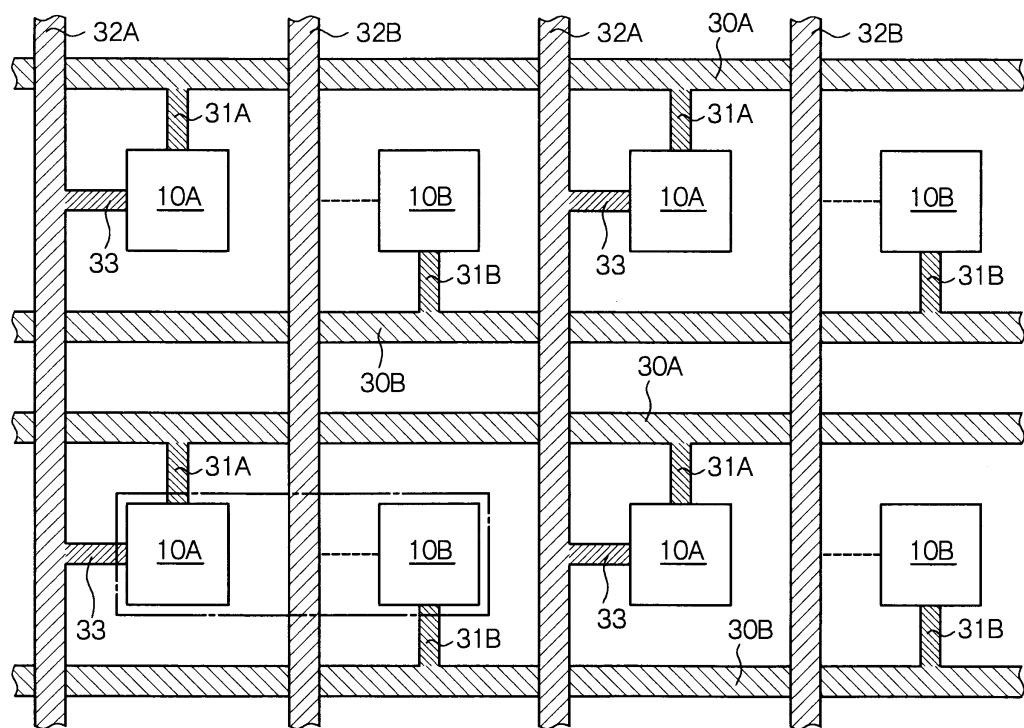
도면21



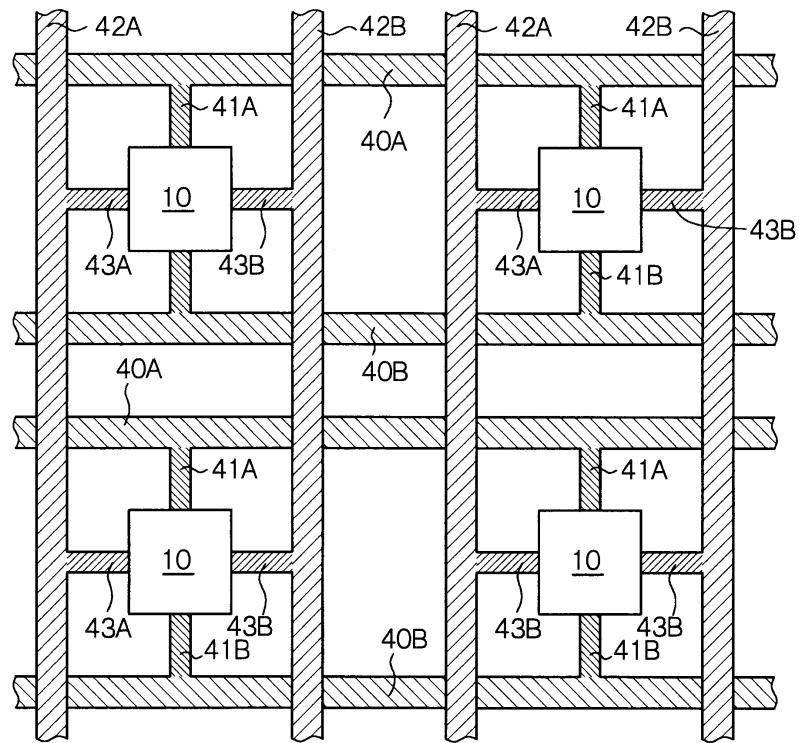
도면22



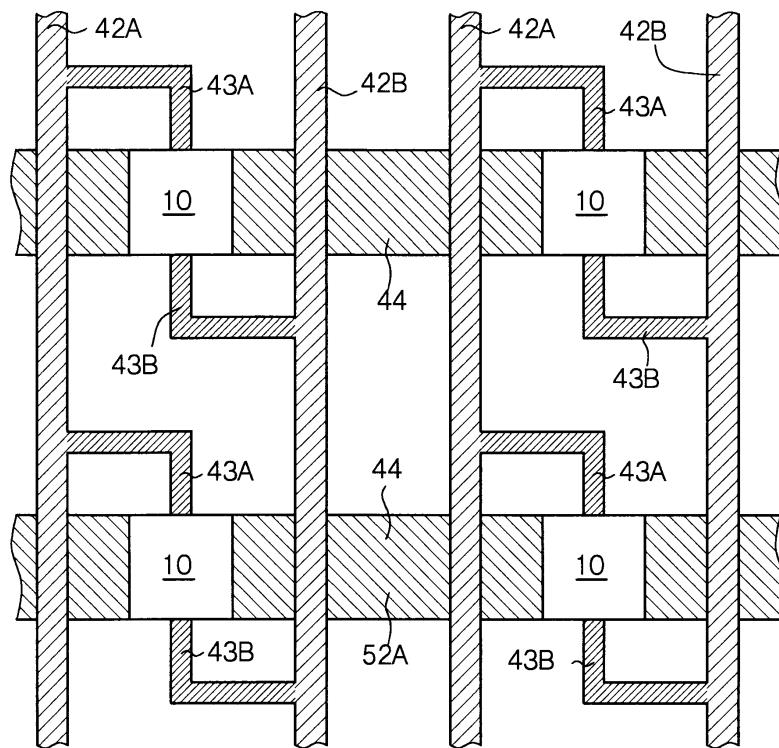
도면23



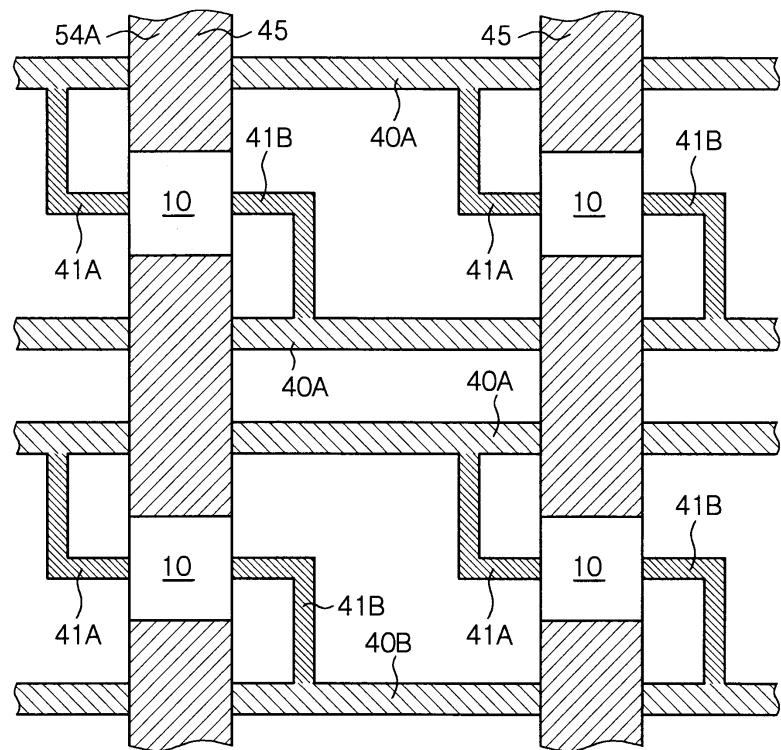
도면24



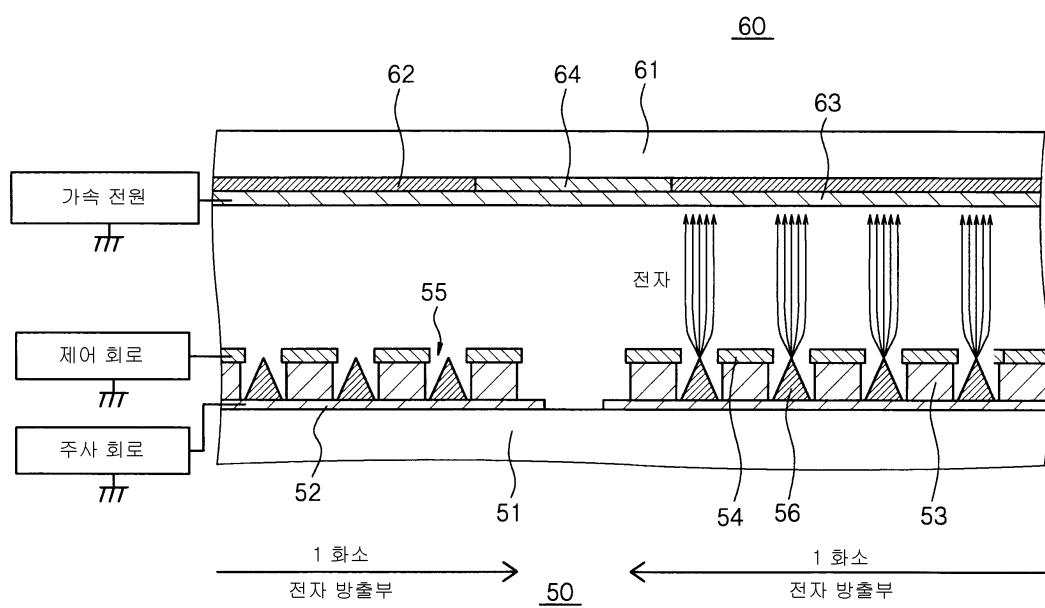
도면25



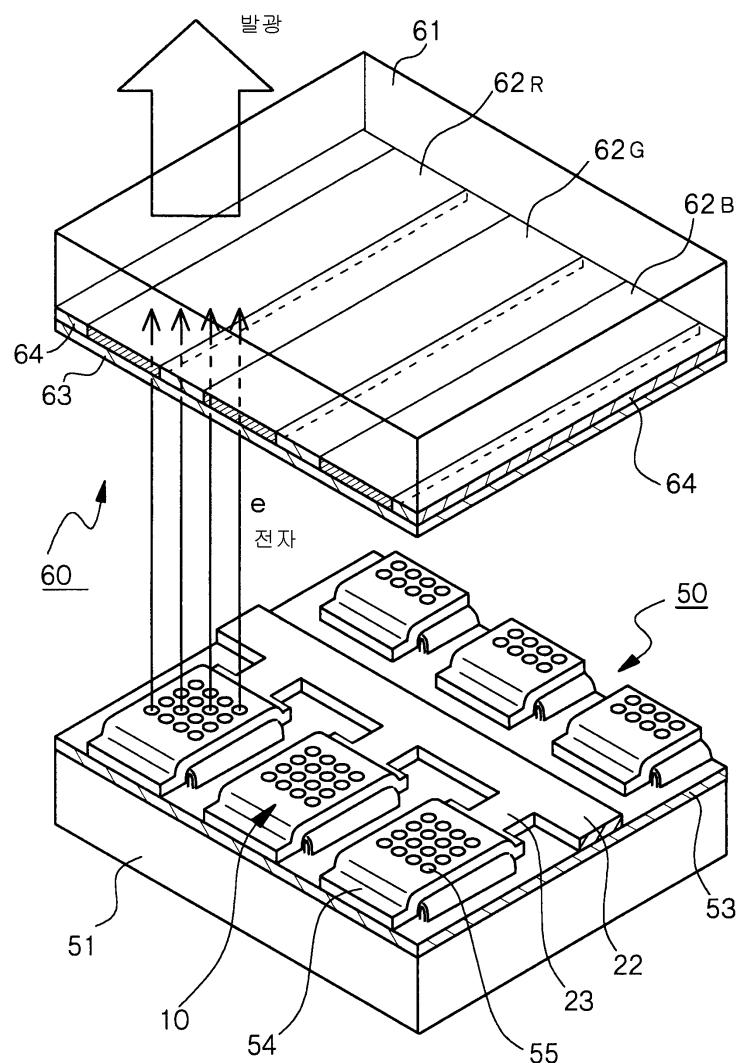
도면26



도면27

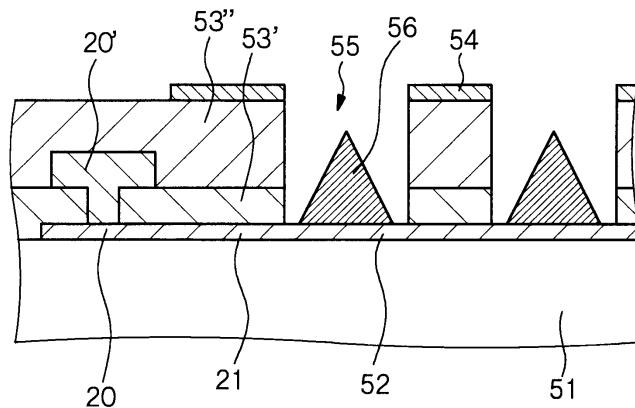


도면28

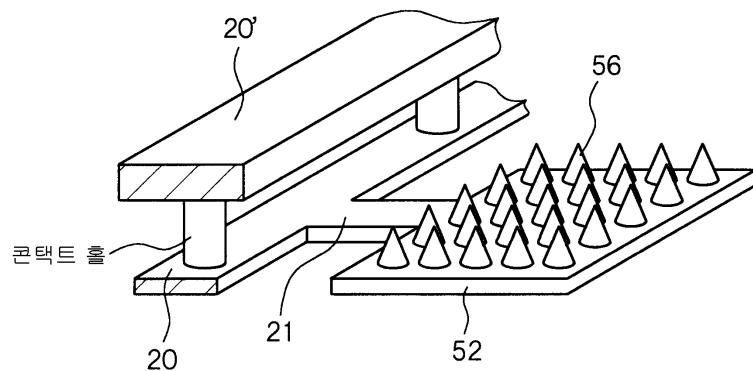


도면29

(A)

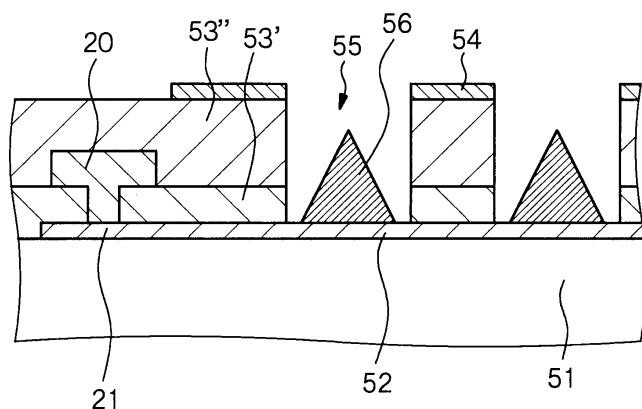


(B)

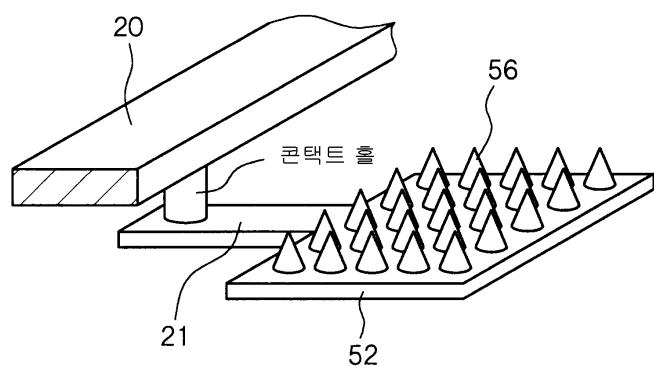


도면30

(A)



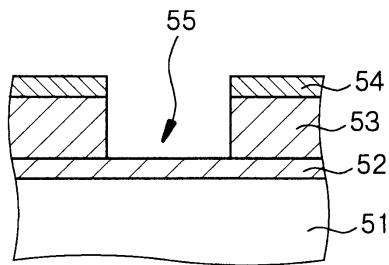
(B)



도면31

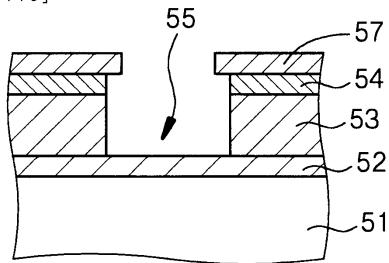
(A)

[공정-100]

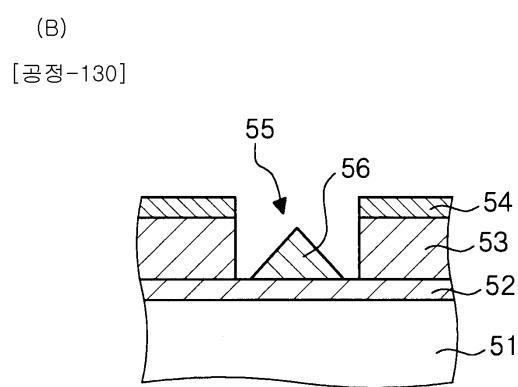
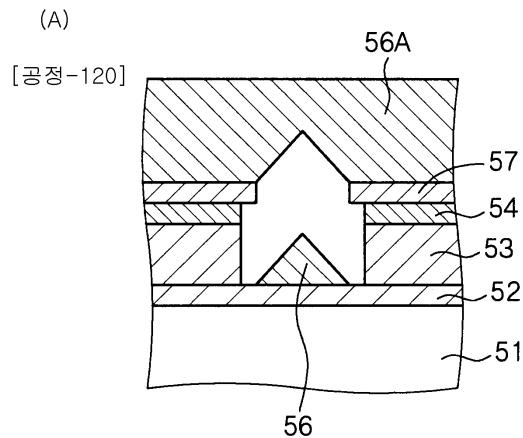


(B)

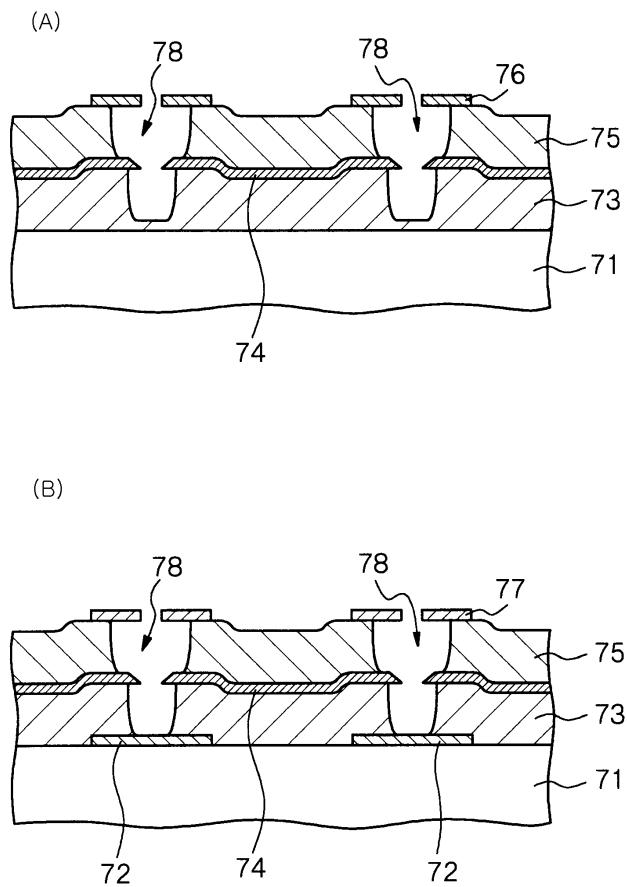
[공정-110]



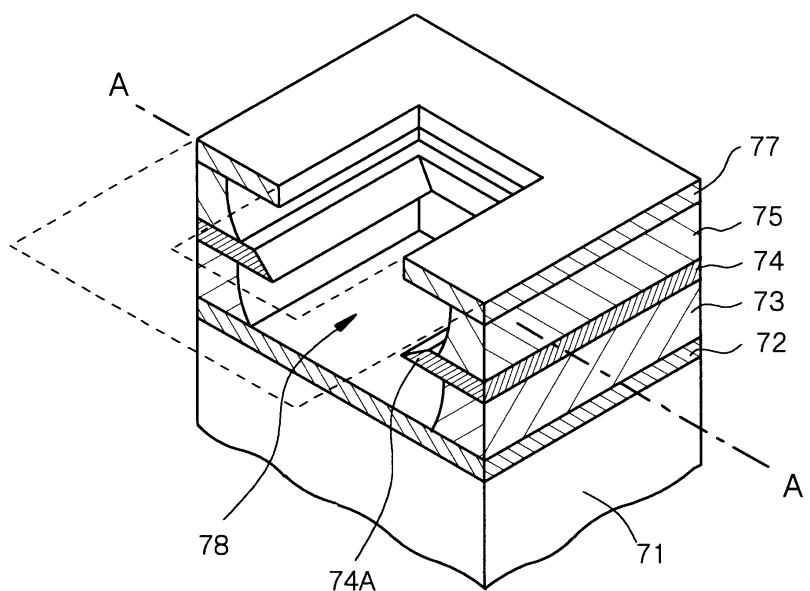
도면32



도면33



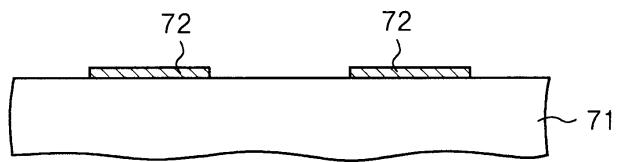
도면34



도면35

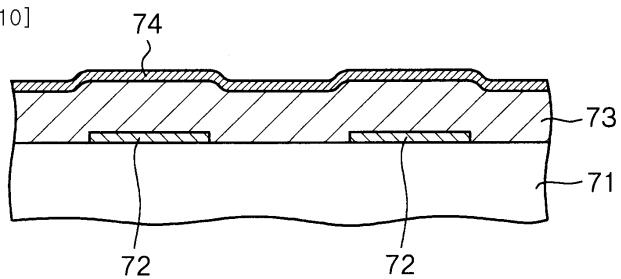
(A)

[공정-200]



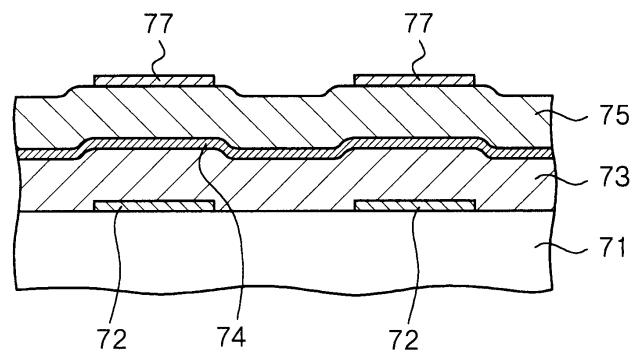
(B)

[공정-210]



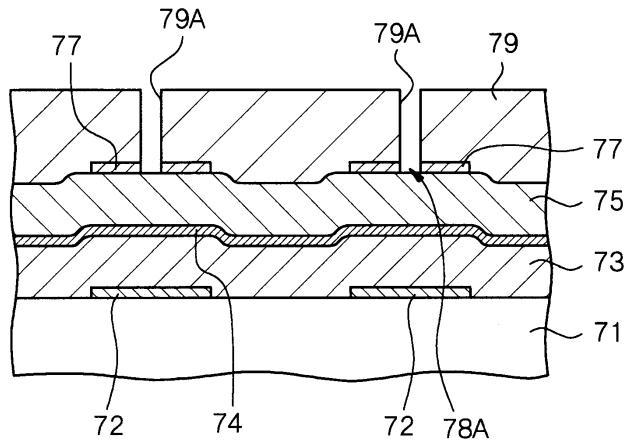
(C)

[공정-220]

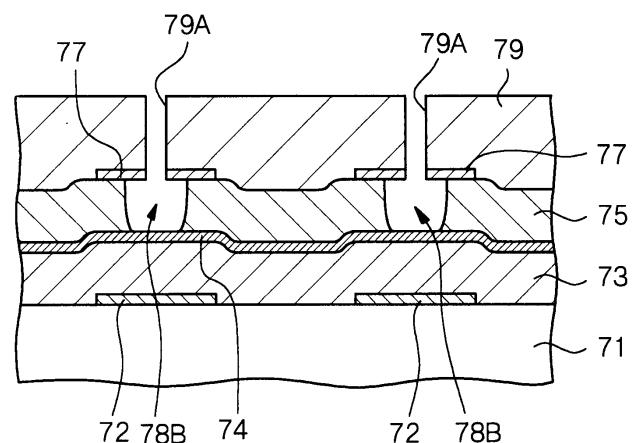


도면36

(A)
[공정-230]

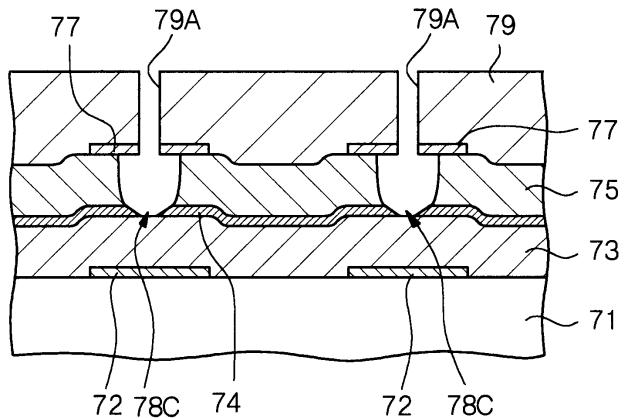


(B)
[공정-240]

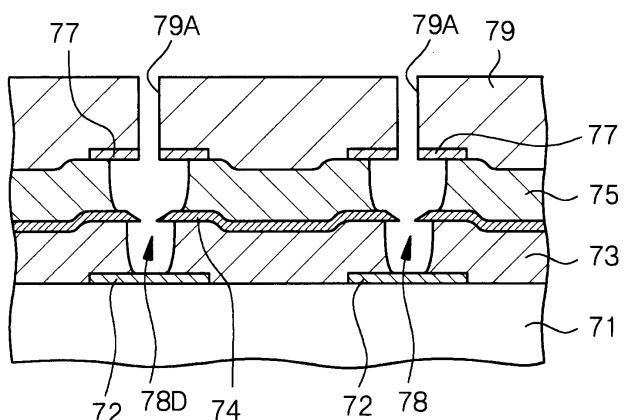


도면37

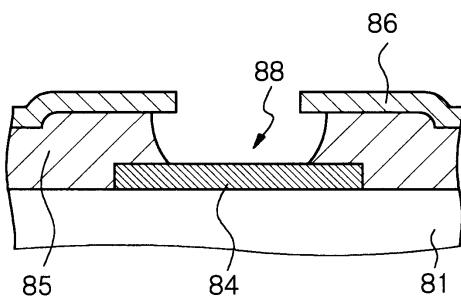
(A)
[공정-250]



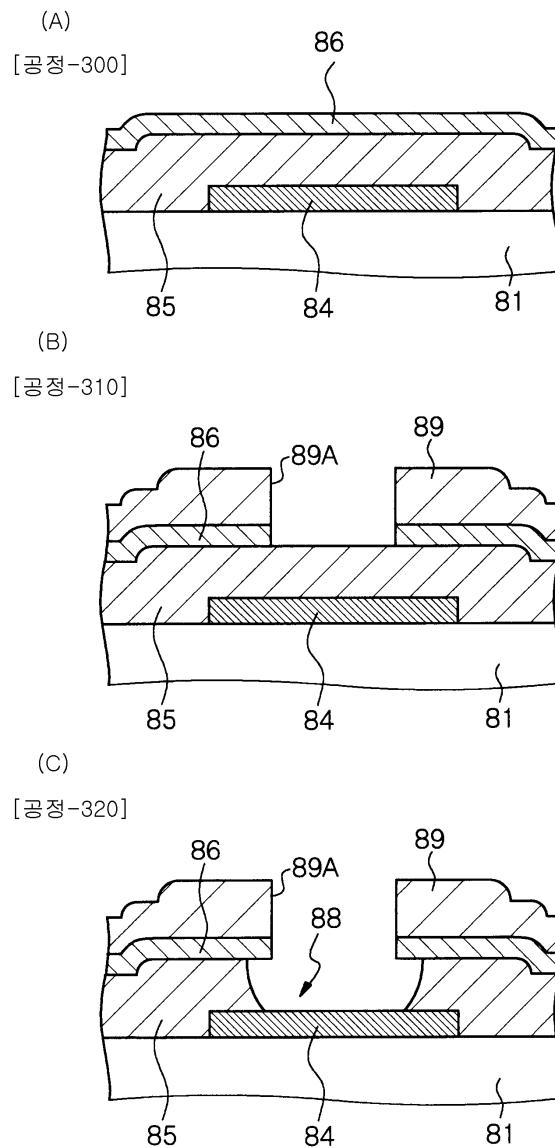
(B)
[공정-260]



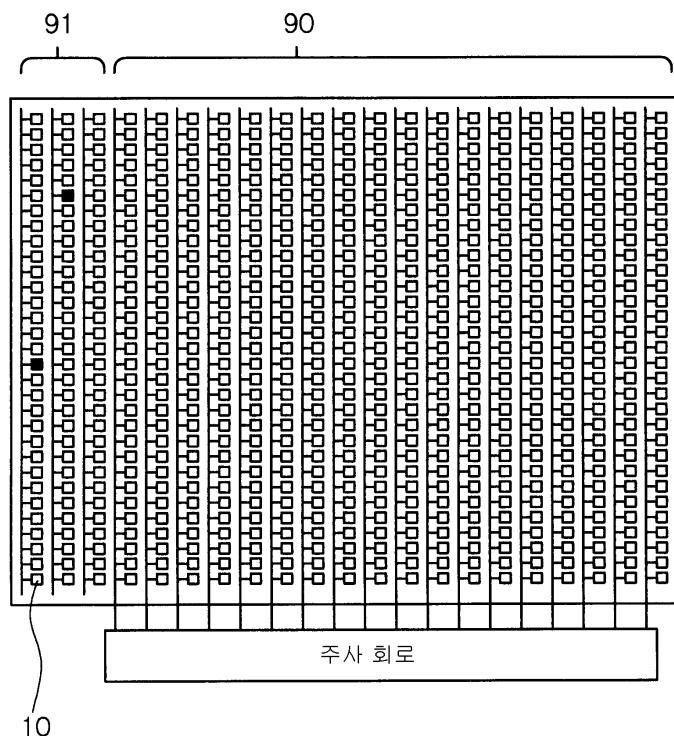
도면38



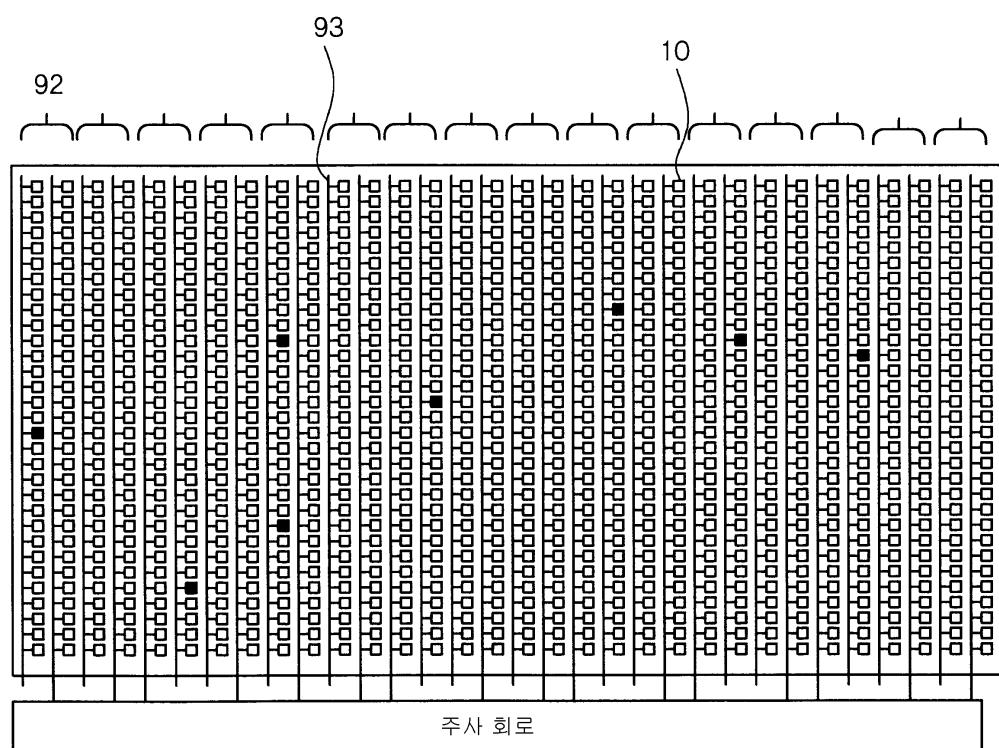
도면39



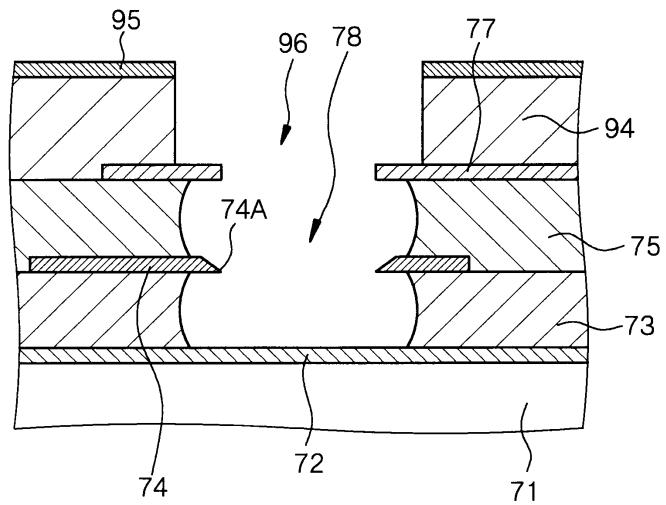
도면40



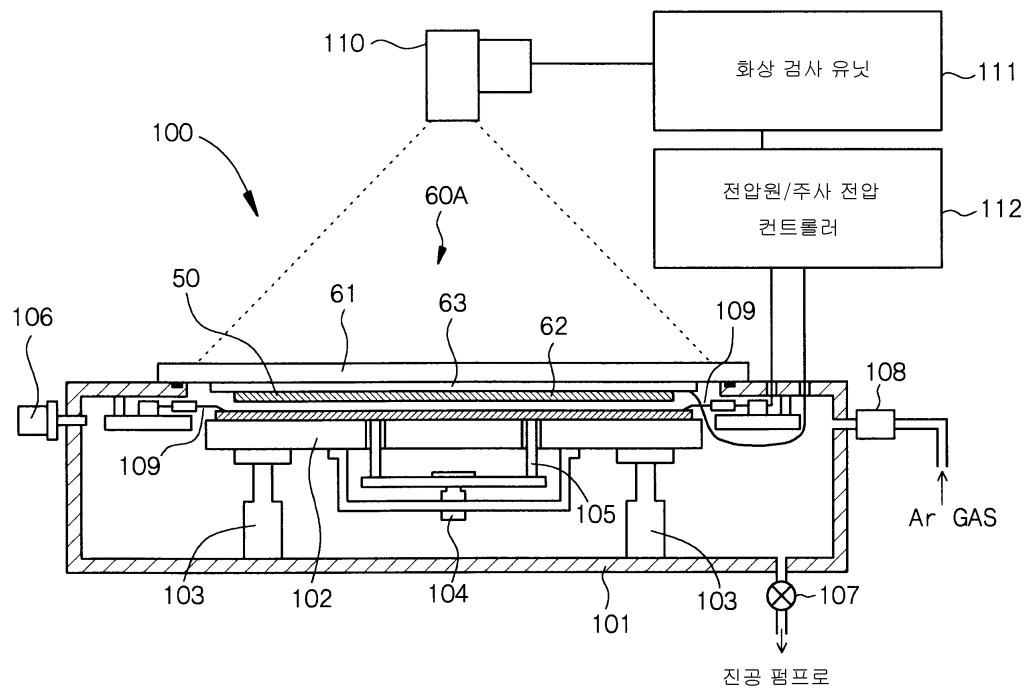
도면41



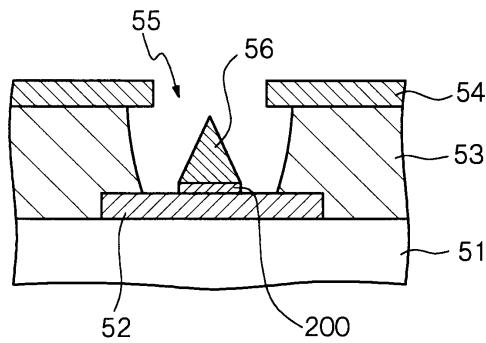
도면42



도면43



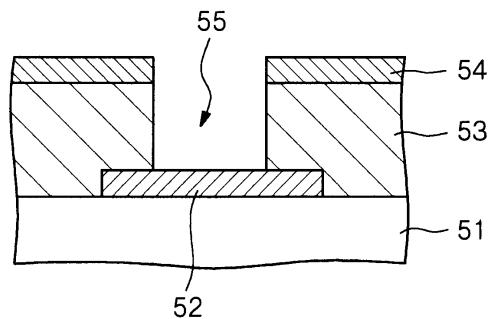
도면44



도면45

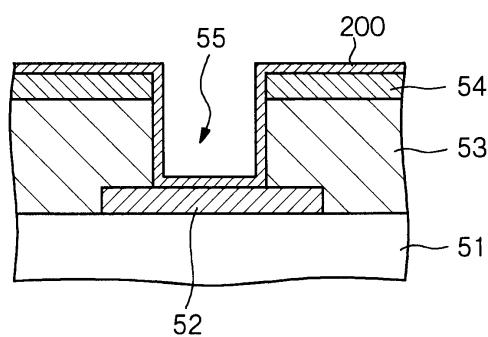
(A)

[공정-410]



(B)

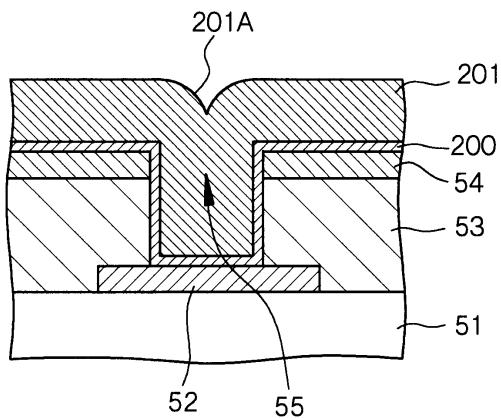
[공정-420]



도면46

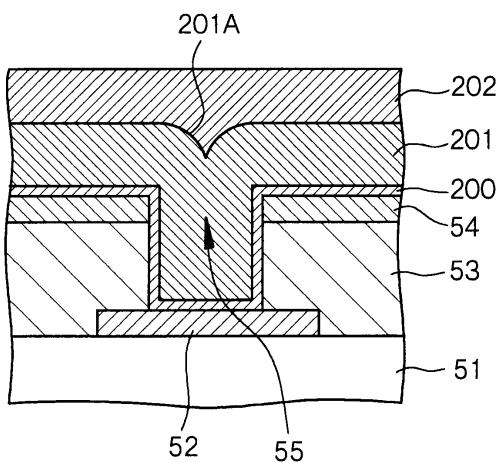
(A)

[공정-430]



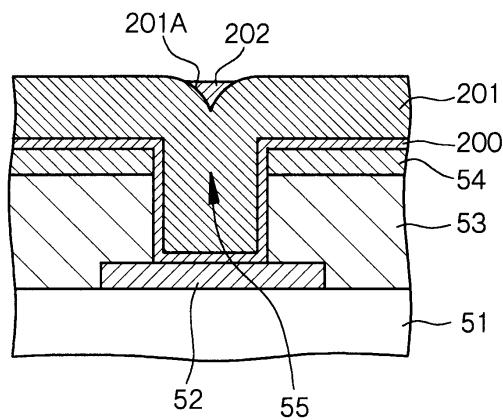
(B)

[공정-440]

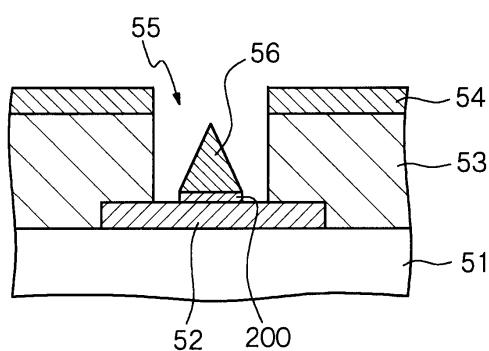


도면47

(A)
[공정-440] 계속

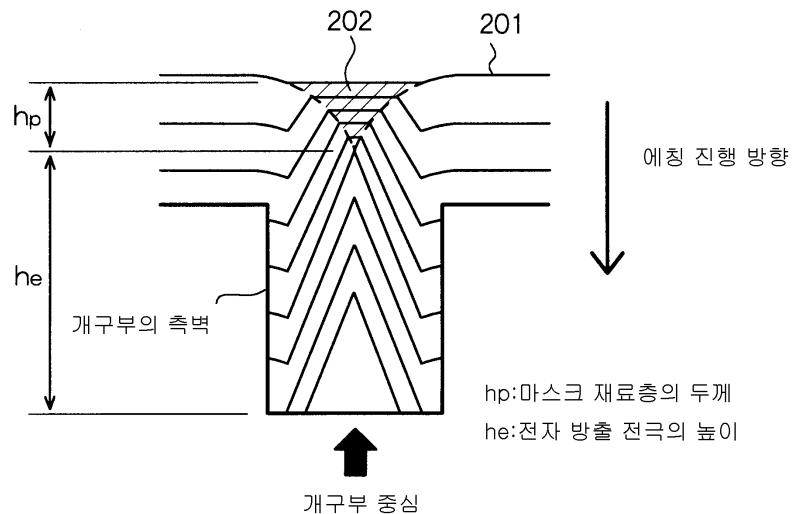


(B)
[공정-450]

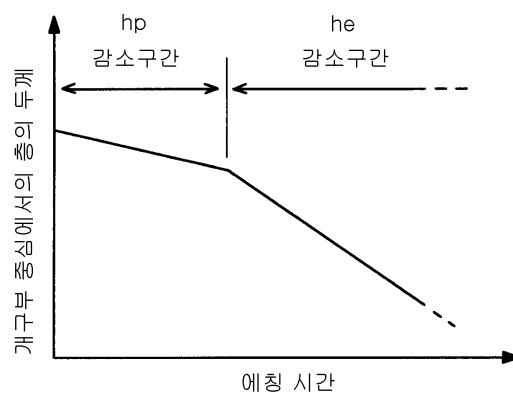


도면48

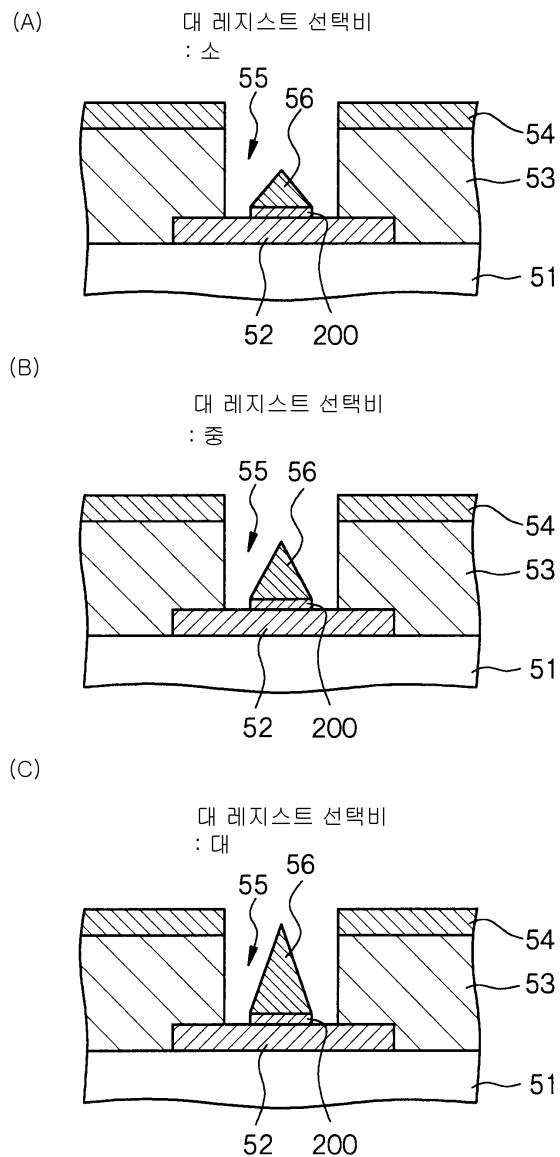
(A)



(B)



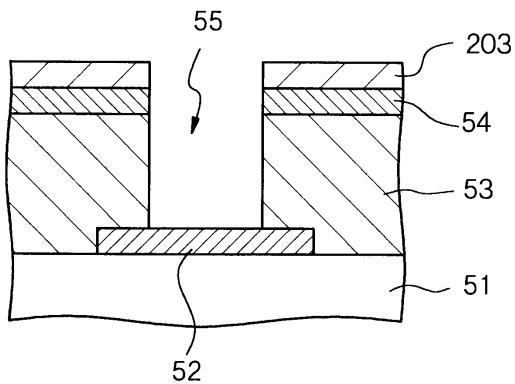
도면49



도면50

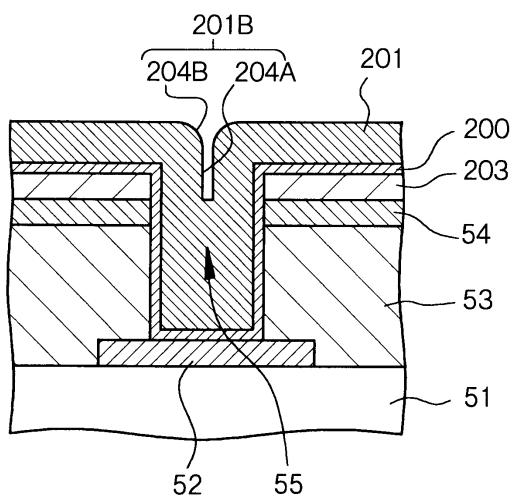
(A)

[공정-510]

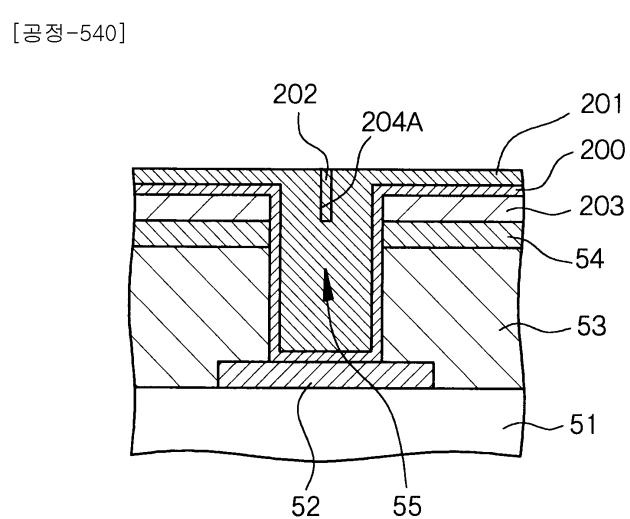
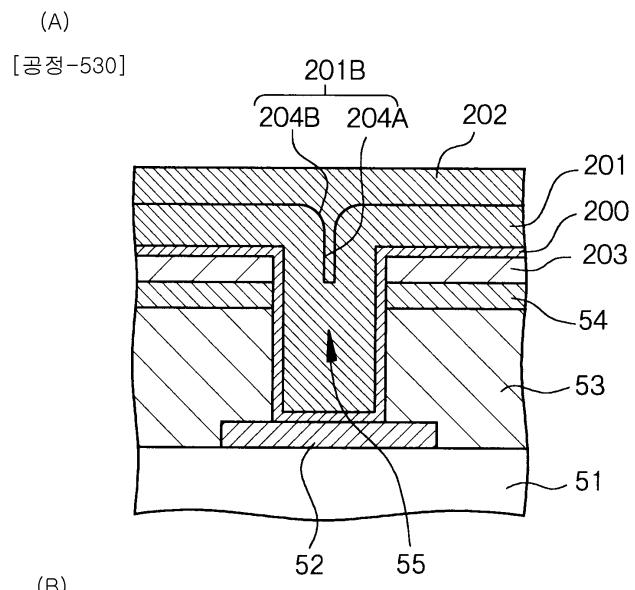


(B)

[공정-520]



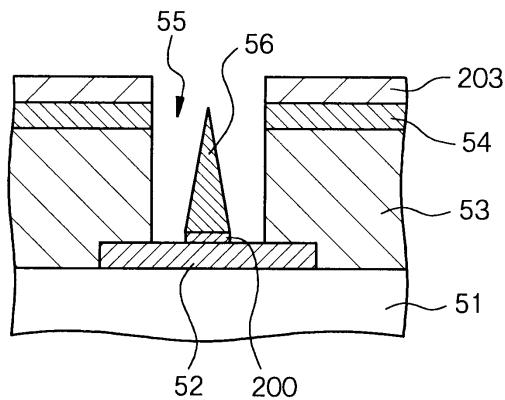
도면51



도면52

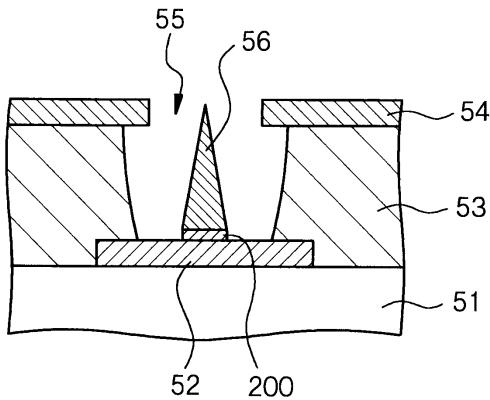
(A)

[공정-550]



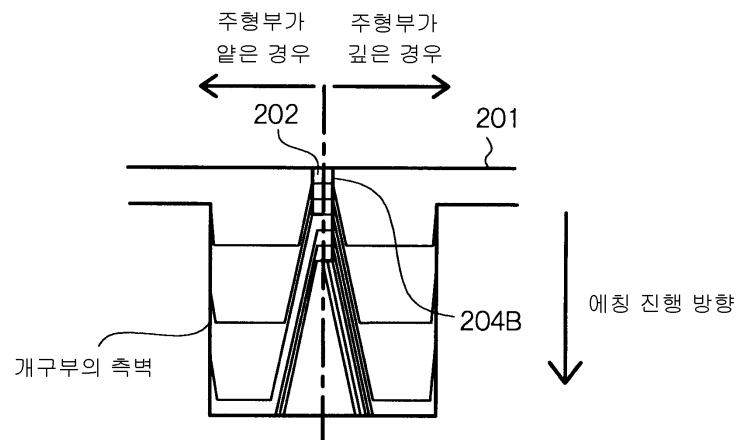
(B)

[공정-560]

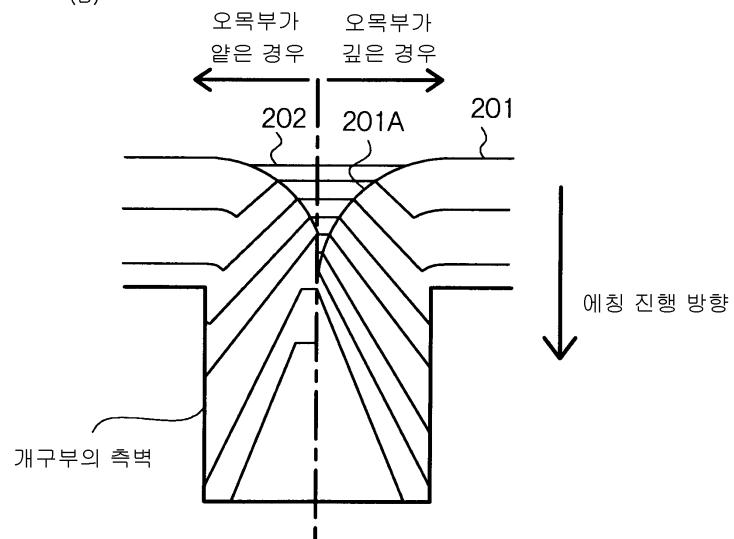


도면53

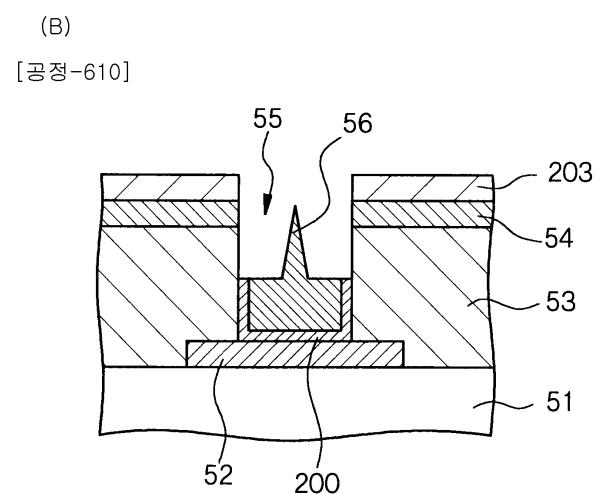
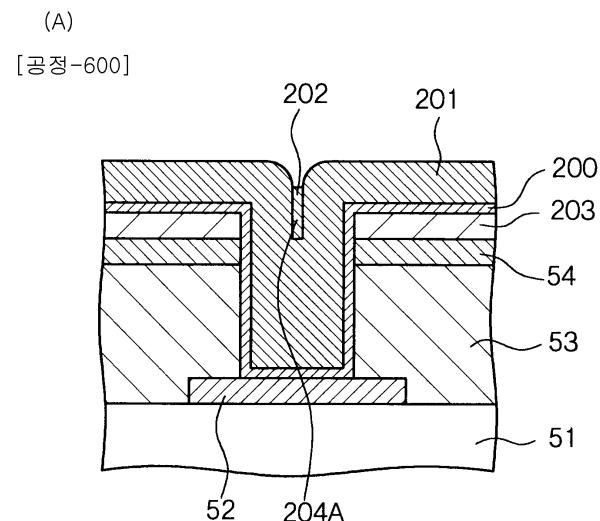
(A)



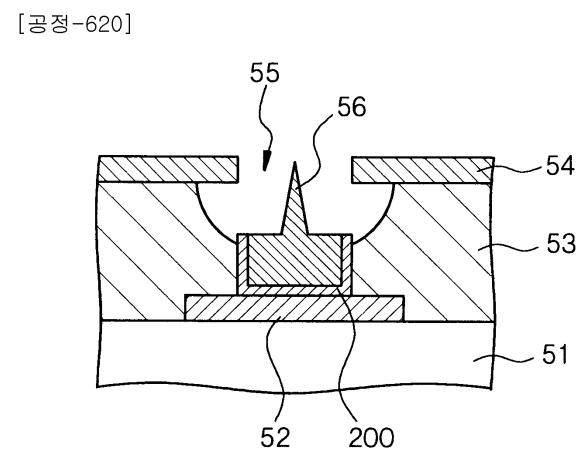
(B)



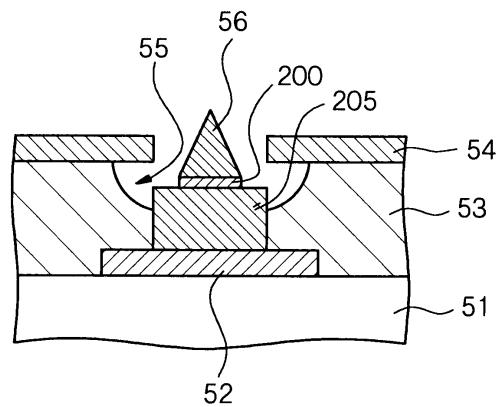
도면54



도면55

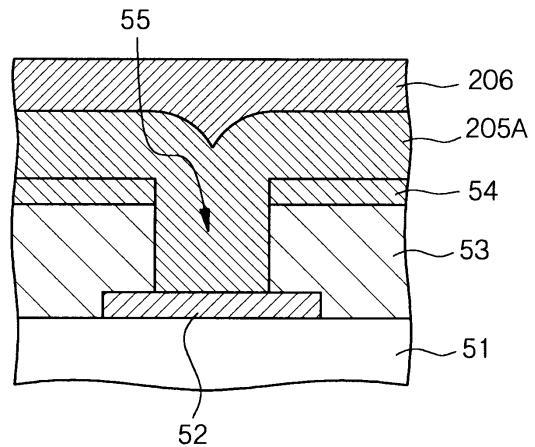


도면56

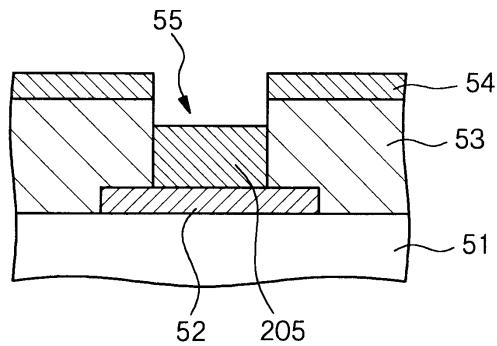


도면57

(A)
[공정-700]



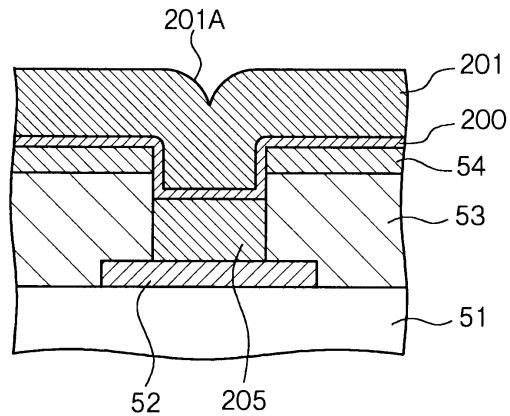
(B)
[공정-700] 계속



도면58

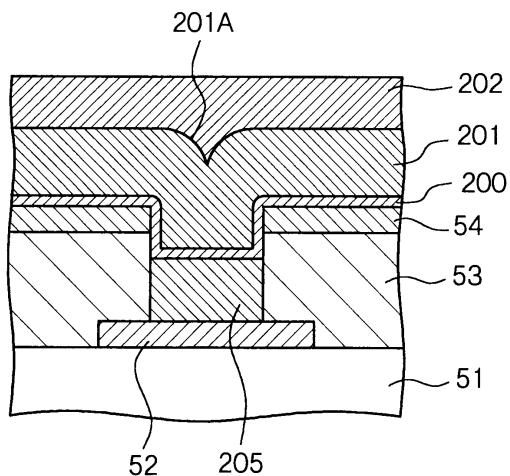
(A)

[공정-710]



(B)

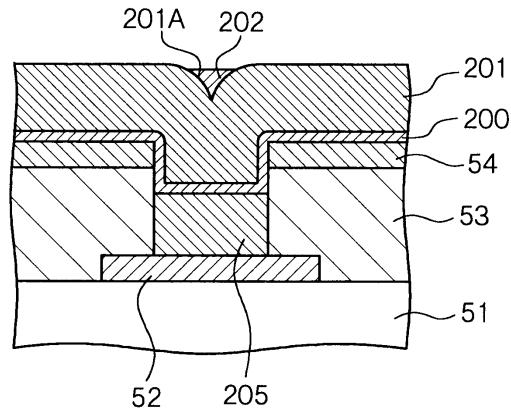
[공정-720]



도면59

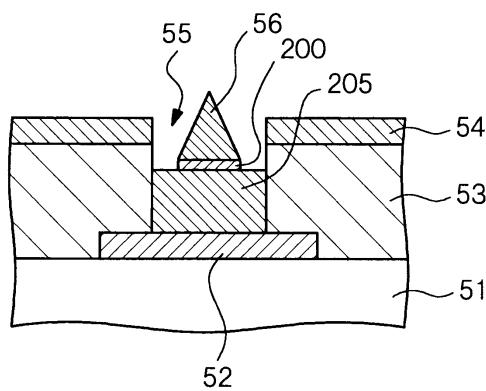
(A)

[공정-720] 계속



(B)

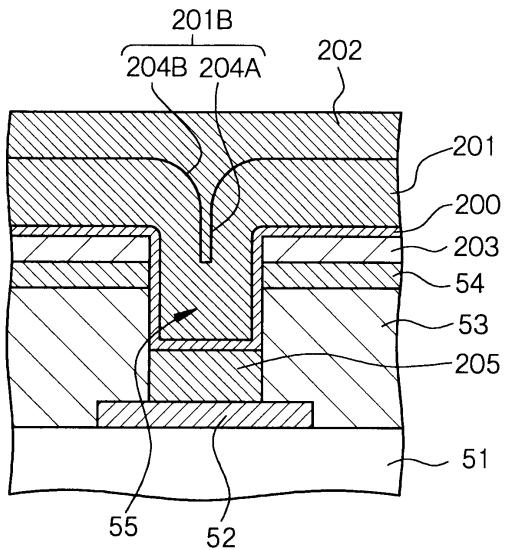
[공정-730]



도면60

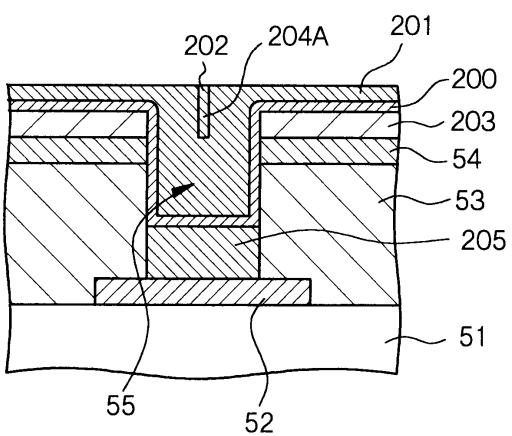
(A)

[공정-800]

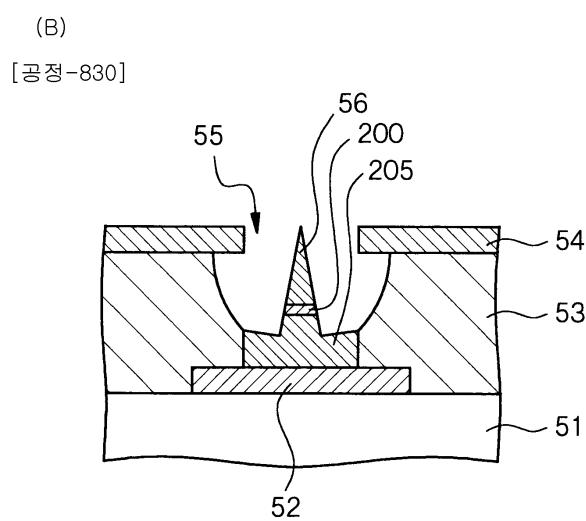
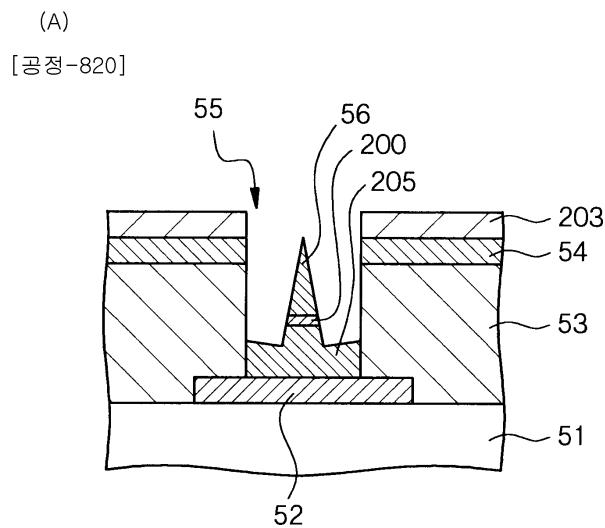


(B)

[공정-810]

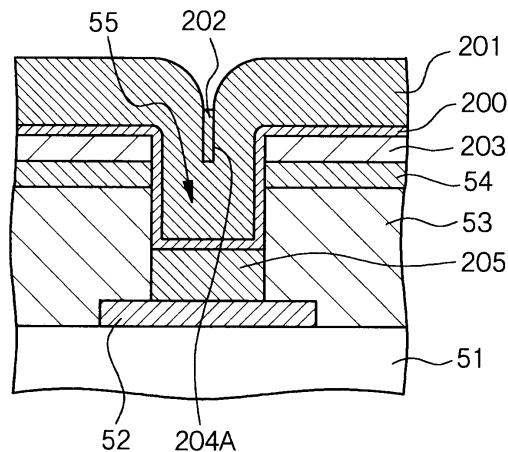


도면61

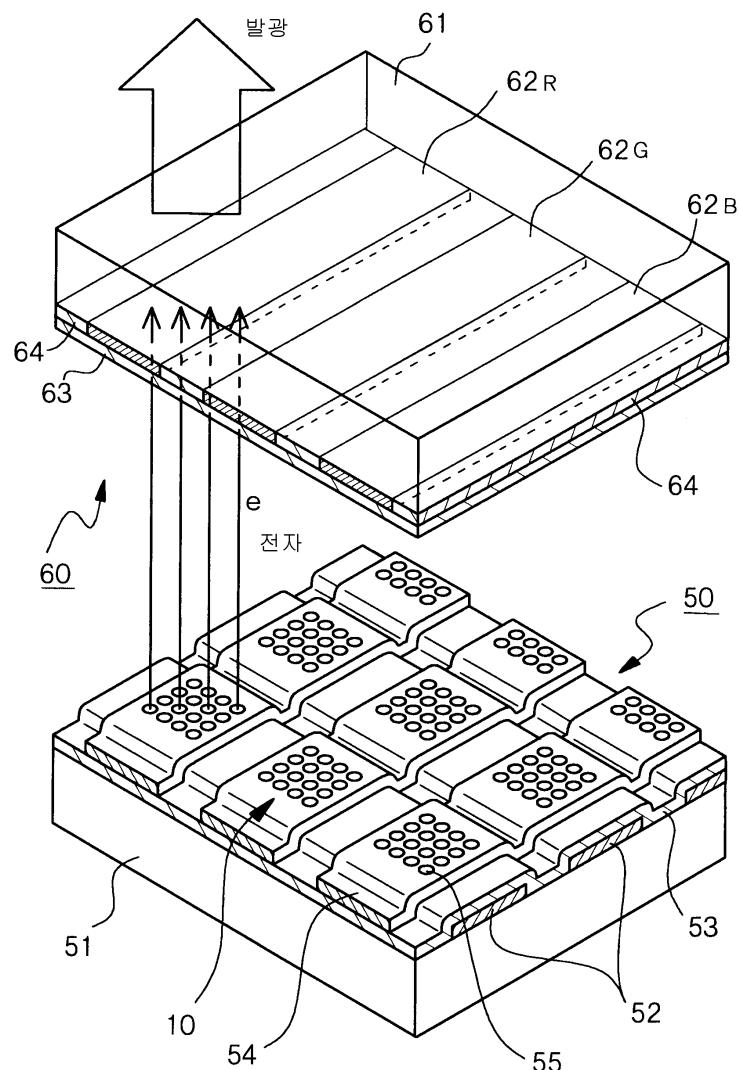


도면62

[공정-900]

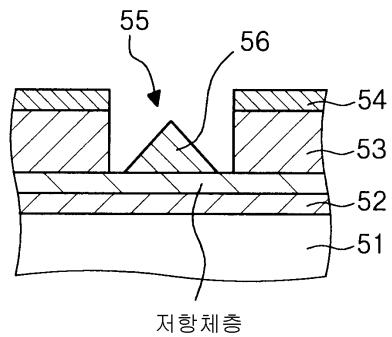


도면63



도면64

(A)



(B)

