(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4288708号
(P4288708)

(45)発行日　平成21年7月1日(2009.7.1)　(24)登録日　平成21年4月10日(2009.4.10)

(51)Int.Cl.		F I		
G11C 11/4093	(2006.01)	G11C	11/34	354Q
G11C 11/407	(2006.01)	G11C	11/34	362S
G11C 11/401	(2006.01)	G11C	11/34	362Z
H03K 17/16	(2006.01)	H03K	17/16	H

請求項の数 8　(全 14 頁)

(21)出願番号	特願平10-530917
(86)(22)出願日	平成9年12月18日(1997.12.18)
(65)公表番号	特表2001-508222(P2001-508222A)
(43)公表日	平成13年6月19日(2001.6.19)
(86)国際出願番号	PCT/US1997/023801
(87)国際公開番号	WO1998/031017
(87)国際公開日	平成10年7月16日(1998.7.16)
審査請求日	平成14年7月3日(2002.7.3)
審判番号	不服2006-5150(P2006-5150/J1)
審判請求日	平成18年3月20日(2006.3.20)
(31)優先権主張番号	08/779,344
(32)優先日	平成9年1月6日(1997.1.6)
(33)優先権主張国	米国(US)

(73)特許権者　595168543
マイクロン　テクノロジー，　インク．
アメリカ合衆国，アイダホ州　８３７１６－９６３２，　ボイズ，　サウス　フェデラル　ウェイ　８０００
(74)代理人　100106851
弁理士　野村　泰久
(74)代理人　100074099
弁理士　大菅　義之
(72)発明者　キース，ブレント
アメリカ合衆国　アイダホ　８３７０４，ボイス，エヌ．ソーグラス　プレイス　３８４９

最終頁に続く

(54)【発明の名称】調整可能出力ドライバ回路

(57)【特許請求の範囲】

【請求項１】

出力ノードを電源電圧V_{DD}に電気的に結合する第１の複数の出力トランジスタであって、前記第１の複数の出力トランジスタのそれぞれが制御端子を有する、第１の複数の出力トランジスタと、

前記第１の複数の出力トランジスタの中の各出力トランジスタの制御端子に結合された制御回路であって、前記制御回路によって受け取られた第１の入力信号における遷移に応答して、前記第１の複数の出力トランジスタの中の出力トランジスタを順次的にオンあるいはオフにする制御回路とを備え、

前記制御回路は、

前記第１の複数の出力トランジスタのうちの１つの制御端子に結合された出力を有する第１のインバータと、

前記第１のインバータの入力に結合された出力を有する第２のインバータと、

前記第２のインバータの出力と基準電圧との間に接続されたキャパシタと、

前記第１および第２のインバータに結合された変換回路であって、前記第２のインバータの入力および前記第１のインバータの出力が高論理状態から低論理状態へ遷移する場合、前記第２のインバータの出力を強制的に、高論理状態に対応する前記電源電圧V_{DD}にし、一方、前記第２のインバータの入力および前記第１のインバータの出力が低論理状態から高論理状態へ遷移する場合、前記第２のインバータの出力を強制的に、低論理状態に対応する接地電圧V_{SS}にする変換回路と

を含み、
前記電源電圧V_{DD}への前記出力ノードの電気的な結合において、前記第１の複数の出力トランジスタに前記電源電圧V_{DD}を電気的に結合する第１のインピーダンスが存在し、
前記出力ノードは、出力電圧を有し、かつ、終端インピーダンスに電気的に結合されており、
前記第１のインピーダンスは、前記終端インピーダンスと共に抵抗分割器を形成し、
前記出力ノードの出力電圧は、前記第１のインピーダンスと前記終端インピーダンスと前記第１の複数の出力トランジスタとによって決定される、出力ドライバ回路。
【請求項２】
前記出力ノードを第２のインピーダンスを介して、前記接地電圧V_{SS}に電気的に結合する第２の複数の出力トランジスタをさらに備え、
前記制御回路は、前記制御回路が前記第２の複数の出力トランジスタ中の各出力トランジスタの制御端子に結合されており、前記制御回路によって受け取られた前記第１の入力信号の補数における遷移に応答して、前記第２の複数の出力トランジスタの中の出力トランジスタを順次的にオンあるいはオフにする、請求項１に記載の出力ドライバ回路。
【請求項３】
前記第１の複数の出力トランジスタがＰ型トランジスタを備え、前記第２の複数の出力トランジスタがＮ型トランジスタを備え、
複数のキャパシタとして製造されたＮ型トランジスタであって、前記複数のキャパシタとして製造されたＮ型トランジスタのそれぞれが前記第１の複数の出力トランジスタのうちの１つの制御端子と前記基準電圧との間に接続されている、複数のキャパシタとして製造されたＮ型トランジスタと、
複数のキャパシタとして製造されたＰ型トランジスタであって、前記複数のキャパシタとして製造されたＰ型トランジスタのそれぞれが前記第２の複数の出力トランジスタのうちの１つの制御端子と前記基準電圧との間に接続されている、複数のキャパシタとして製造されたＰ型トランジスタと
をさらに備えた、請求項２に記載の出力ドライバ回路。
【請求項４】
電源電圧V_{DD}を出力ノードに電気的に結合するＰ型の第１の複数の出力トランジスタと、
前記出力ノードを接地電圧V_{SS}に電気的に結合するＮ型の第２の複数の出力トランジスタと、
前記Ｐ型の第１の複数の出力トランジスタおよび前記Ｎ型の第２の複数の出力トランジスタのそれぞれの中の各出力トランジスタの制御端子に結合された制御回路であって、第１のデータ信号および前記第１のデータ信号の相補信号である第２のデータ信号におけるそれぞれの遷移に応答して、前記Ｐ型の第１の複数の出力トランジスタおよび前記Ｎ型の第２の複数の出力トランジスタの中の各出力トランジスタを順次的にオンあるいはオフにする制御回路と、
複数のキャパシタとして製造されたＮ型トランジスタであって、前記複数のキャパシタとして製造されたＮ型トランジスタのそれぞれが前記Ｐ型の第１の複数の出力トランジスタのうちの１つの制御端子と基準電圧との間に接続されている、複数のキャパシタとして製造されたＮ型トランジスタと、
複数のキャパシタとして製造されたＰ型トランジスタであって、前記複数のキャパシタとして製造されたＰ型トランジスタのそれぞれが前記Ｎ型の第２の複数の出力トランジスタのうちの１つの制御端子と前記基準電圧との間に接続されている、複数のキャパシタとして製造されたＰ型トランジスタと
を備え、
前記制御回路は、前記第１のデータ信号および前記第１のデータ信号の相補信号である第２のデータ信号に応答して前記Ｐ型の第１の複数の出力トランジスタおよび前記Ｎ型の第２の複数の出力トランジスタの制御端子においてシーケンス信号を提供するための、それぞれ遅延時間を異にする複数の遅延段を有しており、

前記複数の遅延段の各々は、
前記Ｐ型の第１の複数の出力トランジスタおよび前記Ｎ型の第２の複数の出力トランジスタのうちの１つの制御端子に結合された出力を有する第１のインバータと、
前記第１のインバータの入力に結合された出力を有する第２のインバータと、
前記第２のインバータの出力と基準電圧との間に接続されたキャパシタと、
前記第１および第２のインバータに結合された変換回路とを含み、
前記変換回路は、前記第２のインバータの入力および前記第１のインバータの出力が高論理状態から低論理状態へ遷移する場合、前記第２のインバータの出力を強制的に、高論理状態に対応する前記電源電圧V_{DD}にし、一方、前記第２のインバータの入力および前記第１のインバータの出力が低論理状態から高論理状態へ遷移する場合、前記第２のインバータの出力を強制的に、低論理状態に対応する接地電圧V_{SS}にする前記変換回路であり、
前記出力ノードへの前記電源電圧V_{DD}の電気的な結合において、前記Ｐ型の第１の複数の出力トランジスタに前記電源電圧V_{DD}を電気的に結合する第１のインピーダンスが存在し、
前記接地電圧V_{SS}への前記出力ノードの電気的な結合において、前記Ｎ型の第２の複数の出力トランジスタに前記接地電圧V_{SS}を電気的に結合する第２のインピーダンスが存在し、
前記出力ノードは、出力電圧を有し、かつ、終端インピーダンスに電気的に結合されており、
前記第１のインピーダンスは、前記終端インピーダンスと共に抵抗分割器を形成し、
前記第２のインピーダンスは、前記終端インピーダンスと共に抵抗分割器を形成し、
前記出力ノードの出力電圧は、
（ｉ）前記第１のインピーダンスと前記終端インピーダンスと前記Ｐ型の第１の複数の出力トランジスタ、および
（ｉｉ）前記第２のインピーダンスと前記終端インピーダンスと前記Ｎ型の第２の複数の出力トランジスタによって決定される、集積回路出力ドライバ回路。

【請求項５】
前記第１および第２のインピーダンスのそれぞれが、制御可能なインピーダンスを提供する複数のトランジスタを備えている、請求項４に記載の集積回路出力ドライバ回路。

【請求項６】
前記制御回路が、前記第１のデータ信号に応答して前記Ｐ型の第１の複数の出力トランジスタの中の各出力トランジスタの前記制御端子においてシーケンス信号を提供する直列接続されたインバータのインバータ列を備え、且つ、前記第１のデータ信号の相補信号である第２のデータ信号に応答して前記Ｎ型の第２の複数の出力トランジスタの中の各出力トランジスタの前記制御端子においてシーケンス信号を提供する直列接続されたインバータのインバータ列を備えている、請求項４に記載の集積回路出力ドライバ回路。

【請求項７】
データを格納するメモリセルのアレイと、
前記メモリセルのアレイに電気的に結合された入力ノードを有する出力ドライバ回路であって、前記メモリセルのアレイから受け取ったデータに応答して出力ノードに出力信号を提供するよう構成された出力ドライバ回路と
を備えた同期メモリ装置であって、
前記出力ドライバ回路は、
電源電圧V_{DD}を前記出力ノードに電気的に結合する第１の複数の出力トランジスタと、
前記出力ノードを接地電圧V_{SS}に電気的に結合する第２の複数の出力トランジスタと、
前記第１および第２の複数の出力トランジスタのそれぞれの中の各出力トランジスタの制御端子に結合された制御回路であって、第１のデータ信号および前記第１のデータ信号の相補信号である第２のデータ信号におけるそれぞれの遷移に応答して、前記第１および第２の複数の出力トランジスタの中の出力トランジスタを順次的にオンあるいはオフにする制御回路と、

前記第１および第２の複数の出力トランジスタのそれぞれの中の各出力トランジスタの制御端子における出力負荷を整合する整合回路と
を備え、
前記制御回路は、
前記第１の複数の出力トランジスタのうちの１つの制御端子に結合された出力を有する第１のインバータと、
前記第１のインバータの入力に結合された出力を有する第２のインバータと、
前記第２のインバータの出力と基準電圧との間に接続されたキャパシタと、
前記第１および第２のインバータに結合された変換回路であって、前記第２のインバータの入力および前記第１のインバータの出力が高論理状態から低論理状態へ遷移する場合、前記第２のインバータの出力を強制的に、高論理状態に対応する前記電源電圧V_{DD}にし、一方、前記第２のインバータの入力および前記第１のインバータの出力が低論理状態から高論理状態へ遷移する場合、前記第２のインバータの出力を強制的に、低論理状態に対応する前記接地電圧V_{SS}にする変換回路と
を含み、
前記出力ノードへの前記電源電圧V_{DD}の電気的な結合において、前記第１の複数の出力トランジスタに前記電源電圧V_{DD}を電気的に結合する第１のインピーダンスが存在し、
前記接地電圧V_{SS}への前記出力ノードの電気的な結合において、前記第２の複数の出力トランジスタに前記接地電圧V_{SS}を電気的に結合する第２のインピーダンスが存在し、
前記出力ノードは、出力電圧を有し、かつ、終端インピーダンスに電気的に結合されており、
前記第１のインピーダンスは、前記終端インピーダンスと共に抵抗分割器を形成し、
前記第２のインピーダンスは、前記終端インピーダンスと共に抵抗分割器を形成し、
前記出力ノードの出力電圧は、
（ｉ）前記第１のインピーダンスと前記終端インピーダンスと前記第１の複数の出力トランジスタ、および
（ｉｉ）前記第２のインピーダンスと前記終端インピーダンスと前記第２の複数の出力トランジスタによって決定される、同期メモリ装置。

【請求項８】

前記第１の複数の出力トランジスタがＰ型トランジスタとして製造されており、前記第２の複数の出力トランジスタがＮ型トランジスタとして製造されており、
前記整合回路は、
第１の複数の平衡キャパシタであって、前記第１の複数の平衡キャパシタのそれぞれが前記第１の複数の出力トランジスタの制御端子に結合されており、前記第１の複数の平衡キャパシタは、キャパシタとして製造されたＮ型トランジスタである、第１の複数の平衡キャパシタと、
第２の複数の平衡キャパシタであって、前記第２の複数の平衡キャパシタのそれぞれが前記第２の複数の出力トランジスタの制御端子に結合されており、前記第２の複数の平衡キャパシタは、キャパシタとして製造されたＰ型トランジスタである、第２の複数の平衡キャパシタと
を備えている、請求項７に記載の同期メモリ装置。

【発明の詳細な説明】

発明の技術分野

本発明は、概して集積回路に関し、特に、高速データ転送のためのデータ出力ドライバに関する。

発明の背景

集積回路は、典型的には、追加の回路機構と通信するために使用される多数の入出力ピンを備える。例えば、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）等の集積メモリデバイスには、メモリ動作制御信号を受け取るための制御入力と、外部のシステムまたはプロセッサとの双方向データ通信のためのデータピンとの両方が含まれる。

現代の集積回路のデータ転送速度は、主に、内部回路機構の動作速度によって制限される。通信ネットワークは、典型的には、ある集積回路の能力より速い速度で、回路機構間で信号を転送する。より高速な回路に対する要求に取り組むために、集積回路の１群が共通バス上で組み合わせられ得る。この構成では、高速で転送されるデータを共有するために、各集積回路が他の集積回路と協調的に動作する。例えば、ＤＲＡＭ、スタティックＲＡＭ、または読み出し専用メモリ（ＲＯＭ）等のメモリデバイスの１群が、共通データバスに接続され得る。バスのデータ速度は、個々のメモリの実現可能な動作速度より実質的に高速であり得る。従って、各メモリは、１つのメモリが受け取ったデータを処理する間に、別のメモリが新しいデータを受け取るように動作する。適切な数のメモリデバイスと、効率的な制御システムとを設けることにより、非常に高速なデータ転送が達成され得る。データ通信信号の転送速度が上昇し続けるので、各集積回路からデータを正確に転送するための新しい回路機構および方法が必要とされる。提案されている解決策の１つに、米国特許第5、254、883号に記載されるバスドライバがある。このバスドライバ回路は、シングルエンドでバスを電源に接続する並列出力トランジスタを用いる。出力トランジスタは、異なる大きさに製造され、バス電流を制御するために選択的に起動される。このアプローチは、バス電圧を正確な論理電圧レベルに確立するための正確なバス電流制御に向けられる。しかし、このアプローチは、論理電圧レベル間のバス電圧の遷移に対する制御に乏しい。

上記の理由、および、本明細書を読み、且つ理解すれば当業者には明らかとなる以下に記される他の理由により、完全に調整可能で、論理電圧レベル間のバス電圧の遷移の制御を提供する高速出力ドライバ回路に対する必要性が当該分野において存在する。

発明の要旨

出力ドライバ回路の上記の問題および他の問題が、本発明によって取り組まれ、それらは、以下の明細書を読み、熟慮することによって理解される。

本発明は、制御端子を有し、出力ノードを第１の電圧に電気的に接続する出力トランジスタと、出力トランジスタの制御端子に接続された制御回路とを備えた出力ドライバ回路を示す。制御回路は、制御回路によって受け取られた入力信号の遷移に応じて、出力トランジスタを順次オンまたはオフにする。制御回路はまた、内部制御回路ノード上の信号を第１または第２の電圧に選択的に変換する変換回路機構（forcing circuitry）を備える。

別の実施形態では、同期メモリデバイスが記載される。メモリデバイスは、データ通信回線上で受け取られたデータを格納するためのメモリセルアレイと、データ通信リンクに電気的に接続された出力ノードを有する出力ドライバ回路とを備える。出力ドライバは、メモリセルアレイから読み出されたデータを提供する。出力ドライバ回路は、第１の電圧を出力ノードに電気的に接続させるための第１の出力トランジスタと、第２の電圧を出力ノードに電気的に接続させるための第２の出力トランジスタと、制御回路とを備える。制御回路は、制御回路によって受け取られた第１および第２の入力信号のそれぞれの遷移に応じて、出力トランジスタを順次オンまたはオフにするための第１および第２の出力トランジスタの各々の制御端子に接続される。メモリはさらに、各出力トランジスタの制御端子において出力負荷を整合させるための整合回路機構を備える。

本発明は、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）を含む同期メモリにおいてなど、高速データ通信に特に有用である。

【図面の簡単な説明】

図面では、幾つかの図面を通して、同様の数字が実質的に同様の部品を示す。

図１は、本発明のある実施形態の模式図である。

図２は、図１の出力ドライバ回路のある実施形態のより詳細な模式図である。

図３は、より詳細な図２の波形整形制御回路機構の模式図である。

図４は、図３のシーケンス回路のある実施形態の模式図である。

図５は、図３のシーケンス回路の別の実施形態の模式図である。

図６は、図２の出力ドライバ回路の電圧対時間の波形を示すグラフである。

図７は、図２の出力ドライバ回路のＤＱ電圧と、典型的な出力ドライバ回路のＤＱ’電圧

の電圧対時間の波形を示すグラフである。
図８は、出力トランジスタの第１の不均衡な重みづけから生じた波形のグラフである。
図９は、出力トランジスタの第２の不均衡な重みづけから生じた波形のグラフである。
図１０は、図１の出力ドライバ回路の別の実施形態のより詳細な模式図である。
図１１は、図５の回路のタイミング図である。
図１２は、図３または図１０のシーケンス回路の別の実施形態の模式図である。
図１３は、図１２の回路のタイミング図である。
図１４は、出力ドライバ回路の代替の実施形態の模式図である。
図１５は、出力ドライバ回路の代替の実施形態の模式図である。
図１６は、出力ドライバ回路の代替の実施形態の模式図である。

発明の詳細な説明

好適な実施形態の以下の詳細な説明においては、本願の一部を形成し、本発明が実施され得る具体的な好適な実施形態が例として示される添付の図面に参照が成される。これらの実施形態は、当業者が本発明を実施することが可能であるほど十分詳細に記載され、他の実施形態が利用され得、論理的、機械的、または電気的変更が本発明の精神および範囲から逸脱することなく成され得ることが理解されるべきである。従って、以下の詳細な説明は、限定的な意味でとられるものではなく、本発明の範囲は添付の請求の範囲によってのみ規定される。

本発明は、集積回路装置に適用可能である。特に、本発明は、集積回路メモリデバイスとして具体化され得る。これらのメモリデバイスには、同期メモリ、ダイナミックランダムアクセスメモリ（ＤＲＡＭまたはＳＤＲＡＭ）、およびスタティックメモリ（ＳＲＡＭ）が含まれる（しかし、これらに限定されることはない）。

図１は、本発明のある実施形態および本発明が使用される環境を示す。図１では、メモリアレイ９０を含むメモリデバイス８０が示される。メモリ８０は、本発明の理解に特に関係のある特徴に焦点を合わせるために単純化されていることが当業者には理解されるであろう。従って、メモリのための必要な制御および通信回路機構が示されていないが、それらは当業者には公知である。メモリアレイ９０には、メモリセルと、メモリセルに格納されたデータを読み出すための読み出し回路機構とが含まれる。出力ドライバ回路１００は、ノード１１０で、メモリアレイ９０から読み出したデータを第１の入力信号Ｄとして受け取り、その二値表記における補数である第２の入力信号ＤＮをノード１２０で受け取り、それらに応答して、出力ノード１３０で出力信号ＤＱを提供する。出力ノード１３０は、データ通信回線１５０を通して受信ノード１４０に電気的に接続される。データ通信回線は、分散相互接続（distributed interconnect）、パッド、および集積回路チップ上にあってもなくてもよい他の抵抗および容量を含み得る。出力ノード１３０はまた、端末抵抗器１７０を介して端末ノード１６０で端末電源電圧V_{term}に電気的に接続される。ノード１８０のV_{DD}およびノード１９０のV_{SS}等の第１および第２の電源電圧が、出力ドライバ回路１００に対して設けられる。V_{term}は、典型的にはV_{DD}およびV_{SS}のほぼ中間の電圧である。

図２は、出力ドライバ回路１００のある実施形態をより詳細に示す模式図である。図２では、第１の複数２００の出力トランジスタ（Ｐ型トランジスタ２００Ａ～２００Ｃ等）が、共に接続され、且つ出力ノード１３０に接続されるドレイン端子を有する。波形整形制御回路２０２は、ノード２０５Ａ～２０５Ｃにおいて、Ｐ型トランジスタ２００Ａ～２００Ｃのそれぞれのゲート端子に対して、独立した制御端子信号を与える。Ｐ型トランジスタ２００Ａ～２００Ｃのソース端子は、共に接続され、且つ第１のインピーダンス２１０を介してV_{DD}に接続される。

ある実施形態においては、第１のインピーダンス２１０が、共に接続され、且つノード２２０において第１の複数２００の出力トランジスタにおけるＰ型トランジスタ２００Ａ～２００Ｃの各々のソース端子に接続されたドレイン端子を有するＰ型トランジスタ２１０Ａ～２１０Ｃ等の能動装置を備える。Ｐ型トランジスタ２１０Ａ～２１０Ｃは、共に接続され、且つノード１８０においてV_{DD}に接続されるソース端子を有する。V_{OH}レベル制御

回路２１２は、ノード２１５Ａ～２１５Ｃにおいて、Ｐ型トランジスタ２１０Ａ～２１０Ｃのそれぞれのゲート端子に対して独立した制御端子信号を与え、それによって、幾つの、およびどのＰ型トランジスタ２１０Ａ～２１０Ｃがオンにされるかを変えることによって第１のインピーダンス２１０がプログラミング可能に制御される。Ｐ型トランジスタ２１０Ａ～２１０Ｃの内のオンにされるものが、ノード２２０とノード１８０のV_{DD}との間のインピーダンスの実効値に寄与する。Ｐ型トランジスタ２１０Ａ～２１０Ｃは、異なる幅／長さのアスペクト比を有し得る、あるいは、それぞれが、同じ幅／長さのアスペクト比の並列接続されたＰ型トランジスタのインスタンスの異なるマルチプルを備え得る。またあるいは、Ｐ型トランジスタ２１０Ａ～２１０Ｃのどれがオンにされるかを変更することによって、ノード２２０とノード１８０のV_{DD}との間のインピーダンスの実効値を最適化するように設計され得る。

インピーダンス２１０は、端末抵抗器１７０と共に抵抗分割器を形成し、そのインピーダンス値により、出力ノード１３０において二値表記における高論理電圧レベルV_{OH}が決定される。どのＰ型トランジスタ２１０Ａ～２１０Ｃがオンにされるかを制御することによってV_{OH}レベル制御回路２１２がインピーダンス２１０の値を制御し、次に、V_{OH}の値を制御する。

第２の複数２５０の出力トランジスタ（Ｎ型トランジスタ２５０Ａ～２５０Ｃ等）が、共に接続され、且つ出力ノード１３０に接続されるドレイン端子を有する。波形整形制御回路２０２は、ノード２５５Ａ～２５５Ｃにおいて、Ｎ型トランジスタ２５０Ａ～２５０Ｃのそれぞれのゲート端子に対して、独立した制御端子信号を与える。Ｎ型トランジスタ２５０Ａ～２５０Ｃのソース端子は、共に接続され、且つ第２のインピーダンス２６０を介してV_{SS}に接続される。

ある実施形態においては、第２のインピーダンス２６０が、共に接続され、且つノード２７０において第２の複数２５０の出力トランジスタにおけるＮ型トランジスタ２５０Ａ～２５０Ｃの各々のソース端子に接続されたドレイン端子を有するＮ型トランジスタ２６０Ａ～２６０Ｃ等の能動装置を備える。Ｎ型トランジスタ２６０Ａ～２６０Ｃは、共に接続され、且つノード１９０においてV_{SS}に接続されたソース端子を有する。V_{OL}レベル制御回路２７２は、ノード２７５Ａ～２７５Ｃにおいて、Ｎ型トランジスタ２６０Ａ～２６０Ｃのそれぞれのゲート端子に対して独立した制御端子信号を与え、それによって、幾つの、およびどのＮ型トランジスタ２６０Ａ～２６０Ｃがオンにされるかを変えることによってインピーダンス２６０がプログラミング可能に制御される。Ｎ型トランジスタ２６０Ａ～２６０Ｃの内のオンにされるものが、ノード２７０とノード１９０のV_{SS}との間の実効インピーダンスに寄与する。Ｎ型トランジスタ２６０Ａ～２６０Ｃは、異なる幅／長さのアスペクト比を有し得る、あるいは、それぞれが、同じ幅／長さのアスペクト比の並列接続されたＮ型トランジスタのインスタンスの異なるマルチプルを備え得る。またあるいは、Ｎ型トランジスタ２６０Ａ～２６０Ｃのどれがオンにされるかを変更することによって、ノード２７０とノード１９０のＶＳＳとの間の実効インピーダンスを最適化するように設計され得る。

インピーダンス２６０は、端末抵抗器１７０と共に抵抗分割器を形成し、そのインピーダンス値により、出力ノード１３０において二値表記における低論理電圧レベルV_{OL}が決定される。Ｎ型トランジスタ２６０Ａ～２６０Ｃのどれがオンにされるかを制御することによってV_{OL}レベル制御回路２７２がインピーダンス２６０の値を制御し、次に、V_{OL}の値を制御する。

上記の説明では、第１の複数２００の出力トランジスタと、第２の複数２５０の出力トランジスタと、第１のインピーダンス２１０と、第２のインピーダンス２６０とのそれぞれが、説明を明瞭とするために、３つの電界効果トランジスタを備えるものとして記載された。しかし、上記トランジスタの正確な数は、本発明の範囲および精神から逸脱することなく個々の設計制約に従って選択され得る。

図３は、波形整形制御回路２０２をより詳細に示す模式図である。波形整形回路２０２には、ノード１１０および１２０のそれぞれに電気的に接続される入力端子３０５において

、第１および第２の入力信号ＤおよびＤＮをそれぞれ受け取るシーケンス回路３００Ａ～３００Ｂが含まれる。それに応答して、シーケンス回路３００Ａ～３００Ｂはそれぞれ、ノード２０５Ａ～２０５Ｃおよび２５５Ａ～２５５Ｃのそれぞれに電気的に接続された出力端子３１０Ａ～３１０Ｃにおいて、順次時間遅延制御端子信号を提供する。順次時間遅延制御端子信号により、第１の複数２００および第２の複数２５０の出力トランジスタのそれぞれを介してノード１８０のV_{DD}とノード１９０のV_{SS}のそれぞれに対する出力ノード１３０の接続がもたらされる。以下に説明されるように、出力トランジスタに順次遅延制御端子信号を与えることによって、シーケンス回路３００Ａ～３００Ｂが、出力ノード１３０における電圧のスルーレートに対する制御を提供し、スルーレート制御は、第１および第２のインピーダンス２１０および２６０によってそれぞれ提供されるV_{OH}およびV_{OL}レベル制御とは実質的に無関係である。

図４は、シーケンス回路３００Ａ～３００Ｂの各々のある実施形態をより詳細に示す模式図である。図４には、入力端子３０５で入力信号を受け取り、それに応答して、出力端子３１０Ａ～３１０Ｃで多数の順次遅延信号を提供するための、一連の直列カスケード式インバータ４００Ａ～４００Ｆが含まれる。この実施形態では、入力端子３０５の信号遷移と、出力端子３１０Ａ～３１０Ｃの各々における信号遷移との間の遅延は、その間にある対応する数のインバータのインバータ遅延によって決定される（後続のインバータおよび出力トランジスタの相互接続容量および負荷容量を含む）。

図５は、シーケンス回路３００Ａ～３００Ｂの各々の別の実施形態をより詳細に示す模式図である。図５には、対の直列カスケード式インバータ５００Ａ～５００Ｆが含まれる。インバータの各対（対５００Ａ～５００Ｂ、対５００Ｃ～５００Ｄ、対５００Ｅ～５００Ｆ等）は、入力端子３０５で入力信号を受け取り、それに応答して、対応する出力端子３１０Ａ～３１０Ｃで順次遅延信号を提供する。インバータの各対（対５００Ａ～５００Ｂ、対５００Ｃ～５００Ｄ、対５００Ｅ～５００Ｆ等）は、その間に配置される容量（対応する容量５０５Ａ～５０５Ｃ等）を有する。容量５０５Ａ～５０５Ｃは、好適には、入力端子３０５の信号遷移と、出力端子３１０Ａ～３１０Ｃの各々における信号遷移との間の遅延を調整するために、ヒューズまたは他のプログラミング可能な部品等によってトリム可能（trimmably）に調整できる。容量は、各遅延経路が異なり、それによって、出力端子３１０Ａ～３１０Ｃにおいて多数の順次遅延信号が提供されるようにトリムされる。

図６は、出力ドライバ回路１００の電圧対時間の波形を示すグラフである。図６では、信号Ａがノード２０５Ａおよび２５５Ａでの電圧波形を表し、信号Ｂがノード２０５Ｂおよび２５５Ｂでの電圧波形を表し、信号Ｃがノード２０５Ｃおよび２５５Ｃでの電圧波形を表し、信号ＤＱがノード１３０での電圧波形を示す。従って、図６は、波形整形制御回路２０２によって提供される順次遅延制御端子信号に応答したＤＱ信号の遷移のスルーレート調整を示す。図６はまた、端末抵抗器１７０と関連したインピーダンス２１０および２６０によって提供される減少した信号の揺れ（すなわち、V_{OH}およびV_{OL}電圧レベル）を示す。第１の複数２００および第２の複数２５０の出力トランジスタの各々において、奇数の出力トランジスタを設けることによって、V_{term}電圧での信号ＤＱにおけるプラトーが回避される。

図７は、本発明によって提供されるスルーレート波形整形のない従来の出力ドライバ回路の電圧ＤＱ’に対する、出力ドライバ回路１００の出力ノード１３０における電圧ＤＱの電圧対時間の波形を示すグラフである。図７に見られるように、本発明の出力ドライバ回路１００による電圧ＤＱの電圧遷移のスルーレートは、従来の出力ドライバ回路による電圧ＤＱ’の電圧遷移より正確に制御され得る。

図７は、第１の複数２００および第２の複数２５０の出力トランジスタの各々が、均一に重みづけられ、それらの幅／長さの実効アスペクト比が実質的に同一である場合を示す。図７に見られるように、これにより、ほぼ直線のスルーレート波形整形が生じる。

図８は、第１の複数２００および第２の複数２５０の出力トランジスタにおける出力トランジスタが均一に重みづけられていない、図７に類似のグラフである。図８は、２００Ｂおよび２５０Ｂ等の中間のトランジスタが、２００Ａ、２００Ｃ、２５０Ａ、および２５

０Ｃ等の端のトランジスタの幅／長さの実効アスペクト比より大きい幅／長さの実効アスペクト比を有する場合を示す。この実施形態では、出力ノード１３０の電圧ＤＱのスルーレートが、V_{OH}レベルとV_{OL}レベルとの中間点近くで速くなる。

図９は、第１の複数２００および第２の複数２５０の出力トランジスタにおける出力トランジスタが均一に重みづけられていない、図７に類似のグラフである。図９は、２００Ｂおよび２５０Ｂ等の中間のトランジスタが、２００Ａ、２００Ｃ、２５０Ａ、および２５０Ｃ等の端のトランジスタの幅／長さの実効アスペクト比より小さい幅／長さの実効アスペクト比を有する場合を示す。この実施形態では、出力ノード１３０の電圧ＤＱのスルーレートが、V_{OH}レベルおよびV_{OL}レベルの各々の付近において、これら２つのレベルの中間点近くと比較して速くなる。

図７～図９は、第１の複数２００および第２の複数２５０の出力トランジスタの各々における出力トランジスタの重みづけに対する異なるアプローチを示す。第１の複数２００の出力トランジスタの出力トランジスタはまた、第２の複数２５０の出力トランジスタの出力トランジスタとは異なるように重みづけられ得る。出力ノード１３０の電圧ＤＱの所望の波形整形を得るために、多くの組み合わせが可能である。

上記の出力ドライバ回路１００は、立上がりおよび立下がり時間の不均衡を被り得る。すなわち、図２のノード２０５Ａ～２０５ＣおよびノードＡ～２２５Ｃが、有限の立上がりおよび立下がり時間の不均衡を被り得る。なぜなら、それぞれのノードの負荷が等しくないからである。負荷の差は、主に、Ｐ型トランジスタを駆動するノード２０５Ａ～２０５ＣおよびＮ型トランジスタを駆動するノード２５５Ａ～２５５Ｃが原因である。さらに、Ｎ型およびＰ型トランジスタのサイズは、典型的には等しくない。立上がりおよび立下がり時間の不均衡を避けるために、図１０に示されるように、キャパシタ６０４として製造されたＰ型トランジスタが、ノード２５５Ａ～２５５Ｃと、グラウンドとの間に接続され、キャパシタ６０２として製造されたＮ型トランジスタが、ノード２０５Ａ～２０５Ｃと、グラウンドとの間に接続される。従って、出力バッファの各段に関する負荷が整合される。従って、出力負荷を整合するための整合回路機構が、トランジスタに接続されたキャパシタを用いたある実施形態において設けられる。図４および図５に示されたシーケンス回路のいずれかが、出力ドライバ回路６００の波形整形制御回路２０２において使用され得る。しかし、代替のシーケンス回路が、以下に説明されるように、周波数依存を低減するために使用され得る。

図11は、図５のカスケード式インバータ500Aおよび500Bの一つの遅延段の動作を図示する。図は、ノード305、306および310Aでの電圧を示している。入力信号（ノード305）の周波数が増加するので、ノード306は最大電力レール（full power rail）に到達しないことが理解される。従って、出力信号（ノード310A）はデータ依存遅延を有する。すなわち、ノード301Aの立ち上がりエッジはノード305の立ち上がりエッジから時間Ｔだけ遅延されるが、ノード310Aの立ち下がりエッジとノード305の立ち下がりエッジとの間の遅延は、より高い周波数では時間Ｔ未満である。

遅延段の周波数依存性を減少させるために、図12に示されるように、フィードフォワードおよびフィードバック補償が付加され得る。本実施態様において、端子信号205および255を提供する図５の回路の各遅延段が変換回路312を有することが理解される。変換回路は、Ｐ型トランジスタ320および322ならびにＮ型トランジスタ324および326を備える。動作において、入力（ノード305）および出力（ノード310A）が高論理状態から低論理状態へ遷移する場合、トランジスタ320および322が活性化され、ノード306をV_{DD}にする。入力（ノード305）および出力（ノード310A）が低論理状態から高論理状態へ遷移する場合、トランジスタ324および326が活性化され、ノード306をV_{SS}にする。従って、ノード306は各サイクルの間に最大電力レールに到達する。図13に図示されるように、遅延段の入力信号と出力信号との間の時間遅延の周波数依存性が減少される。このように、ドライバ回路は、性能を劣化させずにより広い範囲の周波数にわたって動作し得る。

図14は、別の出力ドライバ回路640を図示する概略図である。図14において、第１のインピーダンス210および第２のインピーダンス260のそれぞれ、ならびに出力ドライバ回路60

0の対応するV_{OH}およびV_{OL}レベル制御回路212および272は示されていない。本実施態様は、出力ノード130での電圧DQにおける遷移のスルーレートおよび他の波形整形を提供するが、インピーダンスを制御することによってV_{OH}およびV_{OL}出力レベルを調整しない。N型キャパシタ602およびP型キャパシタ604は、出力ドライバの各段の負荷の平衡を保つために含まれる。

図15は、出力ドライバ回路100の、シングルエンドを有する代替的な実施態様を図示する概略図である。図15において、第２の複数の出力トランジスタ250および第２のインピーダンス260は示されていない。本実施態様は、出力ノード130で電圧DQの遷移のスルーレートおよびV_{OH}レベル制御を提供する。V_{OL}レベルは、端末抵抗器170を介したノード160での端末電圧への抵抗接続によって、V_{term}で確立される。キャパシタ602は、このシングルエンドを有する実施態様には必要ではない。

図16は、出力ドライバ回路100の、シングルエンドを有する別の代替的な実施態様を図示する概略図である。図12において、第１の複数の出力トランジスタ200および第1のインピーダンス210は示されていない。本実施態様は、出力ノード130で電圧DQの遷移のスルーレートおよびV_{OL}レベル制御を提供する。V_{OH}レベルは、端末抵抗器170を介したノード160での端末電圧への抵抗接続によって、V_{term}で確立される。ここでもまた、一つの負荷しかないために、キャパシタ604は必要ではない。

従って、本発明は、論理電圧レベルおよびこれらの論理電圧レベル間の電圧遷移のスルーレートを含む、信号の波形整形の方法および装置を含む。本発明は、ダイナミックランダムアクセスメモリ（DRAM）を含む同期メモリにおけるような、高速データ通信のために特に有用である。

特定の実施態様が本明細書において図示および記載されたが、同じ目的を達成するために計画されたいかなる構成も、示された特定の実施態様の代わりに用いられ得ることが当業者に理解される。本願は、本発明のいかなる組み合わせ、適合あるいは変形も含むことが意図される。従って、本発明が請求の範囲およびその等価物によってのみ制限されることが明白に意図される。

結論

同期ダイナミックランダムアクセスメモリ（SDRAM）などの同期メモリにおける高速データ通信のために波形整形および論理レベル調整を提供する出力ドライバ回路が記載される。レベル調整は、端末抵抗器と、出力ノードとV_{DD}およびV_{SS}電源との間での制御可能なインピーダンスとの間の抵抗分割によって得られる。波形整形機能は、入力信号における遷移に応答して出力トランジスタを順次的にオンあるいはオフにすることによる、出力ノードでの信号のスルーレート修正を含む。負荷補償キャパシタは、出力負荷の平衡を保つため、かつ立ち上がり時間および立ち下がり時間の不均衡をなくすために記載されている。さらに、高周波数動作の間にデータ依存遅延を減少させるためにフィードフォーワードおよびフィードバック回路を含む遅延素子段が記載されている。

特定の実施態様が本明細書において図示および記載されたが、同じ目的を達成するために計画されたいかなる構成も、示された特定の実施態様の代わりに用いられ得ることが当業者に理解される。本願は、本発明のいかなる適合あるいは変形も含むことが意図される。従って、本発明が請求の範囲およびその等価物によってのみ制限されることが明白に意図される。

【図１】

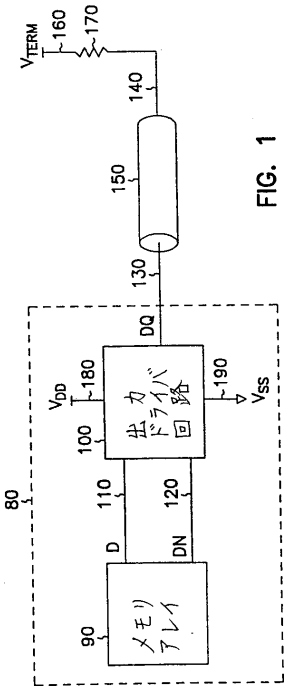

FIG. 1

【図２】

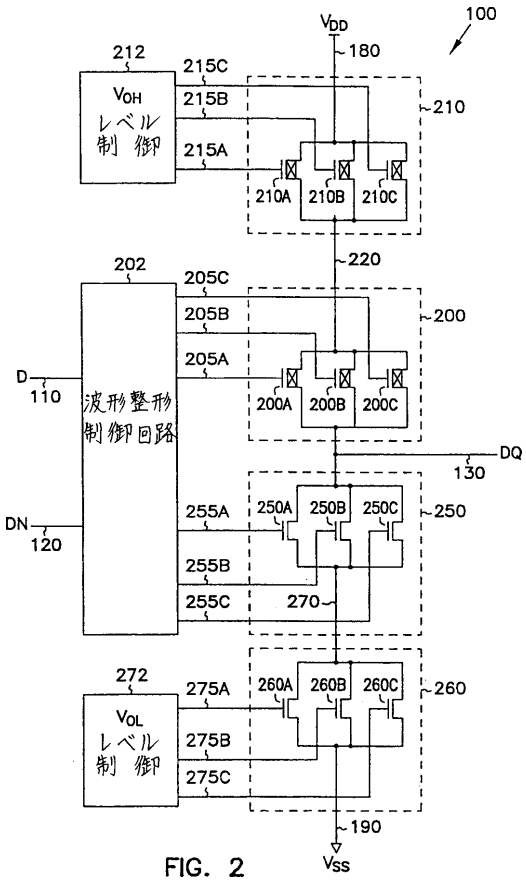

FIG. 2

【図３】

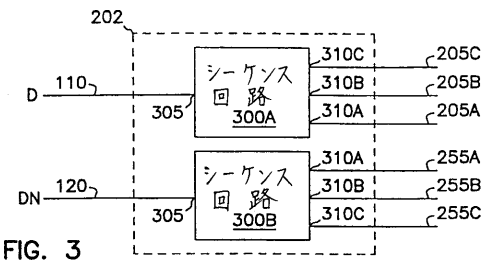

FIG. 3

【図４】

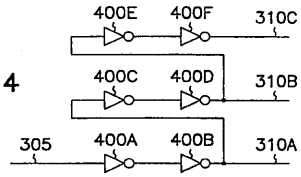

FIG. 4

【図５】

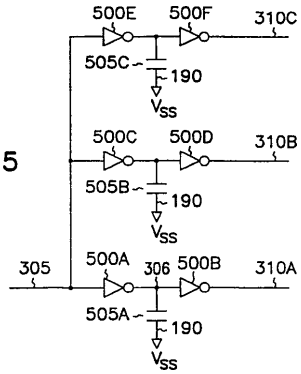

FIG. 5

【図６】

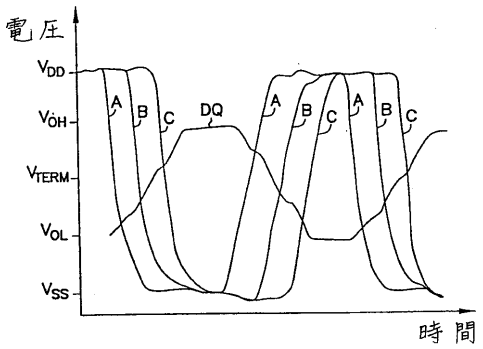

FIG. 6

【図７】

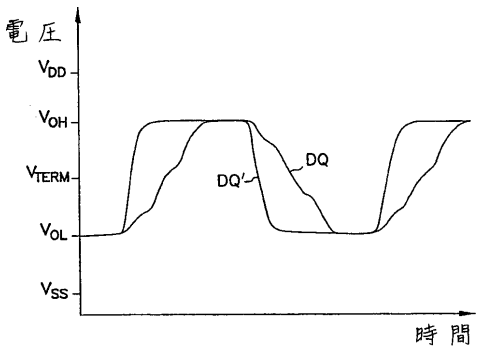

FIG. 7

【図８】

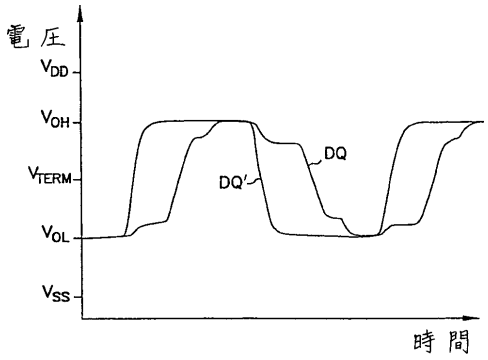

FIG. 8

【図９】

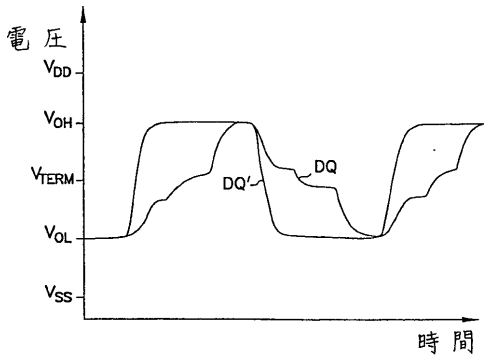

FIG. 9

【図１０】

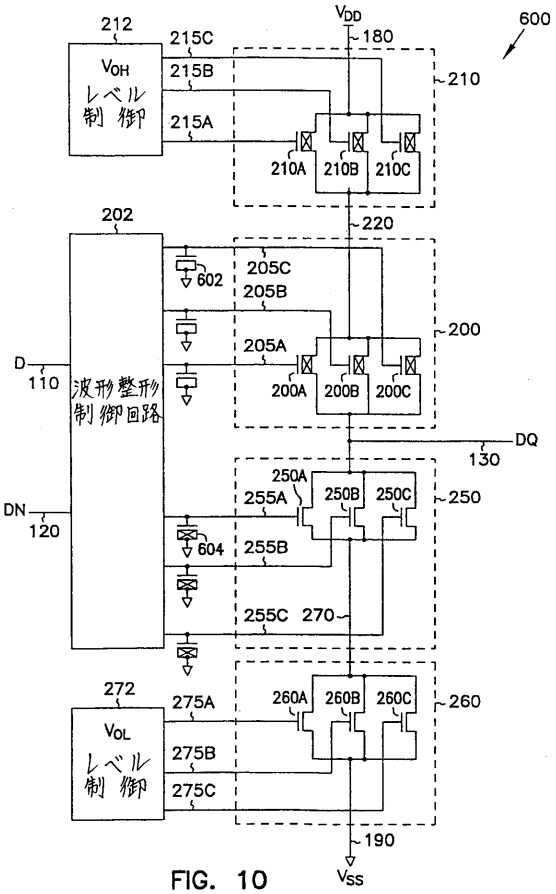

FIG. 10

【図１１】

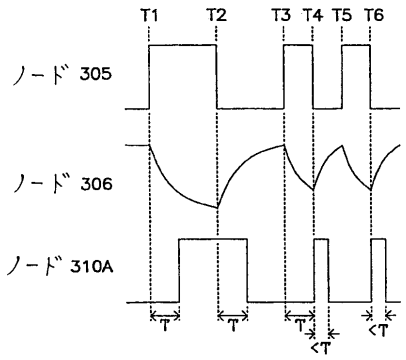

FIG. 11

【図１２】

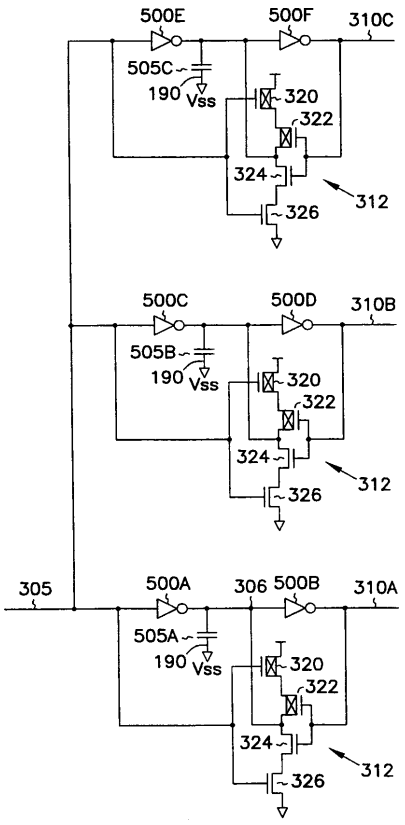

FIG. 12

【図１３】

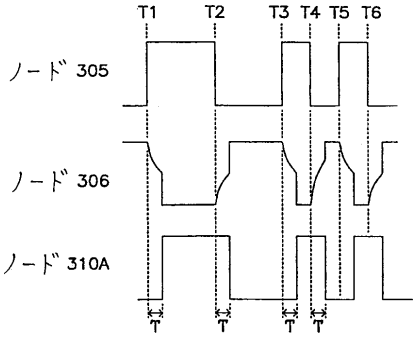

FIG. 13

【図１４】

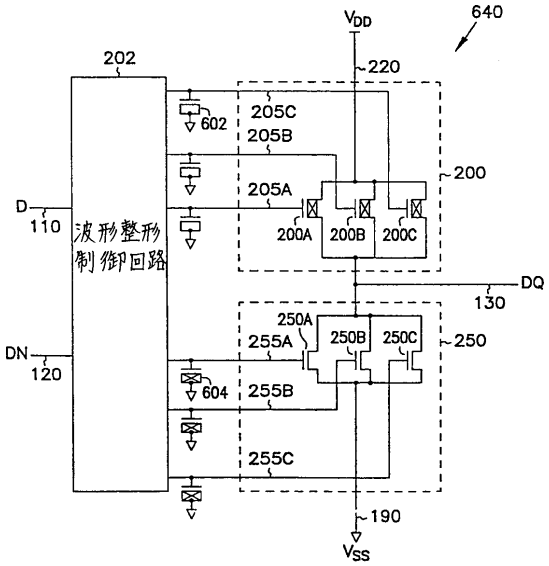

FIG. 14

【図１５】

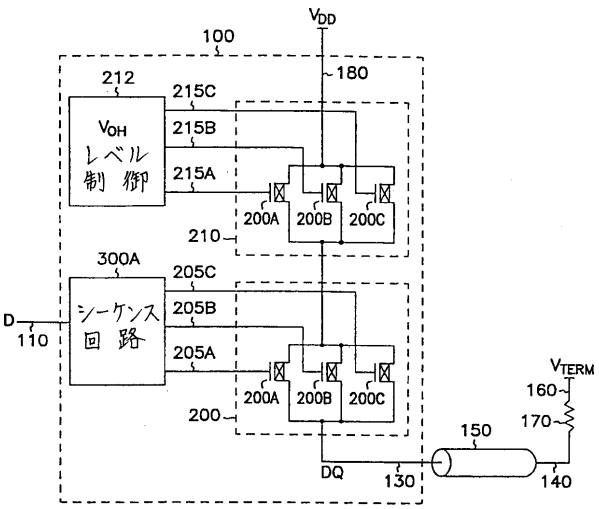

FIG. 15

【図１６】

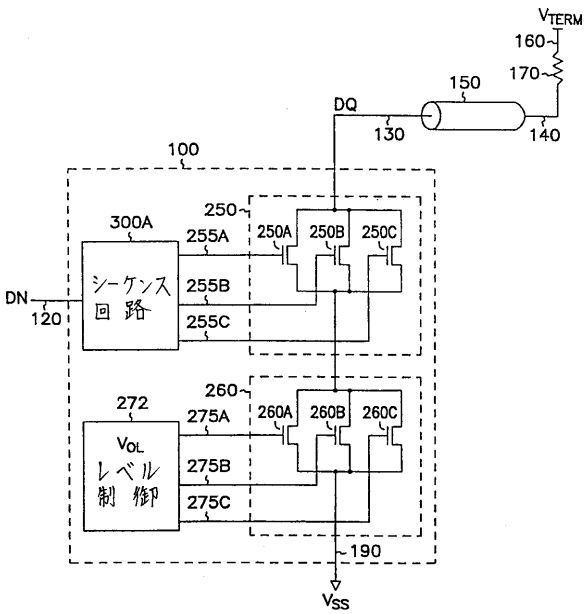

FIG. 16

フロントページの続き

合議体
審判長　河合　章
審判官　棚田　一也
審判官　北島　健次

(56)参考文献　特開平　３－２１９７２１（ＪＰ，Ａ）
特開平　５－　２８７６２（ＪＰ，Ａ）
特開平　４－１００４１１（ＪＰ，Ａ）
特開平　６－３１８８６２（ＪＰ，Ａ）
特開平　２－１８３６２２（ＪＰ，Ａ）
特開平　４－２６８８１５（ＪＰ，Ａ）