



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0034930
(43) 공개일자 2020년04월01일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 43/08 (2006.01) H01L 43/02 (2006.01)
H01L 43/10 (2006.01) H01L 43/12 (2006.01)</p> <p>(52) CPC특허분류
H01L 43/08 (2013.01)
H01L 43/02 (2013.01)</p> <p>(21) 출원번호 10-2019-0108875
(22) 출원일자 2019년09월03일
심사청구일자 2019년09월03일</p> <p>(30) 우선권주장
62/734,484 2018년09월21일 미국(US)
16/427,308 2019년05월30일 미국(US)</p> | <p>(71) 출원인
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8</p> <p>(72) 발명자
차이 월만
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
린 샤이-제이
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
송 밍유안
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8</p> <p>(74) 대리인
김태홍, 김진희</p> |
|--|---|

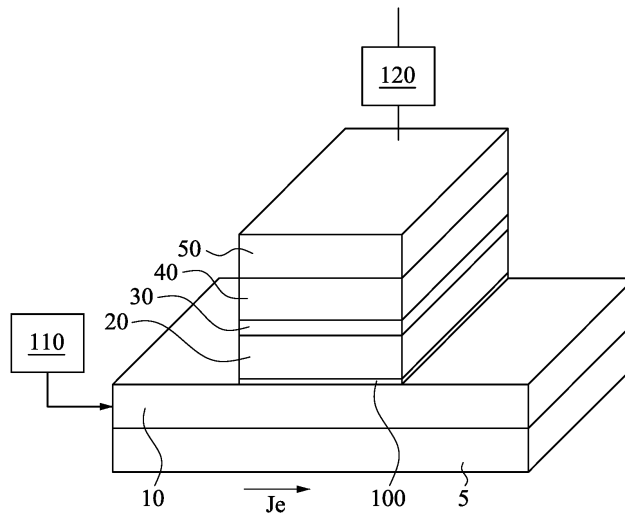
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 자기 디바이스 및 자기 랜덤 액세스 메모리

(57) 요약

스핀-궤도-토크(SOT, spin-orbit-torque) 자기 디바이스는 하단 금속층, 하단 금속층 위에 배치된 제1 자기층, 제1 자기층 위에 배치된 스페이서층, 및 스페이서층 위에 배치된 제2 자기층을 포함한다. 제1 자기층의 금속 원소가 하단 금속층 내부로 확산되는 것을 억제하기 위한 확산 배리어층이 하단 금속층과 제1 자기층 사이에 배치된다.

대표도 - 도1a



(52) CPC특허분류

H01L 43/10 (2013.01)

H01L 43/12 (2013.01)

명세서

청구범위

청구항 1

스핀-궤도-토크(SOT, spin-orbit-torque) 자기 디바이스에 있어서,

하단 금속층;

상기 하단 금속층 위에 배치된 제1 자기층;

상기 제1 자기층 위에 배치된 스페이서층;

상기 스페이서층 위에 배치된 제2 자기층; 및

상기 하단 금속층과 상기 제1 자기층 사이에 배치된 확산 배리어층

을 포함하며,

상기 확산 배리어층은 상기 제1 자기층의 금속 원소가 상기 하단 금속층 내부로 확산되는 것을 억제하는, SOT 자기 디바이스.

청구항 2

제1항에 있어서, 상기 제1 자기층은 철 및 코발트를 포함하는, SOT 자기 디바이스.

청구항 3

제2항에 있어서,

상기 확산 배리어층은 철을 포함하고,

상기 확산 배리어층 내의 철의 원자 백분율은 상기 제1 자기층 내의 철의 원자 백분율보다 더 높은, SOT 자기 디바이스.

청구항 4

제3항에 있어서, 상기 제1 자기층 및 상기 확산 배리어층은 붕소를 더 포함하는, SOT 자기 디바이스.

청구항 5

제2항에 있어서,

상기 확산 배리어층은 코발트를 포함하고,

상기 확산 배리어층 내의 코발트의 원자 백분율은 상기 제1 자기층 내의 코발트의 원자 백분율보다 더 높은, SOT 자기 디바이스.

청구항 6

제1항에 있어서, 상기 스페이서층과 상기 제2 자기층 사이에 배치된 중간 금속층을 더 포함하는, SOT 자기 디바이스.

청구항 7

제1항에 있어서, 상기 제2 자기층 위에 배치된 상단 금속층을 더 포함하는, SOT 자기 디바이스.

청구항 8

제1항에 있어서, 상기 제2 자기층은 철, 코발트, 및 붕소를 포함하는, SOT 자기 디바이스.

청구항 9

스핀-궤도-토크(SOT) 자기 디바이스에 있어서,
 하단 금속층;
 상기 하단 금속층 위에 배치된 제1 자기층;
 상기 제1 자기층 위에 배치된 스페이서층;
 상기 스페이서층 위에 배치된 제2 자기층; 및
 자기 불활성층과 상기 제1 자기층 사이에 배치된 확산 배리어층
 을 포함하며,
 상기 자기 불활성층은 상기 하단 금속층과 상기 제1 자기층 사이에 배치되어 형성되고,
 상기 확산 배리어층은 상기 제1 자기층의 금속 원소가 상기 하단 금속층 내부로 확산되는 것을 억제하는, SOT 자기 디바이스.

청구항 10

스핀-궤도-토크(SOT) 자기 디바이스를 제조하는 방법에 있어서,
 하단 금속층 위에 제1 자기층을 형성하는 단계;
 상기 하단 금속층과 상기 제1 자기층 사이에 확산 배리어층이 형성되도록, 상기 제1 자기층을 처리하는 단계;
 상기 제1 자기층 위에 스페이서층을 형성하는 단계;
 상기 스페이서층 위에 중간 금속층을 형성하는 단계; 및
 상기 중간 금속층 위에 제2 자기층을 형성하는 단계
 를 포함하며,
 상기 확산 배리어층은, 450° C를 초과하는 후속 열 공정에서 상기 제1 자기층의 금속 원소가 상기 하단 금속층 내부로 확산되는 것을 억제하는, SOT 자기 디바이스를 제조하는 방법.

발명의 설명

기술 분야

[0001] [관련 출원]

[0002] 본 출원은, 2018년 9월 21일에 출원된 미국 가특허 출원 제62/734,484호에 대한 우선권을 청구하며, 이 미국 가특허 출원의 전체 내용은 본 명세서에 참조로서 통합된다.

배경 기술

[0003] MRAM은 휘발성 정적 랜덤 액세스 메모리(SRAM, static random access memory)에 비교할만한 성능, 및 동적 랜덤 액세스 메모리(DRAM, dynamic random access memory)에 비교할만한 밀도 및 그보다 더 낮은 전력 소비를 제공한다. 비휘발성 메모리(NVM, non-volatile memory) 플래시 메모리에 비교하면, MRAM은 훨씬 더 빠른 액세스 시간을 제공하고, 시간의 흐름에 따라 최소의 열화를 겪지만, 플래시 메모리는 제한된 횟수만큼만 재기입될 수 있다. MRAM의 한 유형은 스핀 전달 토크 랜덤 액세스 메모리(STT-RAM, spin transfer torque random access memory)이다. STT-RAM은 자기 터널링 접합부(MTJ, magnetic tunneling junction)를 이용하며, MTJ는, 해당 MTJ를 통해 구동되는 전류에 의해 적어도 부분적으로 기입된다. 또 다른 유형의 MRAM은 스핀 궤도 토크 RAM(SOT-RAM, spin orbit torque RAM)이다.

도면의 간단한 설명

[0004] 도 1a는 본 개시의 한 실시예에 따른 SOT MRAM 셀의 개략도이다.

도 1b는 본 개시의 한 실시예에 따른 SOT MRAM 셀의 개략도이다.

도 2a, 도 2b, 도 2c, 및 도 2d는 본 개시의 실시예에 따른 SOT MRAM 셀의 제조 동작의 개략적 단면도를 도시한다.

도 3a, 도 3b, 도 3c, 및 도 3d는, 확산 배리어층이 있는 SOT 자기 디바이스 및 확산 배리어층이 없는 SOT 자기 디바이스의 수직 자기 이방성의 실험 결과를 도시한다.

도 4a 및 도 4b는 2차 이온 질량 분광측정의 실험 결과를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0005] 다음의 개시는, 본 발명의 상이한 특징을 구현하기 위한 여러 상이한 실시예 또는 예를 제공한다는 것이 이해되어야 한다. 본 개시를 단순화하기 위하여, 아래에는 컴포넌트 및 배열의 특정한 실시예 또는 예가 설명되어 있다. 물론, 이들은 단지 예일 뿐이며, 제한하도록 의도되지 않는다. 예컨대, 요소의 치수는 개시된 범위 또는 값으로 제한되지 않지만, 공정 조건 및/또는 원하는 디바이스 특성에 의존할 수 있다. 또한, 다음 설명에서의 제2 피처 위에서의 또는 제2 피처 상에서의 제1 피처의 형성은, 제1 및 제2 피처가 직접 접촉하는 상태로 형성되는 실시예를 포함할 수 있으며, 제1 및 제2 피처가 직접 접촉하지 않을 수도 있도록 제1 및 제2 피처를 개재하는 추가적인 피처가 형성될 수 있는 실시예를 포함할 수도 있다. 간략화 및 명료화를 위해, 다양한 피처는 상이한 비례로 임의적으로 그려질 수 있다. 간략화를 위해, 첨부 도면에서 일부 층/피처가 생략될 수 있다.
- [0006] 또한, 도면에 도시된 또 다른 요소(들)나 피처(들)에 대한 한 요소나 피처의 관계를 설명하기 위하여, "밑", "아래", "하부", "위", "상부" 등과 같은 공간 상대적 용어가 설명의 용이성을 위해 본 명세서에서 사용될 수 있다. 공간 상대적 용어는, 도면에 도시된 배향에 더하여, 사용 중 또는 동작 중인 디바이스의 상이한 배향들을 망라하도록 의도된다. 디바이스는 다르게 배향될 수도 있으며(90도 회전되거나 다른 배향으로 회전됨), 본 명세서에서 사용되는 공간 상대적 기술어들은 마찬가지로 적절히 해석될 수 있다. 또한, "~(으)로 제조된"이라는 용어는 "포함하는" 또는 "구성되는" 중 어느 하나를 의미할 수 있다. 또한, 다음의 제조 공정에서, 설명된 동작 내에/사이에 하나 이상의 추가적인 동작이 존재할 수 있으며, 동작의 순서는 변경될 수 있다. 본 개시에서, "A, B, 및 C 중 하나"라는 구문은 "A, B, 및/또는 C"(A, B, C, A 및 B, A 및 C, B 및 C, 또는 A, B, 및 C)를 의미하며, 달리 설명되어 있지 않은 한, A로부터의 하나의 요소, B로부터의 하나의 요소, 및 C로부터의 하나의 요소를 의미하지 않는다.
- [0007] 스핀 궤도 토크 유형 자기 디바이스에서, 수직 자기 이방성(PMA, perpendicular magnetic anisotropy)의 열적 안정성은 중요한 성능 측정치 중 하나이다. 수직 자기 이방성은 스핀 궤도 활성화층(예컨대, 중금속층)과 자유 자기층(예컨대, 데이터 저장층) 사이의 계면에 의해 영향을 받는다. 특히, 계면 확산은 수직 자기 이방성 성능을 열화시킬 수 있다. 계면의 비이상적인 구조 및 결합은 수직 자기 이방성 불안정성 및 더 두꺼운 자기 불활성층(MDL, magnetic dead layer)을 초래할 수 있으며, 여기서 강자성 순서가 상실된다. 본 개시는, SOT 자기 디바이스 내의 기술한 문제를 해결하기 위한, 스핀 궤도 활성화층과 자유 자기층 사이의 신규 계면에 관한 것이다.
- [0008] 도 1a는, 본 개시의 한 실시예에 따른, 스위칭 시의 스핀-궤도 상호작용을 이용하는 SOT MRAM 셀(SOT 자기 디바이스)의 개략도이다.
- [0009] SOT 자기 디바이스는, 지지층(5) 위에 형성되는 스핀-궤도 상호작용 활성화층으로서, 하단 금속층(10)을 포함한다. 또한, SOT 자기 디바이스는, 하단 금속층(10) 위에 배치된 자유 자기층 또는 데이터 저장층인 제1 자기층(20), 제1 자기층 위에 배치된 비자기 스페이서층(30), 및 비자기 스페이서층(30) 위에 배치된 기준층으로서의 제2 자기층(40)을 포함한다. 일부 실시예에서, 전극으로서의 상단 전도성층(50)이 제2 자기층(40) 위에 배치된다. 또한, 본 개시의 실시예에서, 도 1a에 도시된 바와 같이, 하단 금속층(10)과 제1 자기층(20) 사이에 확산 배리어층(100)이 배치된다.
- [0010] 자유층(20)(제1 자기층)의 자기 모멘트는 스핀-궤도 상호작용 효과를 사용해 스위칭된다. 일부 실시예에서, 제1 자기층(20)의 자기 모멘트는 스핀-궤도 상호작용 효과만을 사용해 스위칭된다. 다른 실시예에서, 제1 자기층(20)의 자기 모멘트는 효과들의 조합을 사용해 스위칭된다. 예컨대, 제1 자기층(20)의 자기 모멘트는 스핀 전달 토크를 1차 효과로서 사용해 스위칭되며, 이는 스핀-궤도 상호작용에 의해 유도될 수 있는 토크에 의해 보조될 수 있다. 다른 실시예에서, 1차 스위칭 메커니즘은, 스핀-궤도 상호작용에 의해 유도되는 토크이다. 그러한 실시예에서, 스핀 전달 토크를 포함하지만 이에 제한되지 않는 또 다른 효과가 스위칭 시에 보조할 수 있다.
- [0011] 하단 금속층(10)은, 강력한 스핀-궤도 상호작용을 가지며 제1 자기층(20)의 자기 모멘트 스위칭 시에 사용될 수

있는 스핀 궤도 활성화층이다. 하단 금속층(10)은 스핀-궤도 자기장(H) 생성 시에 사용된다. 더 구체적으로, 하단 금속층(10)을 통해 평면 내에 구동된 전류 및 그 수반되는 스핀-궤도 상호작용은 스핀-궤도 자기장(H)을 초래할 수 있다. 이러한 스핀 궤도 자기장(H)은 자화에 대한 스핀-궤도 토크(T)와 등가이며, 제1 자기층(20) 내에서 $T = \gamma [M \times H]$ 이다. 토크 및 자기장은 따라서 스핀-궤도 장 및 스핀-궤도 토크로서 상호교환가능하게 지칭된다. 이는, 스핀-궤도 상호작용이 스핀-궤도 토크 및 스핀-궤도 장의 근원이라는 사실을 반영한다. 스핀-궤도 토크는 하단 금속층(10) 내의 평면 내에 구동된 전류 및 스핀-궤도 상호작용에 대해 발생한다. 이와 대조적으로, 스핀 전달 토크는, 제1 자기층(20), 비자기 스페이서층(30), 및 제2 자기층(40)(기준층)을 흐르는, 평면에 수직인 전류에 기인하며, 이는 스핀 분극된 전하 캐리어를 제1 자기층(20) 내부에 주입한다. 스핀-궤도 토크(T)는, 제1 자기층(20)의 자기 모멘트를, 자화 용이축에 평행한 평형 상태에서부터 급격히 편향시킬 수 있다. 스핀-궤도 토크(T)는, 유사한 최대 진폭의 종래의 STT 토크보다 상당히 더 빠르게 제1 자기층(20)의 자화를 기울일 수 있다. 일부 실시예에서, 스위칭은 스핀-궤도 토크를 사용해 완료될 수 있다. 다른 실시예에서, 스핀 전달과 같은 또 다른 메커니즘이 스위칭의 완료를 위해 사용될 수 있다. 생성되는 스핀-궤도 장/스핀-궤도 토크는 따라서 제1 자기층(20)의 자기 모멘트의 스위칭 시에 사용될 수 있다.

[0012] 일부 실시예에서, 하단 금속층의 상호작용은 스핀 홀 효과를 포함한다. 스핀 홀 효과를 위해, 하단 금속층(10)의 평면 내에 전류(Je)(즉, 실질적으로 도 1a의 x-y 평면 내에 있는, 평면 내 전류)가 구동된다. 즉, 전류(Je)는, 하단 금속층(10) 및 제1 자기층(20)을 포함한 필름들의 적층된 방향에 수직하게(즉, 표면에 대한 법선에 수직하게, 도 1a에서의 z 방향) 구동된다. 전류의 방향에 수직이고 표면에 대한 법선에 수직(z 방향)인 특정 배향의 스핀을 갖는 전하 캐리어는 하단 금속층(10)의 표면에 누적될 수 있다. 이들 스핀 분극된 캐리어의 다수는 제1 자기층(20)(자유층) 내부로 확산된다. 이러한 확산은 제1 자기층(20)의 자화에 대한 토크(T)를 초래한다. 자화에 대한 토크는 자화에 대한 유효 자기장과 등가이므로, 전술한 바와 같이, 스핀 누적은 등가적으로 제1 자기층(20) 상에 장(H)을 초래한다. 스핀 홀 효과에 대한 스핀-궤도 장은 스핀-궤도 분극과 제1 자기층(20)의 자기 모멘트의 외적(cross product)이다. 그러므로, 토크의 크기는 평면 내 전류 밀도(Je) 및 캐리어의 스핀 분극에 비례한다. 스핀 홀 효과에 의해 유도된 분극이 제1 자기층(20)의 자화 용이축에 평행할 때, 스핀 홀 효과는 도 1a에 도시된 자기 적층의 스위칭 시에 사용될 수 있다. 스핀-궤도 토크(T)를 획득하기 위해, 하단 금속층(10)을 통해 평면 내에 전류 펄스가 구동된다. 그 결과적인 스핀-궤도 토크(T)는 감쇄 토크를 상쇄시키며, 이는 종래의 STT 스위칭과 비슷한 방식으로 제1 자기층(20)의 자화의 스위칭을 초래한다.

[0013] 전술한 바와 같이, 하단 금속층(10)은, 제1 자기층(20)(자유층)과의 강력한 스핀 궤도 상호작용을 야기하는 스핀 궤도 활성화층이다. 일부 실시예에서, 하단 금속층(10)은 하나 이상의 중금속 또는 중금속에 의해 도핑된 물질을 포함한다. 특정 실시예에서, α -W, β -W, 및/또는 β -Ta가 하단 금속층(10)으로서 사용된다. 하단 금속층(10)의 두께는 일부 실시예에서 약 2nm 내지 20nm의 범위이고 다른 실시예에서 약 5nm 내지 15nm의 범위이다.

[0014] 데이터 저장층으로서의 제1 자기층(20)은, 스위칭가능한 자기 모멘트를 갖는 자유층이다. 일부 실시예에서, 제1 자기층(20)은, 약 0.6nm 내지 약 1.2nm 범위의 두께를 갖는 코발트 철 붕소(CoFeB)층, 코발트/팔라듐(CoPd)층, 및/또는 코발트 철(CoFe)층을 포함한다. 다른 실시예에서, 제1 자기층(20)은 다수의 자기 물질층을 포함한다. 특정 실시예에서, 제1 자기층은 $Fe_xCo_yB_{1-x-y}$ 이며, 여기서 $0.50 \leq x \leq 0.70$ 이고 $0.10 \leq y \leq 0.30$ 이다. 다른 실시예에서, $0.55 \leq x \leq 0.65$ 이고 $0.15 \leq y \leq 0.25$ 이다.

[0015] 비자기 스페이서층(30)은 유전체 물질로 제조되며, 터널링 배리어로서 기능한다. 일부 실시예에서, 비자기 스페이서층(30)은 결정질 또는 비결정질 마그네슘 산화물(MgO)층을 포함한다. 다른 실시예에서, 비자기 스페이서층(30)은 알루미늄 산화물, 또는 Cu와 같은 전도성 물질로 제조된다. 일부 실시예에서, 비자기 스페이서층(30)은 약 0.3nm 내지 약 1.2nm 범위의 두께를 가지며, 다른 실시예에서, 비자기 층(30)의 두께는 약 0.5nm 내지 약 1.0nm의 범위이다. 본 개시에서, "요소층" 또는 "화합물층"은, 해당 물질 또는 화합물의 함량이 99%를 초과한다는 것을 일반적으로 의미한다.

[0016] 제2 자기층(40)은 그 자기 모멘트가 변화하지 않는 기준층이다. 일부 실시예에서, 제2 자기층(40)은, 전술한 바와 같은 제1 자기층(20)과 동일한 물질로 제조된다. 일부 실시예에서, 제2 자기층(40)은 다수의 자기 물질층을 포함한다. 일부 실시예에서, 제2 자기층(40)은 코발트(Co) 및 백금(Pt)의 다중층 구조물을 포함한다. 일부 실시예에서 제2 자기층(40)의 두께는 약 0.2nm 내지 약 1.0nm의 범위이고 다른 실시예에서 약 0.3nm 내지 약 0.5nm의 범위이다.

[0017] 일부 실시예에서, 제2 자기층(40)은, Ru와 같은 비자기층에 의해 분리된 강자기층을 갖는 합성 반강자기층(synthetic antiferromagnetic layer)을 포함하는 다중층이다. 일부 실시예에서, 제2 자기층(40)의 자기 모멘

트를 제자리에 고정시키는 반강자기층과 같은, 피닝층(pinning layer)이 제2 자기층(40) 위에 배치되며, 이때 Ru층이 그 사이에 개재된다. 일부 실시예에서 제1 및 제2 자기층은 결정질이다.

- [0018] 전극으로서의 상단 전도성층(50)은 하나 이상의 Ta, Ru, Au, Cr, 및 Pt의 층을 포함한다.
- [0019] 지지층(5)은, 실리콘 산화물, 실리콘 산화질화물, 실리콘 질화물, 알루미늄 산화물, 마그네슘 산화물, 또는 임의의 다른 적합한 물질과 같은, 유전체 물질로 제조된다. 다른 실시예에서, 지지층(5)은 반도체 디바이스 내의 얇은 트렌치 격리층, 층간 유전체(ILD, interlayer dielectric)층, 또는 금속간 유전체(IMD, inter-metal dielectric)층이다.
- [0020] 본 개시에서, 확산 배리어층(100)은 하단 금속층(10)과 제1 자기층(20) 사이에 배치되어, 계면 특성을 개선시키도록 한다. 일부 실시예에서, 확산 배리어층(100)은, 제1 자기층(20) 내의 금속 원소가 하단 금속층(10) 내부로 확산되는 것을 억제할 수 있다. 제1 자기층(20)이 하단 금속층(10)과 직접 접촉할 때, 상대적으로 두꺼운 자기 불활성층이 형성되고, 약 300° C 내지 약 450° C에서의 후속적인 열 공정에 의해, 제1 자기층(20) 내의, Fe 및 Co와 같은, 금속 원소가 하단 금속층 내부로 확산된다.
- [0021] 본 개시에서, 도 1a에 도시된 바와 같이, 제1 자기층(20) 내의 금속 원소가 하단 금속층(10) 내부로 확산되는 것을 억제하는 확산 배리어층(100)이 제1 자기층(20)과 하단 금속층(10) 사이에 배치된다. 확산 배리어층의 두께는 일부 실시예에서 약 0.1nm 내지 약 0.6nm의 범위이고 다른 실시예에서 약 0.2nm 내지 약 0.5nm의 범위이다.
- [0022] 일부 실시예에서, 제1 자기층(20)은 철 및 코발트를 포함하며, 따라서 확산 배리어층(100)은 철 및/또는 코발트가 제1 자기층(20)으로부터 하단 금속층(10)으로 확산되는 것을 억제한다. 일부 실시예에서, 확산 배리어층(100)은 철을 포함하는 철 풍부층이고, 확산 배리어층(100) 내의 철의 원자 백분율은 제1 자기층(20) 내의 철의 원자 백분율보다 더 높다. 일부 실시예에서, 확산 배리어층(100) 내의 철의 원자 백분율은, 하단 금속층 측에서 보다 제1 자기층 측에서 더 높다. 특정 실시예에서, 철의 양은 제1 자기층 측에서부터 하단 금속층 측까지 점진적으로 감소한다.
- [0023] 일부 실시예에서, 제1 자기층(20)은 붕소를 더 포함하고, 확산 배리어층(100) 또한 붕소를 더 포함한다. 제1 자기층(20) 내의 붕소의 원자 백분율은 확산 배리어층(100) 내의 붕소의 원자 백분율과 동일하거나 상이하다. 특정 실시예에서, 확산 배리어층(100) 내의 붕소의 원자 백분율은 제1 자기층(20) 내의 붕소의 원자 백분율보다 더 높다.
- [0024] 일부 실시예에서, 제1 자기층(20)은, 전술한 바와 같이, $Fe_xCo_yB_{1-x-y}$ 이고, 확산 배리어층(100)은 Fe_zB_{1-z} 이며, 여기서 $z > x$ 이다. 일부 실시예에서, $0.50 \leq x \leq 0.70$ 이고, $0.10 \leq y \leq 0.30$ 이고, $0.65 \leq z \leq 0.90$ 이다. 다른 실시예에서, $0.55 \leq x \leq 0.65$ 이고, $0.15 \leq y \leq 0.25$ 이고, $0.65 \leq z \leq 0.75$ 이다.
- [0025] 일부 실시예에서, 확산 배리어층(100)은 코발트 풍부층이고, 코발트의 원자 백분율은 제1 자기층(20) 내의 코발트의 원자 백분율보다 더 높다. 일부 실시예에서, 확산 배리어층(100) 내의 코발트의 원자 백분율은, 하단 금속층 측에서보다 제1 자기층 측에서 더 높다. 특정 실시예에서, 코발트의 양은 제1 자기층 측에서부터 하단 금속층 측까지 점진적으로 감소한다.
- [0026] 확산 배리어층(100)은 다른 물질로 제조될 수 있다. 일부 실시예에서, 확산 배리어층(100)은, 마그네슘과 같은, 비자기 금속 물질로 제조된다. 다른 실시예에서, 확산 배리어층(100)은, 금속 산화물과 같은, 유전체 물질로 제조된다. 일부 실시예에서, 금속 산화물은, 하단 금속층 내에 포함된 금속의 산화물이다. 특정 실시예에서, 금속 산화물은 텅스텐 산화물과 탄탈륨 산화물 중 하나이다.
- [0027] 도 1b는 본 개시의 또 다른 실시예에 따른 SOT MRAM 셀의 개략도이다. 도 1a에 설명된 이전의 실시예와 동일하거나 유사한 물질, 구성, 치수, 및/또는 공정이 이후의 실시예에서 이용될 수 있으며, 그에 대한 상세한 설명은 생략될 수 있다.
- [0028] 도 1a와 유사하게, 지지층(5) 위에 하단 금속층(10)이 형성된다. 일부 실시예에서, 하단 금속층(10)은 β -W층이다. 자유층 또는 기준층으로서의 제1 자기층(20)이 하단 금속층(10) 위에 형성된다. 일부 실시예에서, 제1 자기층(20)은 철 및 코발트를 포함한다. 특정 실시예에서, 제1 자기층(20)은 붕소를 더 포함한다. 비자기 스페이서층(30)은, 예컨대, 마그네슘 산화물로 제조되고, 제1 자기층(20) 위에 형성되며, 비자기 스페이서층(30) 위에 제2 자기층(40)이 형성된다.

- [0029] 일부 실시예에서, 비자기 스페이서층(30)과 제2 자기층(40) 사이에 중간 금속층(60)이 배치된다. 일부 실시예에서, 중간 금속층(60)은 비자기 물질로 제조된다. 특정 실시예에서, 중간 금속층(60)은 Mg로 제조된다. 중간 금속층(60)의 두께는 일부 실시예에서 약 0.1nm 내지 약 0.6nm의 범위이고 다른 실시예에서 약 0.2nm 내지 약 0.5nm의 범위이다. 다른 실시예에서, 중간 금속층이 사용되지 않는다.
- [0030] 일부 실시예에서, 도 1b에 도시된 바와 같이, 제2 자기층 위에 반강자기층(70)이 형성되고, 반강자기층(70) 위에 제3 자기층(80)이 형성된다. 반강자기층(70)은 제2 자기층(40)의 자기 모멘트를 고정시키도록 돕는다. 일부 실시예에서, 반강자기층(70)은 루테튬(Ru) 또는 임의의 다른 적합한 반강자기 물질을 포함한다. 일부 실시예에서, 반강자기층(70)의 두께는 약 0.2nm 내지 약 0.8nm의 범위이다.
- [0031] 제3 자기층(80)은 하나 이상의 자기 물질층을 포함한다. 일부 실시예에서, 제3 자기층(80)은 코발트, 철, 니켈, 및 백금 중 하나 이상을 포함한다. 일부 실시예에서, 제3 자기층(80)의 물질은 제2 자기층(40)의 물질과 동일하거나 상이하다. 특정 실시예에서, 제3 자기층(80)은 CoPt층이다. 제3 자기층의 두께는 일부 실시예에서 약 0.5nm 내지 약 1.5nm의 범위이고 다른 실시예에서 약 0.7nm 내지 약 1.2nm의 범위이다.
- [0032] 또한, 도 1b에 도시된 바와 같이, 제1 자기층(20) 내의 금속 원소가 하단 금속층(10) 내부로 확산되는 것을 방지하기 위해, 하단 금속층(10)과 제1 자기층(20) 사이에 확산 배리어층(100)이 배치된다. 확산 배리어층(100)은, 제1 자기층보다 더 높은 철 원소 백분율을 갖는 철 풍부층, 제1 자기층보다 더 높은 코발트 원소 백분율을 갖는 코발트 풍부층, 마그네슘층, 텅스텐 산화물층, 및 탄탈륨 산화물층 중 하나이다.
- [0033] 일부 실시예에서, 확산 배리어층(100)과 중간 금속층 중 임의의 층 내에 이리듐이 포함된다. 일부 실시예에서, 도 1b에 도시된 바와 같이, 이리듐 함유층이 2개의 인접한 층 사이에 삽입된다. 이리듐 함유층은, 이리듐층, 이리듐 산화물층, 이리듐층과 이리듐 산화물층의 이중층 구조물, 이리듐-티타늄 질화물층, 이리듐층과 탄탈륨층의 이중층 구조물, 및 이리듐과 탄탈륨의 이원 합금층으로 구성된 그룹으로부터 선택된 하나일 수 있다.
- [0034] 도 1a 및 도 1b에 도시된 층들 각각은, 스퍼터링을 포함하는 물리적 기상 증착(PVD, physical vapor deposition); 분자 빔 에피택시(MBE, molecular beam epitaxy); 펄스 레이저 퇴적(PLD, pulsed laser deposition); 원자층 퇴적(ALD, atomic layer deposition); 전자 빔(e-beam) 에피택시; 화학적 기상 증착(CVD, chemical vapor deposition); 또는 저압 CVD(LPCVD, low pressure CVD), 초고진공 CVD(UHVCVD, ultrahigh vacuum CVD), 감압 CVD(RPCVD, reduced pressure CVD)를 포함하는 과생 CVD 공정; 전기 도금; 또는 이들의 임의의 조합을 포함하는, 적합한 필름 형성 방법에 의해 형성될 수 있다.
- [0035] 일부 실시예에서, 전술한 필름 형성 동작에 의해 필름 스택이 형성되고, 필름 스택이 형성된 후, 하나 이상의 리소그래피 및 에칭 동작을 포함하는 패터닝 동작이 필름 스택 상에 수행되어, 도 1a에 도시된 바와 같은 SOT 셀을 형성한다.
- [0036] 도 2a 내지 도 2c는, 본 개시의 한 실시예에 따른, 확산 배리어층(100)을 형성하기 위한 순차적 제조 동작을 도시한다. 도 2a 내지 도 2c에 의해 도시된 공정의 이전에, 도중에, 및 이후에 추가적인 동작이 제공될 수 있고, 아래에 설명된 동작 중 일부는 본 방법의 추가적인 실시예를 위해 대체되거나 제거될 수 있다는 것이 이해된다. 동작/공정의 순서는 상호교환가능할 수 있다.
- [0037] 도 2a에 도시된 바와 같이, 지지층(5) 위에 하단 금속층(10)이 형성된다. 하단 금속층(10)은 PVD, CVD, ALD, 또는 임의의 다른 적합한 필름 형성 방법에 의해 형성될 수 있다. 이후, 도 2b에 도시된 바와 같이, PVD, CVD, ALD, 또는 임의의 다른 적합한 필름 형성 방법을 사용함으로써 제1 자기층(20)이 형성된다. 제1 자기층(20)이 형성된 후, 도 2b에 도시된 바와 같이, 제1 자기층(20)과 하단 금속층(10) 사이에 자기 불활성층(22)이 형성된다. 자기 불활성층(22)은 SOT 자기 디바이스의 성능에 불리하게 영향을 미친다. 자기 불활성층(22)의 두께는 약 0.2nm 내지 약 0.8nm의 범위이다.
- [0038] 이후, 도 2c에 도시된 바와 같이, 철 풍부 확산 배리어층(100)을 만들기 위한 공정이 수행된다. 일부 실시예에서, 이 공정은 열 어닐링 공정이다. 열 어닐링 공정의 공정 온도는 약 350° C 내지 약 450° C의 범위이며, 다른 실시예에서는 약 375° C 내지 425° C의 범위이다. 열 어닐링의 공정 시간은 일부 실시예에서 약 30분 내지 약 240분의 범위이고 다른 실시예에서 약 90분 내지 약 180분의 범위이다. 열 어닐링 공정에 의해, 도 2c에 도시된 바와 같이, 확산 배리어층(100)으로서의 철 풍부층이 형성된다. 일부 실시예에서, 자기 불활성층(22)의 두께는 감소한다. 특정 실시예에서, 열 어닐링 공정 후, 자기 불활성층(22)의 두께는 약 0.1nm 내지 약 0.3nm이다. 한 구체적 실시예에서, 자기 불활성층(22)은 사라진다.

- [0039] 다른 실시예에서, 철/코발트 풍부 확산 배리어층(100)을 만들기 위한 플라즈마 처리 공정이 수행된다. 제1 자기층(20)이 도 2b에 도시된 바와 같이 형성된 후, 제1 자기층(20)은 플라즈마 처리를 거친다. 일부 실시예에서 플라즈마는 아르곤, 질소, 및 수소 중 적어도 하나의 플라즈마이다. RF 플라즈마, 유도 결합형 플라즈마(ICP, inductively coupled plasma) 또는 전자-사이클론 공명(ECR, electron-cyclotron resonance) 플라즈마, 또는 임의의 다른 플라즈마가 이용될 수 있다. 플라즈마 처리의 공정 시간은 일부 실시예에서 1분 내지 60분의 범위이고 다른 실시예에서 약 10분 내지 약 30분의 범위이다. 일부 실시예에서, 플라즈마 처리 중에, 약 250° C 내지 약 450° C의 범위의 온도에서 적층형 구조물이 가열된다. 플라즈마 처리에 의해, 도 2c에 도시된 바와 같이, 확산 배리어층(100)으로서의 철 풍부층이 형성된다. 일부 실시예에서, 자기 불활성층(22)의 두께는 감소한다. 특정 실시예에서, 플라즈마 처리 후, 자기 불활성층(22)의 두께는 약 0.1nm 내지 약 0.3nm이다. 한 구체적인 실시예에서, 자기 불활성층(22)은 사라진다.
- [0040] 또한, 확산 배리어층(100)이 텅스텐 또는 탄탈륨의 산화물일 때, 도 2d에 도시된 바와 같이, 텅스텐 또는 탄탈륨으로 제조된 하단 금속층(10)의 표면을 직접 산화시킴으로써 확산 배리어층(100) 형성될 수 있다. 산화 공정은 열적 산화 공정, 플라즈마 산화 공정, 또는 습식 화학적 산화 공정을 포함한다. 텅스텐 또는 탄탈륨의 산화물이 확산 배리어층(100)으로서 형성된 후, 제1 자기층(20)이 형성된다.
- [0041] 다른 실시예에서, PVD, CVD, MBE, ALD, 전기 도금, 또는 임의의 다른 적합한 방법과 같은, 퇴적 방법에 의해 확산 배리어층(100)이 형성된다.
- [0042] 도 3a, 도 3b, 도 3c, 및 도 3d는, 본 개시에 따른 확산 배리어층(100)의 효과를 보이는, SOT 자기 디바이스의 수직 자기 이방성(PMA)의 실험 결과를 도시한다. 도 3a 내지 도 3d에서, 수평 방향은 자기장(0e)이고, 수직 축은 자기광 커 효과(MOKE, magneto-optic Kerr effect)이다. 도 3a 및 도 3c는, 확산 배리어층이 없는 SOT 자기 셀에 대한 수직 자기 이방성을 도시하고, 도 3b 및 도 3d는, 확산 배리어층(100)을 갖는 SOT 자기 셀에 대한 수직 자기 이방성을 도시한다. 도 3a 및 도 3b는, 초기에 형성되었을 때의 수직 자기 이방성을 도시하고, 도 3c 및 도 3d는, SOT 자기 셀이 약 50분 동안 약 400° C에서 열 공정을 거친 후의 수직 자기 이방성을 도시한다. 도 3a 및 도 3b에 도시된 바와 같이, 확산 배리어층이 없는 SOT 자기 셀 및 확산 배리어층을 갖는 SOT 자기 셀 둘 다는, 명확한 이력 현상(hysteresis)을 갖는 우수한 수직 자기 이방성을 나타낸다. 그러나, 확산 배리어층이 없는 SOT 자기 셀이 약 400° C에서 가열된 후, 수직 자기 이방성 결과는 이력 현상을 나타내지 않는다. 이와 대조적으로, 확산 배리어층을 갖는 SOT 자기 셀이 약 400° C에서 가열된 후에도, 수직 자기 이방성 결과에서 우수한 이력 현상이 관찰되었다. 이들 결과는 본 개시에 따른 확산 배리어층(100)이 SOT 자기 셀의 열적 안정성을 개선시킬 수 있다는 것을 나타낸다.
- [0043] 도 4a 및 도 4b는, 본 개시에 따른, 확산 배리어층(100)의 효과를 보이는 실험 결과를 도시한다. 도 4a 및 도 4b는 에너지 분산 X선 분광측정(EDX, energy dispersive X-ray spectrometry)에 의한 결과이다. EDX 분석에 사용된 샘플은, 아래에서부터, 실리콘 산화물 지지층, 하단 금속층으로서의 텅스텐층, 제1 자기층으로서의 코발트 철 붕소층, 비자기 스페이서층으로서의 마그네슘 산화물층, 중간 금속층으로서의 Mg층, 제2 자기층으로서의 코발트 철 붕소층, 및 Ru층을 포함한다. 도 4a에 대한 샘플은, 확산 배리어층으로서의 철 붕소층을 더 포함하고, 도 4b에 대한 샘플은, 확산 배리어층을 포함하지 않는다는 점을 제외하면 도 4a에 대한 샘플과 동일하다. 샘플들은 50분 동안 400° C에서 가열 처리를 거친다.
- [0044] 이 실험에서, 제1 및 제2 자기층은 $Fe_{0.6}Co_{0.2}B_{0.2}$ 이고 확산 배리어층은 $Fe_{0.7}B_{0.3}$ 이다. 텅스텐층의 두께는 약 10nm이고, 제1 자기층의 두께는 약 0.8nm이고, 마그네슘 산화물층의 두께는 약 1.0nm이고, Mg층의 두께는 약 0.3nm이고, 제2 자기층의 두께는 약 0.4nm이고, Ru층의 두께는 약 3nm이다.
- [0045] 도 4b에 도시된 바와 같이, 유의미한 양의 철(Fe) 및 코발트(Co)가 텅스텐층 내부로 확산되지만, 도 4a에 도시된 바와 같이, 철 및 코발트의 텅스텐층 내부로의 확산이 유효하게 억제된다. 도 3a 내지 도 3d 및 도 4a 및 도 4b를 고려하면, 확산 배리어층(100)을 사용함으로써, 철 및 코발트의 제1 전도성층으로부터 텅스텐층(하단 금속층) 내부로의 확산이 유효하게 억제될 수 있으며, 이에 의해 SOT 자기 디바이스의 열적 안정성을 개선시킨다.
- [0046] SOT 자기 셀의 열적 안정성이 높을 때, MRAM으로서의 SOT 자기 셀을 반도체 디바이스 내부에 통합하기 더 쉽다. 일부 실시예에서, MRAM 디바이스는 전체 반도체 제조 공정 중 백 엔드 오브 라인(BEOL, back-end-of-line)에서 형성된다. BEOL에서, 반도체 기판 위에 형성되는 구조물은 약 400° C 내지 약 450° C의 하나 이상의 열 동작을 거친다. 따라서, 본 개시의 SOT 자기 셀은 반도체 제조 공정의 BEOL 공정과 호환가능하다.
- [0047] 일부 실시예에서, MRAM 셀은, 도 1a에 도시된 SOT 자기 디바이스, 전류원(110), 및 트랜지스터와 같은 스위칭

요소(120)를 포함한다.

- [0048] 모든 장점이 필연적으로 본 명세서에서 논의된 것은 아니고, 모든 실시예 또는 예를 위해 특정한 장점이 요구되지 않으며, 다른 실시예 또는 예는 상이한 장점을 제공할 수 있다는 것이 이해될 것이다.
- [0049] 예컨대, 본 개시에서, 하단 금속층(스핀 궤도 활성층)과 제1 자기층(자유 자기층) 사이에 확산 배리어층이 개재된다. 확산 배리어층은, 제1 자기층 내에 포함된, 철 및 코발트와 같은, 금속 원소의 하단 금속층 내부로의 확산을 억제한다. 따라서, 계면 특성이 개선될 수 있다. 예컨대, 자기 불활성층의 두께가 감소될 수 있다. 또한, 확산 배리어층은 후속 가열 공정에서의 금속 원소의 확산을 특히 억제한다. 따라서, 본 개시의 스핀 궤도 토크(SOT) 자기 디바이스는, 개선된 수직 자기 이방성(PMA)을 보이고, 반도체 디바이스 제조 공정과 호환가능하다.
- [0050] 본 개시의 한 양상에 따라서, 스핀-궤도-토크(SOT) 자기 디바이스는 하단 금속층, 하단 금속층 위에 배치된 제1 자기층, 제1 자기층 위에 배치된 스페이서층, 및 스페이서층 위에 배치된 제2 자기층을 포함한다. 제1 자기층의 금속 원소가 하단 금속층 내부로 확산되는 것을 억제하기 위한 확산 배리어층이 하단 금속층과 제1 자기층 사이에 배치된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 철 및 코발트를 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 철을 포함하고, 확산 배리어층 내의 철의 원자 백분율은 제1 자기층 내의 철의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 붕소를 더 포함하고, 확산 배리어층은 붕소를 더 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층 내의 붕소의 원자 백분율은 제1 자기층 내의 붕소의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 $Fe_xCo_yB_{1-x-y}$ 이고, 확산 배리어층은 Fe_zB_{1-z} 이며, 여기서 $z > x$ 이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, $0.50 \leq x \leq 0.70$ 이고 $0.65 \leq z \leq 0.90$ 이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 코발트를 포함하고, 확산 배리어층 내의 코발트의 원자 백분율은 제1 자기층 내의 코발트의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 마그네슘으로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 텅스텐 또는 탄탈륨의 산화물로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 하단 금속층은 텅스텐 또는 탄탈륨으로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층의 두께는 0.1nm 내지 0.6nm의 범위이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, SOT 자기 디바이스는, 스페이서층과 제2 자기층 사이에 배치된 중간 금속층을 더 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 중간 금속층은 마그네슘으로 제조되고 스페이서층은 마그네슘 산화물로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, SOT 자기 디바이스는, 제2 자기층 위에 배치된 상단 금속층을 더 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 상단 금속층은 루테튬으로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제2 자기층은 철, 코발트, 및 붕소를 포함한다.
- [0051] 본 개시의 또 다른 양상에 따라서, 스핀-궤도-토크(SOT) 자기 디바이스는 하단 금속층, 하단 금속층 위에 배치된 제1 자기층, 제1 자기층 위에 배치된 스페이서층, 및 스페이서층 위에 배치된 제2 자기층을 포함한다. 하단 금속층과 제1 자기층 사이에 자기 불활성층이 배치되고, 제1 자기층의 금속 원소가 하단 금속층 내부로 확산되는 것을 억제하기 위한 확산 배리어층이 자기 불활성층과 제1 자기층 사이에 배치된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 철 및 코발트를 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 철을 포함하고, 확산 배리어층 내의 철의 원자 백분율은 제1 자기층 내의 철의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층 및 확산 배리어층은 붕소를 더 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층 내의 붕소의 원자 백분율은 제1 자기층 내의 붕소의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 $Fe_xCo_yB_{1-x-y}$ 이고, 확산 배리어층은 Fe_zB_{1-z} 이며, 여기서 $z > x$ 이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, $0.50 \leq x \leq 0.70$ 이고 $0.65 \leq z \leq 0.90$ 이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 코발트를 포함하고, 확산 배리어층 내의 코발트의 원자 백분율은 제1 자기층 내의 코발트의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 마그네슘으로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 텅스텐 또는 탄탈륨의 산화물로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 하단 금속층은 텅스텐 또는 탄탈륨으로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층의 두

께는 0.1nm 내지 0.6nm의 범위이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, SOT 자기 디바이스는, 스페이서층과 제2 자기층 사이에 배치된 중간 금속층을 더 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 중간 금속층은 마그네슘으로 제조되고 스페이서층은 마그네슘 산화물로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, SOT 자기 디바이스는, 제2 자기층 위에 배치된 상단 금속층을 더 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 상단 금속층은 루테튬으로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제2 자기층은 철, 코발트, 및 붕소를 포함한다.

[0052] 본 개시의 또 다른 양상에 따라서, 자기 메모리는 SOT 자기 디바이스 및 스위칭 요소를 포함한다. SOT 자기 디바이스는 하단 금속층, 하단 금속층 위에 배치된 제1 자기층, 제1 자기층 위에 배치된 스페이서층, 및 스페이서층 위에 배치된 제2 자기층을 포함한다. 스위칭 디바이스는 하단 금속층 또는 제2 자기층에 커플링된다. 제1 자기층의 금속 원소가 하단 금속층 내부로 확산되는 것을 억제하기 위한 확산 배리어층이 하단 금속층과 제1 자기층 사이에 배치된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 철 및 코발트를 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 철을 포함하고, 확산 배리어층 내의 철의 원자 백분율은 제1 자기층 내의 철의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층 및 확산 배리어층은 붕소를 더 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층 내의 붕소의 원자 백분율은 제1 자기층 내의 붕소의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 $Fe_xCo_yB_{1-x-y}$ 이고 확산 배리어층은 Fe_zB_{1-z} 이며, 여기서 $z > x$ 이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, $0.50 \leq x \leq 0.70$ 이고 $0.65 \leq z \leq 0.90$ 이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 코발트를 포함하고, 확산 배리어층 내의 코발트의 원자 백분율은 제1 자기층 내의 코발트의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 마그네슘으로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 텅스텐 또는 탄탈륨의 산화물로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 하단 금속층은 텅스텐 또는 탄탈륨으로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층의 두께는 0.1nm 내지 0.6nm의 범위이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, SOT 자기 디바이스는, 스페이서층과 제2 자기층 사이에 배치된 중간 금속층을 더 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 중간 금속층은 마그네슘으로 제조되고 스페이서층은 마그네슘 산화물로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, SOT 자기 디바이스는, 제2 자기층 위에 배치된 상단 금속층을 더 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 상단 금속층은 루테튬으로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제2 자기층은 철, 코발트, 및 붕소를 포함한다.

[0053] 본 개시의 한 양상에 따라서, 스핀-궤도-토크(SOT) 자기 디바이스를 제조하는 방법에서, 하단 금속층 위에 제1 자기층이 형성된다. 제1 자기층 위에 스페이서층이 형성된다. 스페이서층 위에 제2 자기층이 형성된다. 또한, 제1 자기층과 하단 금속층 사이에 확산 배리어층이 형성된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은, 제1 자기층이 형성된 후에 수행되는 열 어닐링에 의해 형성된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 열 어닐링의 공정 온도는 $350^\circ C$ 내지 $450^\circ C$ 의 범위이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 열 어닐링의 공정 시간은 30분 내지 240분의 범위이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은, 제1 자기층이 형성된 후에 수행되는, 제1 자기층 상의 플라즈마 처리에 의해 형성된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 아르곤, 질소, 및 수소 중 적어도 하나의 플라즈마가 플라즈마 처리에 사용된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 플라즈마 처리의 공정 시간은 1분 내지 60분의 범위이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 철 및 코발트를 포함하고, 확산 배리어층은 철을 포함하고, 확산 배리어층 내의 철의 원자 백분율은 제1 자기층 내의 철의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층 및 확산 배리어층은 붕소를 더 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층 내의 붕소의 원자 백분율은 제1 자기층 내의 붕소의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 $Fe_xCo_yB_{1-x-y}$ 이고 확산 배리어층은 Fe_zB_{1-z} 이며, 여기서 $z > x$ 이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, $0.50 \leq x \leq 0.70$ 이고 $0.65 \leq z \leq 0.90$ 이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 철 및 코발트를 포함하고, 확산 배리어층은 코발트

를 포함하고, 확산 배리어층 내의 코발트의 원자 백분율은 제1 자기층 내의 코발트의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 퇴적 공정에 의해 형성된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 마그네슘으로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 텅스텐 또는 탄탈륨의 산화물로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 하단 금속층의 산화에 의해 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 하단 금속층은 텅스텐 또는 탄탈륨으로 제조되고 확산 배리어층은 텅스텐 또는 탄탈륨의 산화물로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층의 두께는 0.1nm 내지 0.6nm의 범위이다.

[0054] 본 개시의 또 다른 양상에 따라서, SOT 자기 디바이스를 제조하는 방법에서, 하단 금속층 위에 확산 배리어층이 형성된다. 확산 배리어층 위에 제1 자기층이 형성된다. 제1 자기층 위에 스페이서층이 형성된다. 스페이서층 위에 중간 금속층이 형성된다. 중간 금속층 위에 제2 자기층이 형성된다. 확산 배리어층은, 450° C를 초과하는 후속 열 공정에서 제1 자기층의 금속 원소가 하단 금속층 내부로 확산되는 것을 억제한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은, 제1 자기층이 형성된 후에 수행되는 열 어닐링에 의해 형성된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 열 어닐링의 공정 온도는 350° C 내지 450° C의 범위이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 열 어닐링의 공정 시간은 30분 내지 240분의 범위이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은, 제1 자기층이 형성된 후에 수행되는, 제1 자기층 상의 플라즈마 처리에 의해 형성된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 아르곤, 질소, 및 수소 중 적어도 하나의 플라즈마가 플라즈마 처리에 사용된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 플라즈마 처리의 공정 시간은 1분 내지 60분의 범위이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 철 및 코발트를 포함하고, 확산 배리어층은 철을 포함하고, 확산 배리어층 내의 철의 원자 백분율은 제1 자기층 내의 철의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층 및 확산 배리어층은 붕소를 더 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층 내의 붕소의 원자 백분율은 제1 자기층 내의 붕소의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 $Fe_xCo_yB_{1-x-y}$ 이고 확산 배리어층은 Fe_zB_{1-z} 이며, 여기서 $z > x$ 이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, $0.50 \leq x \leq 0.70$ 이고 $0.65 \leq z \leq 0.90$ 이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 철 및 코발트를 포함하고, 확산 배리어층은 코발트를 포함하고, 확산 배리어층 내의 코발트의 원자 백분율은 제1 자기층 내의 코발트의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 퇴적 공정에 의해 형성된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 마그네슘으로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 텅스텐 또는 탄탈륨의 산화물로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 하단 금속층의 산화에 의해 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 하단 금속층은 텅스텐 또는 탄탈륨으로 제조되고, 확산 배리어층은 텅스텐 또는 탄탈륨의 산화물로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층의 두께는 0.1nm 내지 0.6nm의 범위이다.

[0055] 본 개시의 또 다른 양상에 따라서, SOT 자기 디바이스를 제조하는 방법에서, 하단 금속층 위에 제1 자기층이 형성된다. 하단 금속층과 제1 자기층 사이에 확산 배리어층이 형성되도록, 제1 자기층이 처리된다. 제1 자기층 위에 스페이서층이 형성된다. 스페이서층 위에 중간 금속층이 형성된다. 중간 금속층 위에 제2 자기층이 형성된다. 확산 배리어층은, 450° C를 초과하는 후속 열 공정에서 제1 자기층의 금속 원소가 하단 금속층 내부로 확산되는 것을 억제한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은, 제1 자기층이 형성된 후에 수행되는 열 어닐링에 의해 형성된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 열 어닐링의 공정 온도는 350° C 내지 450° C의 범위이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 열 어닐링의 공정 시간은 30분 내지 240분의 범위이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은, 제1 자기층 상의 플라즈마 처리에 의해 형성된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 아르곤, 질소, 및 수소 중 적어도 하나의 플라즈마가 플라즈마 처리에 사용된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 플라즈마 처리의 공정 시간은 1분 내지 60분의 범위이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 철 및 코발트를 포함하고, 확산 배리어층은 철을 포함하고, 확산 배리어층 내의 철의 원자 백분율은 제1 자기층 내의 철의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는

실시예 중 하나 이상의 실시예에서, 제1 자기층 및 확산 배리어층은 붕소를 더 포함한다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층 내의 붕소의 원자 백분율은 제1 자기층 내의 붕소의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 $Fe_xCo_yB_{1-x-y}$ 이고 확산 배리어층은 Fe_zB_{1-z} 이며 여기서 $z > x$ 이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, $0.50 \leq x \leq 0.70$ 이고 $0.65 \leq z \leq 0.90$ 이다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 제1 자기층은 철 및 코발트를 포함하고, 확산 배리어층은 코발트를 포함하고, 확산 배리어층 내의 코발트의 원자 백분율은 제1 자기층 내의 코발트의 원자 백분율보다 더 높다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 퇴적 공정에 의해 형성된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 마그네슘으로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 텅스텐 또는 탄탈륨의 산화물로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층은 하단 금속층의 산화에 의해 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 하단 금속층은 텅스텐 또는 탄탈륨으로 제조되고 확산 배리어층은 텅스텐 또는 탄탈륨의 산화물로 제조된다. 전술한 실시예 및 후술하는 실시예 중 하나 이상의 실시예에서, 확산 배리어층의 두께는 0.1nm 내지 0.6nm의 범위이다.

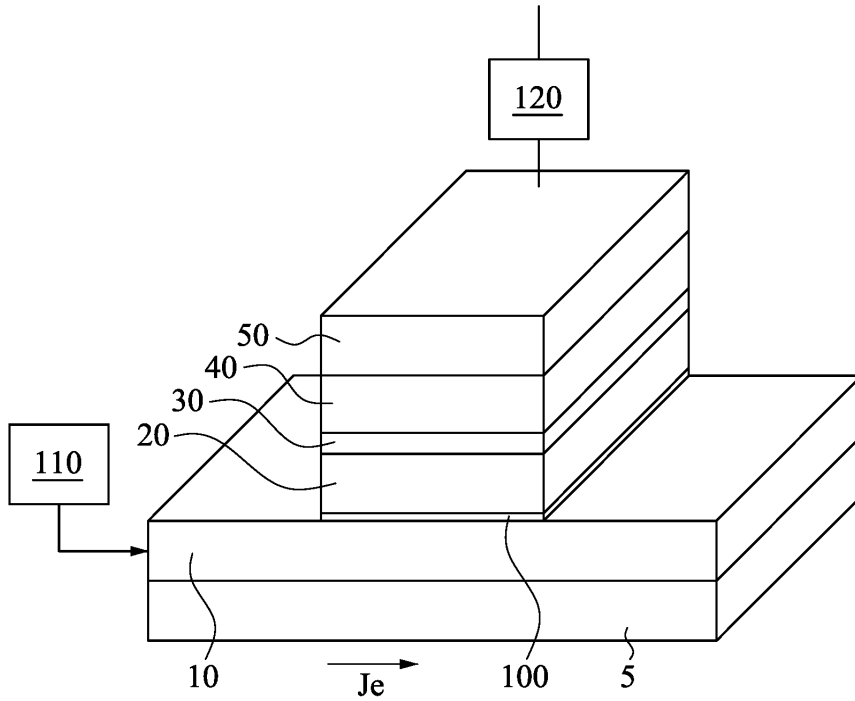
- [0056] 전술한 내용은, 당업자가 본 개시의 양상들을 더 잘 이해할 수 있도록, 여러 실시예 및 예의 특징을 약술한다. 당업자는, 동일한 목적을 수행하기 위해 다른 공정 및 구조를 설계 또는 수정하기 위한 기초로서 및/또는 본 명세서에 소개된 실시예 및 예의 동일한 이점을 달성하기 위한 기초로서 본 개시를 수월하게 사용할 수 있다는 것을 이해할 것이다. 또한, 당업자는 그러한 등가 구성이 본 개시의 사상 및 범위로 부터 벗어나지 않는다는 것과, 본 개시의 사상 및 범위로 부터 벗어나지 않으면서 본 개시의 다양한 변경, 대체 및 수정을 할 수 있다는 것을 인지할 것이다.
- [0057] <부기>
- [0058] 1. 스핀-궤도-토크(SOT, spin-orbit-torque) 자기 디바이스에 있어서,
- [0059] 하단 금속층;
- [0060] 상기 하단 금속층 위에 배치된 제1 자기층;
- [0061] 상기 제1 자기층 위에 배치된 스페이서층;
- [0062] 상기 스페이서층 위에 배치된 제2 자기층; 및
- [0063] 상기 하단 금속층과 상기 제1 자기층 사이에 배치된 확산 배리어층
- [0064] 을 포함하며,
- [0065] 상기 확산 배리어층은 상기 제1 자기층의 금속 원소가 상기 하단 금속층 내부로 확산되는 것을 억제하는, SOT 자기 디바이스.
- [0066] 2. 제1항에 있어서, 상기 제1 자기층은 철 및 코발트를 포함하는, SOT 자기 디바이스.
- [0067] 3. 제2항에 있어서,
- [0068] 상기 확산 배리어층은 철을 포함하고,
- [0069] 상기 확산 배리어층 내의 철의 원자 백분율은 상기 제1 자기층 내의 철의 원자 백분율보다 더 높은, SOT 자기 디바이스.
- [0070] 4. 제3항에 있어서, 상기 제1 자기층 및 상기 확산 배리어층은 붕소를 더 포함하는, SOT 자기 디바이스.
- [0071] 5. 제4항에 있어서, 상기 확산 배리어층 내의 붕소의 원자 백분율은 상기 제1 자기층 내의 붕소의 원자 백분율보다 더 높은, SOT 자기 디바이스.
- [0072] 6. 제2항에 있어서,
- [0073] 상기 제1 자기층은 $Fe_xCo_yB_{1-x-y}$ 이고,
- [0074] 상기 확산 배리어층은 Fe_zB_{1-z} 이며, $z > x$ 인, SOT 자기 디바이스.

- [0075] 7. 제6항에 있어서, $0.50 \leq x \leq 0.70$ 이고 $0.65 \leq z \leq 0.90$ 인, SOT 자기 디바이스.
- [0076] 8. 제2항에 있어서,
- [0077] 상기 확산 배리어층은 코발트를 포함하고,
- [0078] 상기 확산 배리어층 내의 코발트의 원자 백분율은 상기 제1 자기층 내의 코발트의 원자 백분율보다 더 높은, SOT 자기 디바이스.
- [0079] 9. 제1항에 있어서, 상기 확산 배리어층은 마그네슘으로 제조되는, SOT 자기 디바이스.
- [0080] 10. 제1항에 있어서, 상기 확산 배리어층은 텅스텐 또는 탄탈륨의 산화물로 제조되는, SOT 자기 디바이스.
- [0081] 11. 제1항에 있어서, 상기 하단 금속층은 텅스텐 또는 탄탈륨으로 제조되는, SOT 자기 디바이스.
- [0082] 12. 제1항에 있어서, 상기 확산 배리어층의 두께는 0.1nm 내지 0.6nm의 범위인, SOT 자기 디바이스.
- [0083] 13. 제1항에 있어서, 상기 스페이서층과 상기 제2 자기층 사이에 배치된 중간 금속층을 더 포함하는, SOT 자기 디바이스.
- [0084] 14. 제13항에 있어서, 상기 중간 금속층은 마그네슘으로 제조되고 상기 스페이서층은 마그네슘 산화물로 제조되는, SOT 자기 디바이스.
- [0085] 15. 제1항에 있어서, 상기 제2 자기층 위에 배치된 상단 금속층을 더 포함하는, SOT 자기 디바이스.
- [0086] 16. 제15항에 있어서, 상기 상단 금속층은 루테튬으로 제조되는, SOT 자기 디바이스.
- [0087] 17. 제1항에 있어서, 상기 제2 자기층은 철, 코발트, 및 붕소를 포함하는, SOT 자기 디바이스.
- [0088] 18. 스핀-궤도-토크(SOT) 자기 디바이스에 있어서,
- [0089] 하단 금속층;
- [0090] 상기 하단 금속층 위에 배치된 제1 자기층;
- [0091] 상기 제1 자기층 위에 배치된 스페이서층;
- [0092] 상기 스페이서층 위에 배치된 제2 자기층; 및
- [0093] 자기 불활성층과 상기 제1 자기층 사이에 배치된 확산 배리어층
- [0094] 을 포함하며,
- [0095] 상기 자기 불활성층은 상기 하단 금속층과 상기 제1 자기층 사이에 배치되어 형성되고,
- [0096] 상기 확산 배리어층은 상기 제1 자기층의 금속 원소가 상기 하단 금속층 내부로 확산되는 것을 억제하는, SOT 자기 디바이스.
- [0097] 19. 제18항에 있어서,
- [0098] 상기 제1 자기층은 $Fe_xCo_yB_{1-x-y}$ 이고,
- [0099] 상기 확산 배리어층은 Fe_zB_{1-z} 이며, $z > x$ 인, SOT 자기 디바이스.
- [0100] 20. 스핀-궤도-토크(SOT) 자기 디바이스를 제조하는 방법에 있어서,
- [0101] 하단 금속층 위에 제1 자기층을 형성하는 단계;
- [0102] 상기 하단 금속층과 상기 제1 자기층 사이에 확산 배리어층이 형성되도록, 상기 제1 자기층을 처리하는 단계;
- [0103] 상기 제1 자기층 위에 스페이서층을 형성하는 단계;
- [0104] 상기 스페이서층 위에 중간 금속층을 형성하는 단계; 및
- [0105] 상기 중간 금속층 위에 제2 자기층을 형성하는 단계
- [0106] 를 포함하며,
- [0107] 상기 확산 배리어층은, 450° C를 초과하는 후속 열 공정에서 상기 제1 자기층의 금속 원소가 상기 하단 금속층

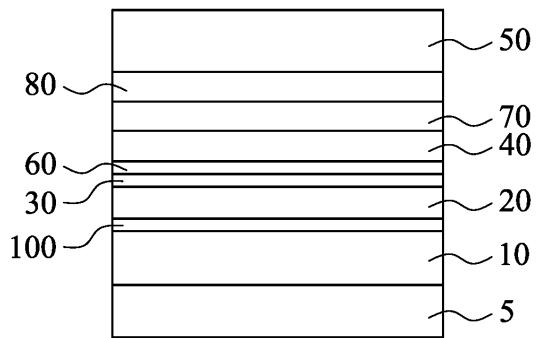
내부로 확산되는 것을 억제하는, SOT 자기 디바이스를 제조하는 방법.

도면

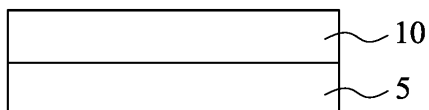
도면1a



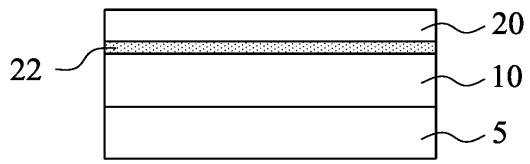
도면1b



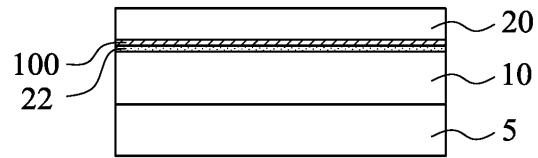
도면2a



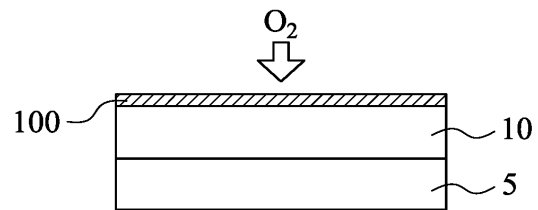
도면2b



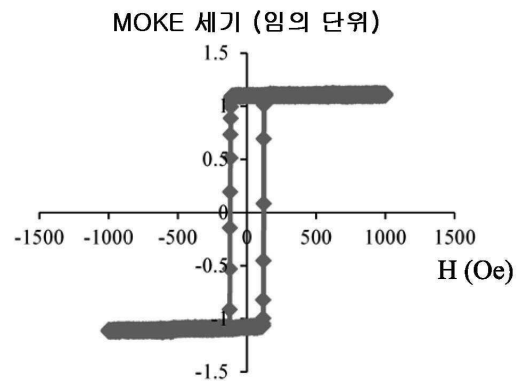
도면2c



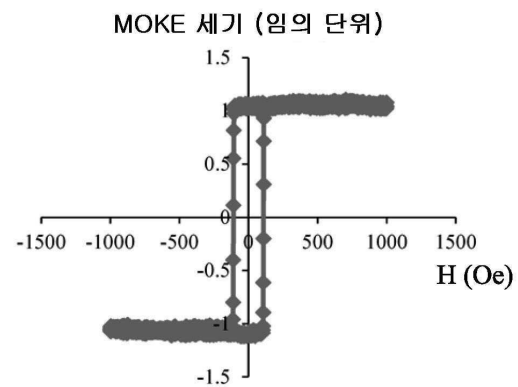
도면2d



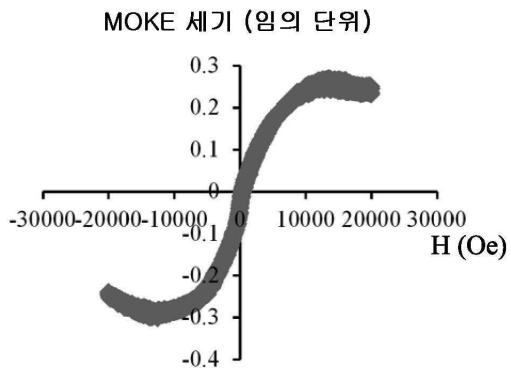
도면3a



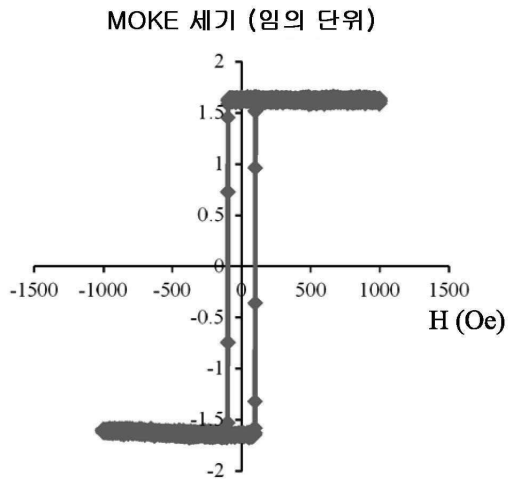
도면3b



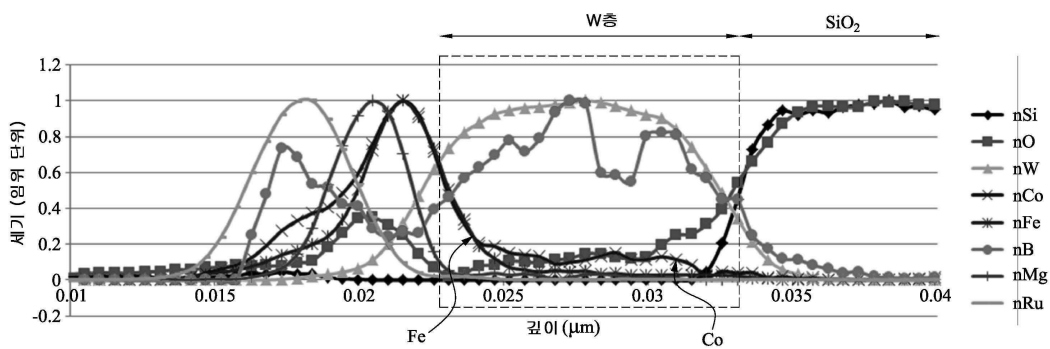
도면3c



도면3d



도면4a



도면4b

