



(21) 申請案號：110142385

(22) 申請日：中華民國 110 (2021) 年 11 月 15 日

(51) Int. Cl. : *G11C17/14 (2006.01)**H01L27/112 (2006.01)*

(30) 優先權：2021/09/08 美國

17/469,828

2020/12/18 美國

63/127,165

(71) 申請人：力旺電子股份有限公司 (中華民國) EMEMORY TECHNOLOGY INC. (TW)

新竹市新竹科學園區園區二路四十七號三〇五室

(72) 發明人：李玠澤 LEE, CHIEH-TSE (TW)；顏鼎洋 YEN, TING-YANG (TW)；黃正達

HUANG, CHENG-DA (TW)；林俊宏 LIN, CHUN-HUNG (TW)

(74) 代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：20 項 圖式數：4 共 26 頁

## (54) 名稱

防止漏電流及程式化干擾的反熔絲記憶體裝置、記憶體陣列以及反熔絲記憶體裝置的程式化方法

## (57) 摘要

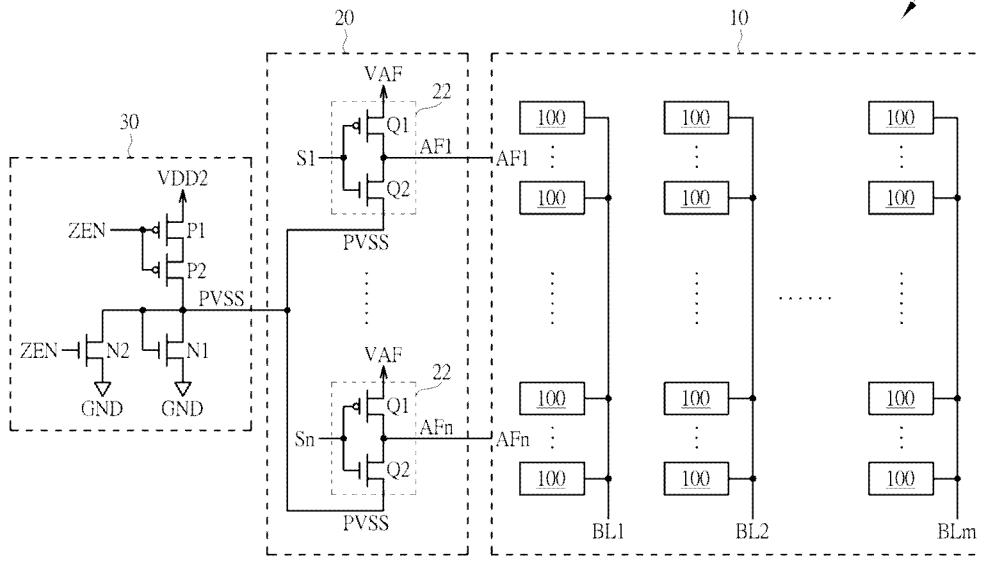
當反熔絲記憶體裝置的驅動電路程式化所選中的反熔絲記憶胞時，藉由浮接未被選中的反熔絲控制線或對未被選中的反熔絲控制線施加第二控制線電壓，未被選中的位元線和未被選中的反熔絲控制線之間的電壓差將被消除或降低至可接受的值。從未被選中的位元線通過破裂的反熔絲電晶體而流向未被選中的反熔絲控制線的漏電流將被減少或消除，而可避免程式化干擾。

When a driving circuit of an anti-fuse memory device programs a selected anti-fuse memory cell, voltage differences between unselected bit lines and unselected anti-fuse control lines would be eliminated or decreased to an acceptable value by floating unselected anti-fuse control lines or by applying a second control line voltage to the unselected anti-fuse control lines. Leakage currents flowing from unselected bit lines through ruptured anti-fuse transistors of the anti-fuse memory device to the unselected anti-fuse control lines would be decreased or eliminated, and program disturbance would be avoided.

指定代表圖：

符號簡單說明：

- 1:反熔絲記憶體裝置
- 10:記憶體陣列
- 20:驅動電路
- 22:控制單元
- 30:偽接地電路
- 100:反熔絲記憶體胞
- AF1 至 AFn:反熔絲控制線
- BL1 至 BLm:位元線
- GND:第二電源端
- N1:第一 N 型電晶體
- N2:第二 N 型電晶體
- P1:第一 P 型電晶體
- P2:第二 P 型電晶體
- PVSS:第二控制線電壓
- Q1:P 型電晶體
- Q2:N 型電晶體
- S1 至 Sn:選擇訊號
- VAF:第一控制線電壓
- VDD2:第一電源端
- ZEN:操作訊號



第1圖

## 【發明摘要】

【中文發明名稱】防止漏電流及程式化干擾的反熔絲記憶體裝置、記憶體陣列以及反熔絲記憶體裝置的程式化方法

【英文發明名稱】Anti-fuse memory device, memory array, and programming method of an anti-fuse memory device for preventing leakage current and program disturbance

### 【中文】

當反熔絲記憶體裝置的驅動電路程式化所選中的反熔絲記憶胞時，藉由浮接未被選中的反熔絲控制線或對未被選中的反熔絲控制線施加第二控制線電壓，未被選中的位元線和未被選中的反熔絲控制線之間的電壓差將被消除或降低至可接受的值。從未被選中的位元線通過破裂的反熔絲電晶體而流向未被選中的反熔絲控制線的漏電流將被減少或消除，而可避免程式化干擾。

### 【英文】

When a driving circuit of an anti-fuse memory device programs a selected anti-fuse memory cell, voltage differences between unselected bit lines and unselected anti-fuse control lines would be eliminated or decreased to an acceptable value by floating unselected anti-fuse control lines or by applying a second control line voltage to the unselected anti-fuse control lines. Leakage currents flowing from unselected bit lines through ruptured anti-fuse transistors of the anti-fuse memory device to the unselected anti-fuse control lines would be decreased or eliminated, and program disturbance would be avoided.

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

1：反熔絲記憶體裝置

10：記憶體陣列

20：驅動電路

22：控制單元

30：偽接地電路

100：反熔絲記憶胞

AF1至AFn：反熔絲控制線

BL1至BLm：位元線

GND：第二電源端

N1：第一N型電晶體

N2：第二N型電晶體

P1：第一P型電晶體

P2：第二P型電晶體

PVSS：第二控制線電壓

Q1：P型電晶體

Q2：N型電晶體

S1至Sn：選擇訊號

VAF：第一控制線電壓

VDD2：第一電源端

ZEN：操作訊號

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】防止漏電流及程式化干擾的反熔絲記憶體裝置、記憶體陣列以及反熔絲記憶體裝置的程式化方法

【英文發明名稱】 Anti-fuse memory device, memory array, and programming method of an anti-fuse memory device for preventing leakage current and program disturbance

### 【技術領域】

【0001】 本發明是有關於一種反熔絲記憶體裝置及其控制方法，特別是一種可防止漏電流和程式化干擾的反熔絲記憶體裝置及其控制方法。

### 【先前技術】

【0002】 非揮發性記憶體(Non-volatile memory；簡稱NVM)裝置能夠在關閉電源後還能保存所儲存的資料，因此成爲個人電腦和電子裝置中所廣泛採用的一種記憶體裝置。

【0003】 反熔絲記憶體裝置是一種廣泛應用於電子設備中的一次性程式化(one-time programming；簡稱OTP)非揮發性記憶體。藉由施加電壓，使電流流過氧化層的接面(junction)，並使摻雜物發生移動，從而使反熔絲電晶體的氧化層被打破(也稱爲"破裂(ruptured)")，進而形成導電路徑。然而，在由反熔絲電晶體所形成的記憶體陣列中，已被程式化且未被選中的記憶胞可能發生氧化層破裂，並在相鄰被選中的記憶單元的程式化操作期間造成漏電流(leakage current)，而造成程式化干擾(program disturbance)的問題。

**【發明內容】**

**【0004】** 本發明的一實施例揭露了一種反熔絲記憶體裝置，其包含多條反熔絲控制線、多條字元線、多條位元線以及多個反熔絲記憶胞。所述的多條反熔絲控制線包含第一反熔絲控制線，所述的多條字元線包含第一字元線，而所述的多條位元線包含第一位元線。每一反熔絲記憶胞耦接到一條對應的反熔絲控制線、一條對應的字元線及一條對應的位元線。當其中一個反熔絲記憶胞在反熔絲記憶體裝置的程式化操作的期間內被選中時，耦接到被選中的反熔絲記憶胞的第一反熔絲控制線用以接收第一控制線電壓，耦接到被選中的反熔絲記憶胞的第一字元線用以接收第一字元線電壓，耦接到被選中的反熔絲記憶胞的第一位元線用以接收第一位元線電壓，除了第一位元線以外的其他位元線用以接收高於第一位元線電壓的第二位元線電壓，且除了第一反熔絲控制線以外的其他反熔絲控制線處於浮接狀態，或用以接收高於第一位元線電壓的第二控制線電壓。其中第二控制線電壓等於或低於第二位元線電壓，且高於接地電壓。

**【0005】** 本發明的另一實施例揭露了一種記憶體陣列，其包含第一記憶胞、第二記憶胞、第三記憶胞以及第四記憶胞。其中當記憶體陣列執行程式化操作且第一記憶胞被選中時：耦接到第一記憶胞及第二記憶胞的一第一控制線用以接收一第一控制線電壓；耦接到第一記憶胞及第二記憶胞的一第一字元線用以接收一第一字元線電壓；耦接到第一記憶胞及第三記憶胞的一第一位元線被配置成接收一第一位元線電壓；耦接到第三記憶胞及第四記憶胞的一第二控制線被配置成處於浮接狀態或接收一第二控制線電壓；耦接到第三記憶胞及第四記憶胞的一第二字元線用以接收一第二字元線電壓；以及耦接到第二記憶胞及第

四記憶胞的一第二位元線用以接收一第二位元線電壓。其中第一控制線電壓高於第二控制線電壓，第一字元線電壓高於第二字元線電壓，且第一位元線電壓低於第二位元線電壓。第二控制線電壓高於一接地電壓，並低於或等於第二位元線電壓。

【0006】 本發明的另一實施例揭露了一種反熔絲記憶體裝置的程式化方法，反熔絲記憶體裝置包含多條反熔絲控制線、多條字元線、多條位元線、多個反熔絲記憶胞及一驅動電路，每一反熔絲記憶胞耦接到一對應的反熔絲控制線、一對應的字元線及一對應的位元線，而驅動電路用以藉由反熔絲控制線、字元線及位元線來控制反熔絲記憶胞的操作。所述的程式化方法包含：驅動電路施加一第一控制線電壓至與被選中的一反熔絲記憶胞耦接的一反熔絲控制線，施加一第一字元線電壓至與被選中的反熔絲記憶胞耦接的一字元線，以及施加一第一位元線電壓至與被選中的反熔絲記憶胞耦接的一位元線，以對被選中的反熔絲記憶胞進行程式化；當驅動電路對被選中的反熔絲記憶胞進行程式化時，驅動電路將大於第一位元線電壓的一第二位元線電壓施加至其餘的位元線；以及當驅動電路對被選中的反熔絲記憶胞進行程式化時，驅動電路將一第二控制線電壓施加在其餘的反熔絲控制線，或將上述其餘的反熔絲控制線驅動至一浮接狀態，其中第二控制線電壓等於或低於第二位元線電壓並高於一接地電壓。

### 【圖式簡單說明】

#### 【0007】

第1圖繪示了本發明的一實施例的反熔絲記憶體裝置。

第2圖繪示了第1圖中的反熔絲記憶體裝置的數個反熔絲記憶胞。

第3圖和第4圖繪示了本發明的不同實施例的其他反熔絲記憶體裝置。

**【實施方式】**

**【0008】** 第1圖繪示了本發明的一實施例的反熔絲（anti-fuse）記憶體裝置1，第2圖繪示了第1圖中的反熔絲記憶體裝置1的數個反熔絲記憶體胞A11至A33。反熔絲記憶體裝置1包含記憶體陣列10及驅動電路20。記憶體陣列10包含多條反熔絲控制線AF1至AFn、多條字元線（例如：第2圖中的WL1至WL3）、多條位元線BL1至BLm，和多個反熔絲記憶體胞100。記憶體陣列10的反熔絲記憶體胞100被排列成m行和n列，m和n是大於1的整數。每一反熔絲記憶體胞100都耦接至一條對應的反熔絲控制線、一條對應的字元線及一條對應的的位元線。例如，反熔絲記憶體胞A21耦接至反熔絲控制線AF2、字元線WL2和位元線BL1。反熔絲記憶體胞A13耦接至反熔絲控制線AF1、字元線WL1和位元線BL3。第2圖中所繪示的反熔絲記憶體胞A11至A33是示例性地選自第1圖中所示的記憶體陣列10的反熔絲記憶體胞100。

**【0009】** 在本發明的一實施例中，每一反熔絲記憶體胞100包含反熔絲電晶體T1和選擇電晶體T3。反熔絲電晶體T1具有較低擊穿電壓的薄氧化層，並與對應的反熔絲控制線（例如：AF1、AF2或AF3）耦接。選擇電晶體T3與對應的字元線（如WL1、WL2或WL3）和對應的位元線（如：BL1、BL2或BL3）耦接。在另一實施例中，每一反熔絲記憶體胞100可以另包含跟隨閘極電晶體T2，其耦接至對應的跟隨閘極線（例如：FL1、FL2或FL3），並耦接於反熔絲電晶體T1和選擇電晶體T3之間。換句話說，在本發明的一些實施例中，跟隨閘極電晶體T2為選擇性的元件，而反熔絲電晶體T1可以直接地耦接至選擇電晶體T3。值得注意的是，反熔絲電晶體T1可以由其他類型的電晶體來實現，而這些電晶體其氧化物層可容易地被擊穿或破裂。

【0010】 在反熔絲記憶體裝置1之程式化操作的過程中，其中一個反熔絲記憶體胞會被選中，而相關的電壓將藉由反熔絲控制線AF1至AFn、字元線（例如：WL1至WL3）和位元線BL1至BLm施加到各反熔絲記憶體胞100。例如，當反熔絲記憶體胞A31被驅動電路20選中以進行程式化時，從驅動電路20施加到反熔絲控制線AF1至AF3、字元線WL1至WL3、跟隨閘極線FL1至FL3以及位元線BL1至BL3的電壓可以如下列的表一所示。

AF1 (0.5伏特~1.5 伏特或浮接)	FL1 (0伏特)	WL1 (0伏特)	BL1 (0伏特)
AF2 (0.5伏特~1.5 伏特或浮接)	FL2 (0伏特)	WL2 (0伏特)	BL2 (1.5伏特)
AF3 (6伏特)	FL3 (2.2伏特)	WL3 (1.5伏特)	BL3 (1.5伏特)

(表一)

【0011】 當驅動電路20對被選中的反熔絲記憶體胞A31進行程式化時，耦接到被選中的反熔絲記憶體胞A31的反熔絲控制線AF3被施加6伏特的第一控制線電壓，耦接到被選中的反熔絲記憶體胞A31的跟隨閘極線FL3被施加2.2伏特的第一跟隨閘極線電壓，耦接到被選中的反熔絲記憶體胞A31的字元線WL3被施加1.5伏特的第一字元線電壓，而耦接到被選中的反熔絲記憶體胞A31的位元線BL1被施加0伏特的第一元線電壓。此外，當驅動電路20對被選中的反熔絲記憶體胞A31進行程式化時，其餘的反熔絲控制線AF1和AF2處於浮接狀態或被施加0.5至1.5伏特的第二控制線電壓，其餘的跟隨閘極線FL1和FL2被施加0伏特的第二跟隨閘極線電壓，其餘的字元線WL1和WL2被施加0伏特的第二字元線電壓，且其餘的位元線

BL2和BL3被施加1.5伏特的第二位元線電壓。

【0012】 在本實施例中，第一控制線電壓高於第一跟隨閘極線電壓。第一跟隨閘極線電壓高於第一字元線電壓。第二位元線電壓高於第一字元線電壓，或本質上等於第一字元線電壓，以確保每個未被選中的儲存單元（例如：A32和A33）中的電晶體T3可以被關閉。在本實施例中，由於第二控制線電壓為0.5至1.5伏特，而第二位元線電壓為1.5伏特，因此第二控制線電壓等於或小於第二位元線電壓。

【0013】 藉由遵循上述的各電壓的電壓值的大小關係，本發明各電壓可不限於上述所提到的電壓值。

【0014】 在本實施例中，反熔絲記憶胞A12已被程式化。換言之。反熔絲電晶體A12的反熔絲電晶體T1已經破裂，而形成具有低電阻的破裂處Rp。因此，漏電流可能從位元線BL2藉由破裂的反熔絲電晶體T1流向反熔絲控制線AF1。然而，由於反熔絲控制線AF1處於浮接狀態或被施加了0.5至1.5伏特的第二控制線電壓，因此當驅動電路20程式化被選中的反熔絲記憶胞A31時，位元線BL2和反熔絲控制線AF1之間的電壓差已被消除或已減少到可接受的值。因此，從位元線BL2經由破裂的反熔絲電晶體T1流至反熔絲控制線AF1的漏電流將被減少或消除。由於漏電流的減少或消除，位元線BL2的電壓水平將保持穩定（例如：位元線BL2的電壓水平保持在1.5伏特），以使與被選中的反熔絲記憶胞A31相鄰並耦接至被選中的反熔絲控制線AF3的反熔絲記憶胞A32之反熔絲電晶體T1免受程式化干擾（program disturbance）。

【0015】 如前所述，跟隨閘極電晶體T2在本發明的一些實施例中是選擇性的元件。對於這些的實施例，前述的表1可以簡化為下列的表二。

AF1 (0.5伏特~1.5伏特或 浮接)	WL1 (0伏特)	BL1 (0伏特)
AF2 (0.5伏特~1.5伏特或 浮接)	WL2 (0伏特)	BL2 (1.5伏特)
AF3 (6伏特)	WL3 (1.5伏特)	BL3 (1.5伏特)

(表二)

【0016】 在本發明的一實施例中，驅動電路20可以包含多個控制單元22。每一控制單元22用以根據選擇訊號（例如：S1、...或Sn），輸出第一控制線電壓（例如：6伏特）或第二控制線電壓（例如：0.5至1.5伏特）到控制單元22所耦接的反熔絲控制線（例如：AF1、...或AFn）。每一控制單元22可以包含P型電晶體Q1和N型電晶體Q2。P型電晶體Q1具有被施加了第一控制線電壓（即VAF）的第一端、耦接至對應的反熔絲控制線（例如：AF1、...或AFn）的第二端，以及接收選擇訊號（例如：S1、...或Sn）的控制端。N型電晶體Q2具有耦接至對應的反熔絲控制線（例如：AF1、...或AFn）的第一端、被施加了第二控制線電壓（即PVSS）的第二端，以及用於接收選擇訊號（例如：S1、...或Sn）的控制端。選擇訊號S1至Sn被用以控制對應的控制單元22。例如，當選擇訊號S1處於高電壓水平時，反熔絲控制線AF1被施加了第二控制線電壓PVSS（例如：0.5伏特至1.5伏特）。當選擇訊號S1處於低電壓水平時，反熔絲控制線AF1施加了第一控制線電壓VAF（例如：6伏特）。在本發明的一實施例中，反熔絲記憶體裝置1可另包含偽接地電路（pseudo-ground circuit）30。偽接地電路30用以輸出第二控制線電壓PVSS，

並可包含第一P型電晶體P1、第二P型電晶體P2以及第一N型電晶體N1。第一型電晶體P1具有耦接至第一電源端VDD2的第一端，以及用以接收操作訊號ZEN的控制端。第二P型電晶體P2具有耦接至第一P型電晶體P1之第二端的第一端、耦接至偽接地電路30之輸出端的第二端，以及用以接收操作訊號ZEN的控制端。第一N型電晶體N1具有耦接到偽接地電路30之輸出端的第一端、耦接到第二電源端GND的第二端，以及耦接到偽接地電路30之輸出端的控制端。

【0017】 操作訊號ZEN用於控制反熔絲記憶體裝置1執行程式化操作或讀取操作。當操作訊號ZEN的電壓水平處於低水平時，反熔絲記憶體裝置1執行程式化操作，並且偽接地電路30將第二控制線電壓PVSS輸出到驅動電路20。當反熔絲記憶體裝置1執行程式化操作時，由於第一N型電晶體N1的第二端接地且第一N型電晶體N1被打開，故由偽接地電路30的輸出端所輸出的第二控制線電壓PVSS可等於第一型電晶體N1的臨界電壓（例如：0.5伏特）。

【0018】 在本發明的一實施例中，偽接地電路30可另包含第二N型電晶體N2，其具有耦接至偽接地電路30之輸出端的第一端、耦接至第二電源端GND的第二端，以及用以接收操作訊號ZEN的控制端。當反熔絲記憶體裝置1執行讀取操作時，操作訊號ZEN的電壓水平處於高位，以開啓第二N型電晶體N2，進而將偽接地電路30的輸出端耦接至第二電源端GND。因此，當反熔絲記憶體裝置1執行讀取操作時，偽接地電路30的輸出端的電壓水平可以為0伏特。

【0019】 在一些實施例中，第一N型電晶體N1可以具有更好/更強的驅動能力（例如：比P型電晶體P1和P2的驅動能力更強），以在反熔絲記憶體裝置1執行程式化操作時，將偽地電路30的輸出端驅動至接地電壓。

【0020】 儘管第1圖繪示出了偽接地電路30的結構，但本發明並不限於此。例如，在其他一些實施例中，第二P型電晶體P2可以被省略，並且第一P型電晶體P1的第二端可耦接至偽接地電路30的輸出端。在其他一些實施例中，第一P型電晶體P1和第二P型電晶體P2可與更多的電晶體串聯或並聯在一起。在其他一些實施例中，根據所需的電路規格，第一N型電晶體N1可以與更多的電晶體串聯或並聯。例如，當第二N型電晶體N2連接於第一N型電晶體N1和第二電源端GND之間時，第一N型電晶體N1的第一端及控制端連接至偽接地電路30的輸出端，第一N型電晶體N1的第二端連接到第二N型電晶體N2的控制端及第一端，而第二N型電晶體N2的第二端連接至第二電源端GND，則第二控制線電壓PVSS將等於第一N型電晶體N1的臨界電壓與第二N型電晶體N2的臨界電壓之和。

【0021】 由於電晶體的跨壓 (cross-voltages) 的限制，當第二控制線電壓PVSS取代第二電源端GND的電壓 (例如：接地電壓) 時，第一控制線電壓VAF可以為更大的電壓 (例如：大於6伏特的電壓)。如此一來，當反熔絲記憶體裝置1執行程式化操作時，被選中的反熔絲記憶胞100所耦接的位元線及反熔絲控制線之間的電壓差將增加，進而提高反熔絲記憶體裝置1的程式化效率。

【0022】 在本說明書中，耦接至被選中的反熔絲記憶體之反熔絲控制線可被稱為「被選中的反熔絲控制線」，而除被選中的反熔絲控制線外的其餘反熔絲控制線可被稱為「未被選中的反熔絲控制線」。上述的描述方式可以類推至跟隨閘極線、字元線及位元線。根據這樣的定義，當反熔絲記憶胞A31被選中以進行程式化時，反熔絲控制線AF3是被選中的反熔絲控制線，跟隨閘極線FL3是被選中的跟隨閘極線，字元線WL3是被選中的字元線，位元線BL1是被選中的位元線，

反熔絲控制線AF1和AF2是未被選中的反熔絲控制線，跟隨閘極線FL1和FL2是未被選中的跟隨閘極線，字元線WL1和WL2是未被選中的字元線，而位元線BL2和BL3是未被選中的位元線。

【0023】 第3圖繪示了本發明另一實施例的反熔絲記憶體裝置1B。反熔絲記憶體裝置1和1B之間的主要差異如下：反熔絲記憶體裝置1B另包含耦接於驅動電路20和偽接地電路30之間的開關SW。開關SW的打開和關閉與記憶體陣列10的操作相關。例如，當操作訊號ZEN為低電位且開關SW被打開時，未被選中的反熔絲記憶胞100所耦接的未被選中的反熔絲控制線（例如：AF1、...或AFn）將接收第二控制線電壓PVSS。當開關SW被關閉時，未被選中的反熔絲記憶胞100所耦接的反熔絲控制線則會處於浮接狀態。

【0024】 第4圖繪示了本發明另一實施例的反熔絲記憶體裝置1C。反熔絲記憶體裝置1和1C之間的主要差異如下：第1圖所示的反熔絲記憶體裝置1的驅動電路20被第4圖所示的反熔絲記憶體裝置1C的驅動電路20C取代。驅動電路20C包含多個控制單元22C。第4圖中的控制單元22C與第1圖中的控制單元22相似，而控制單元22C和控制單元22之間的主要區別是，每一控制單元22C另包含開關SW，其耦接於偽接地電路30的輸出端和N型電晶體Q2的第二端之間。開關SW可以在記憶體陣列10的操作中被打開和關閉。例如，當操作訊號ZEN為高電位且其中開關SW被打開時，耦接至被打開的開關SW之反熔絲控制線（例如：AF1、...或AFn）將接收第二控制線電壓PVSS。其中，當開關SW被關閉時，耦接至被關閉的開關SW之反熔絲控制線則處於浮接狀態。

【0025】 綜上所述，當驅動電路程式化所選中的反熔絲記憶胞時，藉由浮接

未被選中的反熔絲控制線或對未被選中的反熔絲控制線施加第二控制線電壓，未被選中的位元線和未被選中的反熔絲控制線之間的電壓差將被消除或降低至可接受的值。因此，從未被選中的位元線經由破裂的反熔絲電晶體流向未被選中的反熔絲控制線的漏電流將被減少或消除。由於漏電流的減少或消除，未被選中的其餘位元線的電壓水平將保持穩定，進而使耦接至被選中的反熔絲控制線的反熔絲電晶體免受程式化干擾。此外，由於電晶體的跨壓（cross-voltages）的限制，藉由接收第二控制線電壓PVSS而非接收接地電壓，第一控制線電壓VAF可具有更大的電壓水平（例如：大於6伏特）。如此一來，當反熔絲記憶體裝置執行程式化操作時，被選中的反熔絲記憶胞所耦接的位元線及反熔絲控制線之間的電壓差將增加，進而提高反熔絲記憶體裝置的程式化效率。

以上該僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

#### 【符號說明】

#### 【0026】

1、1B、1C：反熔絲記憶體裝置

10：記憶體陣列

20、20C：驅動電路

22、22C：控制單元

30：偽接地電路

100、A11至A33：反熔絲記憶胞

AF1至AFn：反熔絲控制線

BL1至BLm：位元線

GND：第二電源端

FL1、FL2、FL3：跟隨閘極線

N1：第一N型電晶體

N2：第二N型電晶體

P1：第一P型電晶體

P2：第二P型電晶體

PVSS：第二控制線電壓

Q1：P型電晶體

Q2：N型電晶體

Rp：破裂處

S1至Sn：選擇訊號

SW：開關

T1：反熔絲電晶體

T2：跟隨閘極電晶體

T3：選擇電晶體

VAF：第一控制線電壓

VDD2：第一電源端

WL1、WL2、WL3：字元線

ZEN：操作訊號

## 【發明申請專利範圍】

【請求項1】 一種反熔絲記憶體裝置，包含：

多條反熔絲控制線，包含一第一反熔絲控制線；

多條字元線，包含一第一字元線；

多條位元線，包含一第一位元線；以及

多個反熔絲記憶胞，每一反熔絲記憶胞耦接到一對應的反熔絲控制線、一對應的字元線及一對應的位元線；

其中，當該些反熔絲記憶胞中的一反熔絲記憶胞在該反熔絲記憶體裝置的一程式化操作的期間內被選中時：

耦接到被選中的該反熔絲記憶胞的該第一反熔絲控制線用以接收一第一控制線電壓；

耦接到被選中的該反熔絲記憶胞的該第一字元線用以接收一第一字元線電壓；

耦接到被選中的該反熔絲記憶胞的該第一位元線用以接收一第一位元線電壓；

除了該第一位元線以外的其他位元線用以接收高於該第一位元線電壓的一第二位元線電壓；及

除了該第一反熔絲控制線以外的其他反熔絲控制線處於浮接狀態，或用以接收高於該第一位元線電壓的一第二控制線電壓，其中該第二控制線電壓等於或低於該第二位元線電壓，且高於一接地電壓。

【請求項2】 如請求項1所述的反熔絲記憶體裝置，其中在該程式化操作的期間內，除了該第一字元線以外的其他字元線用以接收比該第一字元線電壓低的一第二字元線電壓。

【請求項3】 如請求項1所述的反熔絲記憶體裝置，其中該每一反熔絲記憶胞包含：

- 一反熔絲電晶體，耦接至該對應的反熔絲控制線；及
- 一選擇電晶體，耦接至該對應的字元線和該對應的位元線。

【請求項4】 如請求項3所述的反熔絲記憶體裝置，另包含：

多條跟隨閘極線；

其中，該每一反熔絲記憶胞另包含：

- 一跟隨閘極電晶體，耦接至一對應的跟隨閘極線，並耦接在該反熔絲電晶體和該選擇電晶體之間。

【請求項5】 如請求項4所述的反熔絲記憶體裝置，其中在該程式化操作的期間內：

- 該些跟隨閘極線中與被選中的該反熔絲記憶胞耦接的一第一跟隨閘極線用以接收一第一跟隨閘極線電壓；以及
- 除了該第一跟隨閘極線以外的其他跟隨閘極線用以接收低於該第一跟隨閘極線電壓的一第二跟隨閘極線電壓。

【請求項6】 如請求項1所述的反熔絲記憶體裝置，另包含：

- 一驅動電路，包含多個控制單元，每一控制單元用以根據一選擇訊號，將該第一控制線電壓或該第二控制線電壓輸出至該些反熔絲控制線中的一反熔絲控制線，其中該每一控制單元包含：
  - 一P型電晶體，具有：

- 一第一端，被施加該第一控制線電壓；
- 一第二端，耦接至該每一控制單元所耦接的該反熔絲控制線；以及
- 一控制端，用於接收該選擇訊號；以及

一N型電晶體，具有：

- 一第一端，耦接至該每一控制單元所耦接的該反熔絲控制線；
- 一第二端，被施加該第二控制線電壓；以及
- 一控制端，用於接收該選擇訊號。

**【請求項7】** 如請求項1所述的反熔絲記憶體裝置，另包含：

一偽接地電路 (pseudo-ground circuit)，用以輸出該第二控制線電壓，並包含：

- 一第一P型電晶體，具有耦接至一第一電源的一第一端、耦接至該偽接地電路的一輸出端的一第二端，以及用以接收一操作訊號的一控制端；以及
- 一第一N型電晶體，具有一第一端、耦接到該偽接地電路的該輸出端的一控制端，以及耦接到一第二電源端的一第二端。

**【請求項8】** 如請求項7所述的反熔絲記憶體裝置，其中該偽接地電路另包含：

一第二N型電晶體，具有耦接至該偽接地電路的該輸出端的一第一端、耦接至該第二電源端的一第二端，以及用以接收該操作訊號的一控制端。

**【請求項9】** 如請求項1所述的反熔絲記憶體裝置，另包含耦接至該些反熔絲控制線的一開關，並用以在該程式化操作的期間內，使除了該第一反熔絲控制線的其他反熔絲控制線浮接。

**【請求項10】** 一種記憶體陣列，包含：

- 一第一記憶胞；
- 一第二記憶胞；
- 一第三記憶胞；以及
- 一第四記憶胞；

其中，當記憶體陣列執行程式化操作且第一記憶胞被選中時：

耦接到該第一記憶胞及該第二記憶胞的一第一控制線用以接收一第一控制線電壓；

耦接到該第一記憶胞及該第二記憶胞的一第一字元線用以接收一第一字元線電壓；

耦接到該第一記憶胞及該第三記憶胞的一第一位元線被配置成接收一第一位元線電壓；

耦接到該第三記憶胞及該第四記憶胞的一第二控制線被配置成處於浮接狀態或接收一第二控制線電壓；

耦接到該第三記憶胞及該第四記憶胞的一第二字元線用以接收一第二字元線電壓；以及

耦接到該第二記憶胞及該第四記憶胞的一第二位元線用以接收一第二位元線電壓；

其中該第一控制線電壓高於該第二控制線電壓，該第一字元線電壓高於該第二字元線電壓，且該第一位元線電壓低於該第二位元線電壓；及

其中該第二控制線電壓高於一接地電壓，且低於或等於該第二位元線電壓。

**【請求項11】** 如請求項10所述的記憶體陣列，其中該第一字元線電壓低於或等

於該第二位元線電壓。

**【請求項12】** 一種反熔絲記憶體裝置的程式化方法，該反熔絲記憶體裝置包含多條反熔絲控制線、多條字元線、多條位元線、多個反熔絲記憶胞及一驅動電路，每一反熔絲記憶胞耦接到一對應的反熔絲控制線、一對應的字元線及一對應的位元線，而該驅動電路用以藉由該些反熔絲控制線、該些字元線及該些位元線來控制該些反熔絲記憶胞的操作，該程式化方法包含：

該驅動電路施加一第一控制線電壓至與被選中的一反熔絲記憶胞耦接的一反熔絲控制線，施加一第一字元線電壓至與被選中的該反熔絲記憶胞耦接的一字元線，以及施加一第一位元線電壓至與被選中的該反熔絲記憶胞耦接的一位元線，以對被選中的該反熔絲記憶胞進行程式化；當該驅動電路對被選中的該反熔絲記憶胞進行程式化時，該驅動電路將大於該第一位元線電壓的一第二位元線電壓施加至其餘的位元線；以及當該驅動電路對被選中的該反熔絲記憶胞進行程式化時，該驅動電路將一第二控制線電壓施加在其餘的反熔絲控制線，或將上述其餘的反熔絲控制線驅動至一浮接狀態，其中該第二控制線電壓等於或低於該第二位元線電壓並高於一接地電壓。

**【請求項13】** 如請求項12所述的程式化方法，另包含：

當該驅動電路對被選中的該反熔絲記憶胞進行程式化時，該驅動電路將小於該第一字元線電壓的一第二字元線電壓施加至上述其餘的字元線。

**【請求項14】** 如請求項12所述的程式化方法，其中該每一反熔絲記憶胞包含：

一反熔絲電晶體，耦接到對應的反熔絲控制線；以及

一選擇電晶體，耦接到對應的字元線和對應的位元線。

**【請求項15】** 如請求項14所述的程式化方法，其中該反熔絲記憶體裝置另包含：

多條跟隨閘極線；

其中，該每一反熔絲記憶胞另包含：

一跟隨閘極電晶體，耦接至一對應的跟隨閘極線，並耦接在該反熔絲電晶體和該選擇電晶體之間。

**【請求項16】** 如請求項15所述的程式化方法，另包含：

當該驅動電路對被選中的該反熔絲記憶胞進行程式化時，該驅動電路將一第一跟隨閘極線電壓施加到對應的該跟隨閘極線；以及

當該驅動電路對被選中的該反熔絲記憶胞進行程式化時，該驅動電路將低於該第一跟隨閘極線電壓的一第二跟隨閘極線電壓施加至其餘的跟隨閘極線。

**【請求項17】** 如請求項12所述的程式化方法，其中該驅動電路包含多個控制單元，而每一控制單元用以根據一選擇訊號，將該第一控制線電壓或該第二控制線電壓輸出至該控制單元所耦接的一反熔絲控制線。

**【請求項18】** 如請求項12所述的程式化方法，其中該反熔絲記憶體裝置另包含一偽接地電路（pseudo-ground circuit），用以輸出該第二控制線電壓。

**【請求項19】** 如請求項18所述的程式化方法，其中該偽接地電路包含：

一第一P型電晶體，具有耦接至一第一電源的一第一端，以及用以接收一操

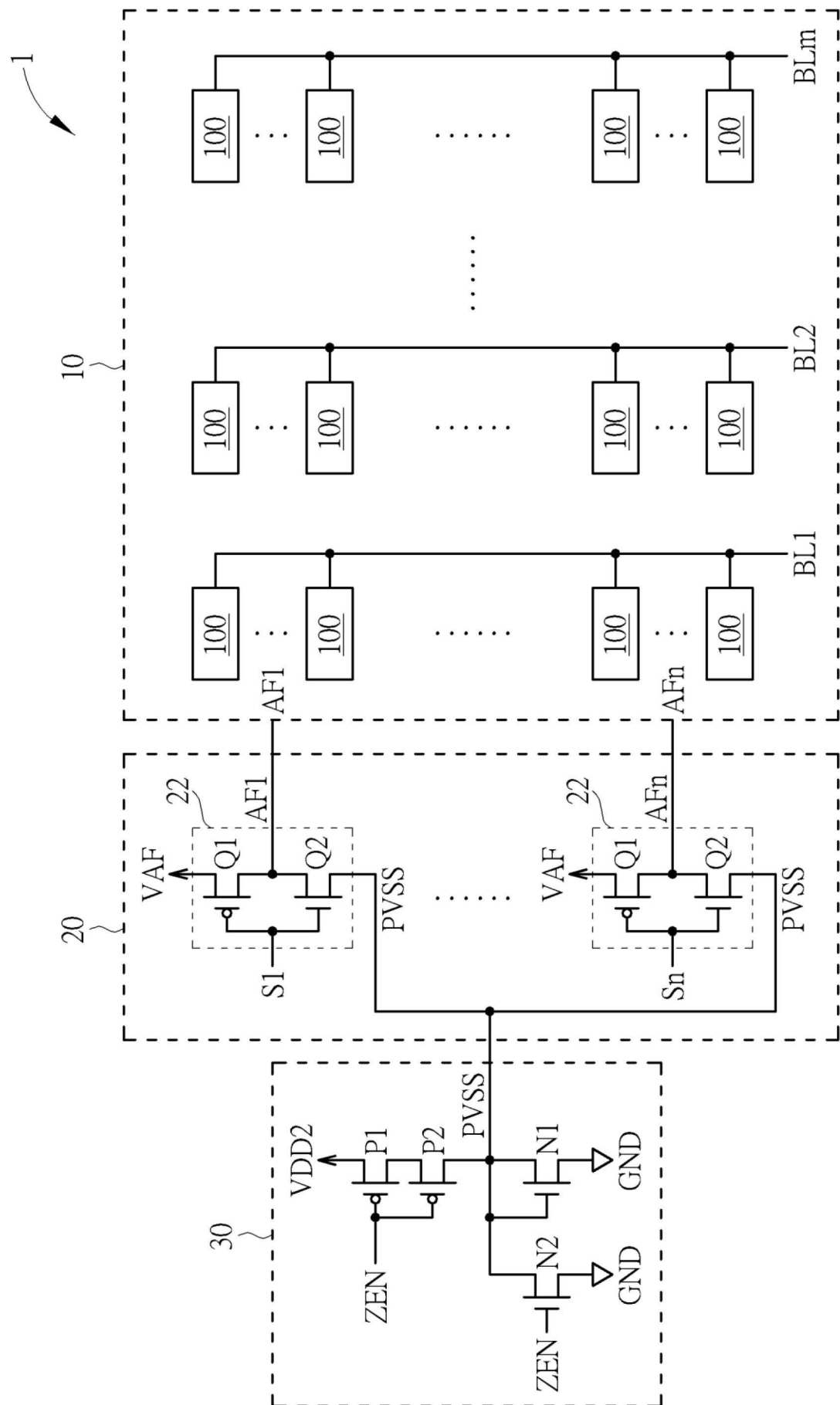
作訊號的一控制端；

- 一第二P型電晶體，具有耦接至該第一P型電晶體的一第二端的一第一端、耦接至該偽接地電路的一輸出端的一第二端，以及用以接收一操作訊號的一控制端；以及
- 一第一N型電晶體，具有一第一端、耦接到一第二電源端的一第二端，以及耦接到該偽接地電路的該輸出端的一控制端。

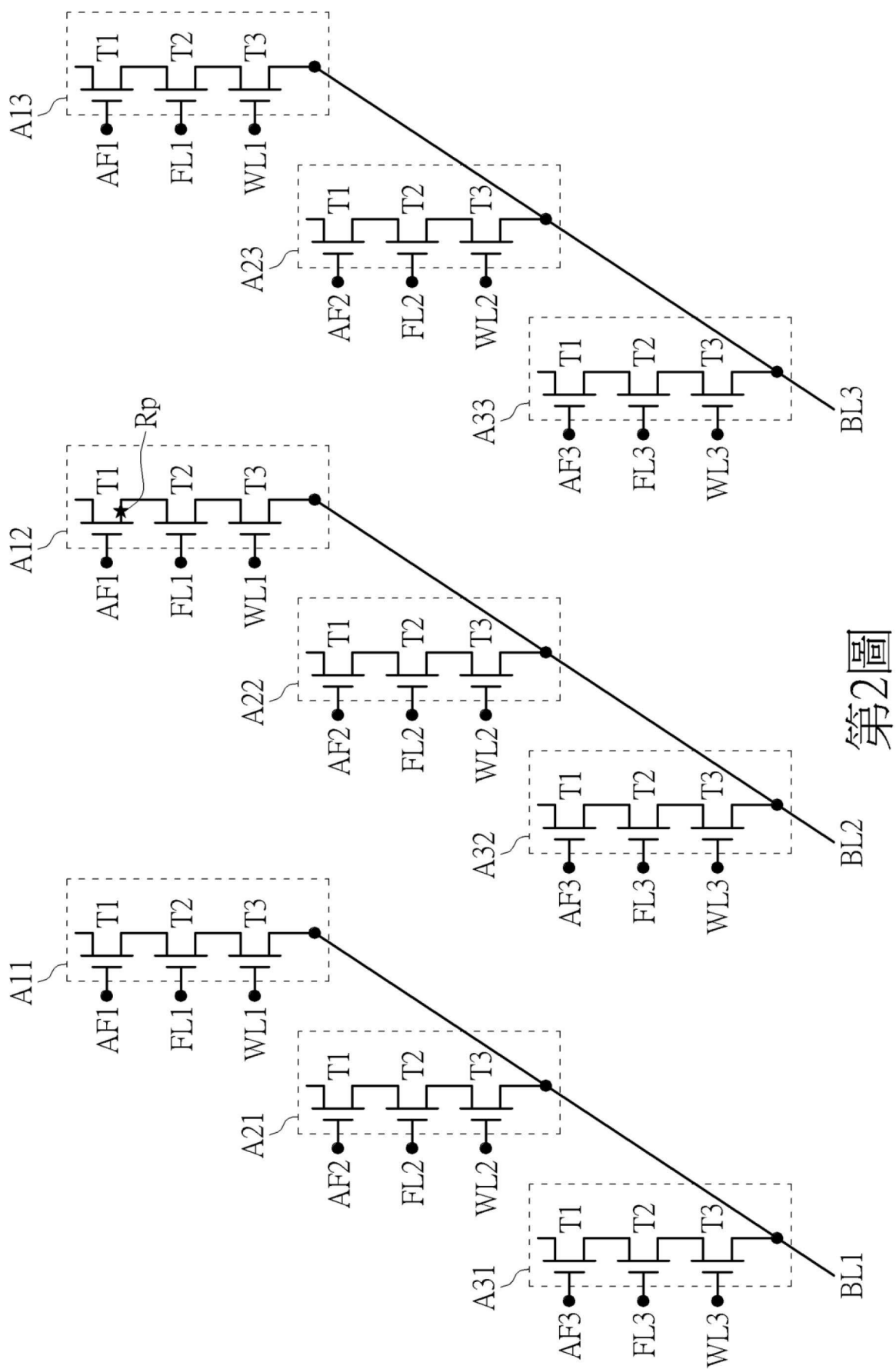
**【請求項20】** 如請求項19所述的程式化方法，其中該偽接地電路另包含：

- 一第二N型電晶體，具有耦接至該偽接地電路的該輸出端的一第一端、耦接至該第二電源端的一第二端，以及用以接收該操作訊號的一控制端。

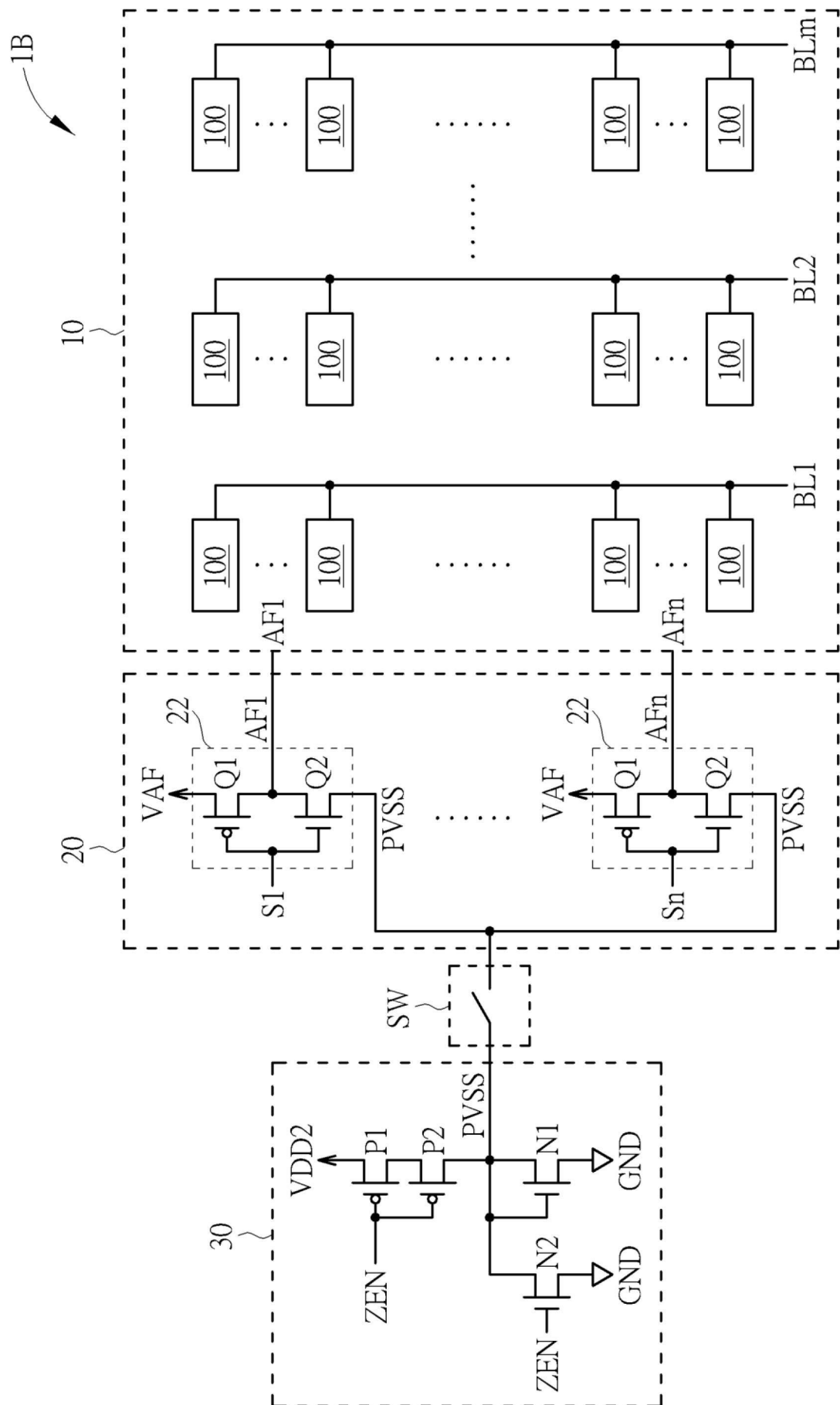
【發明圖式】



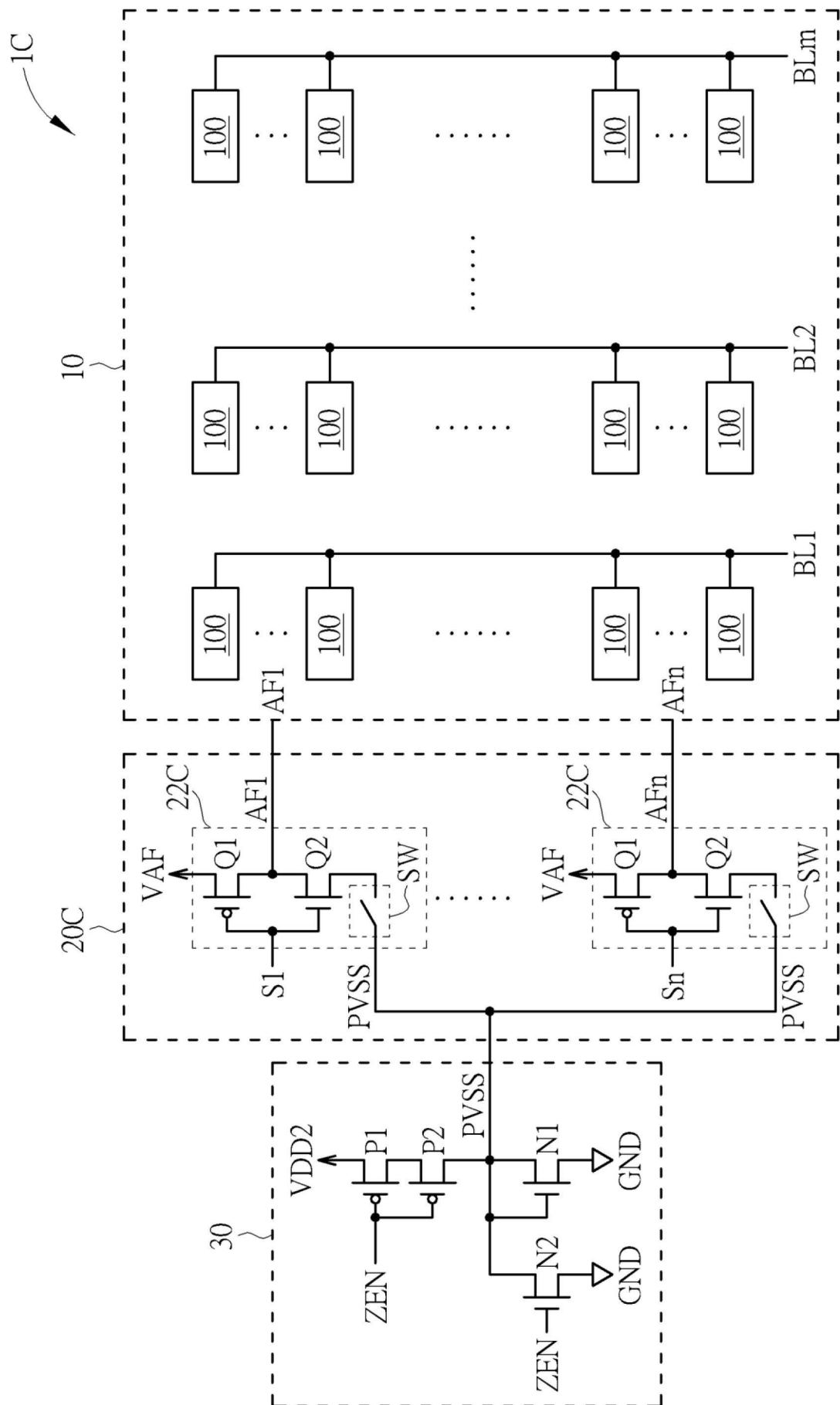
第1圖



第2圖



第3圖



第4圖