

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5878837号  
(P5878837)

(45) 発行日 平成28年3月8日(2016.3.8)

(24) 登録日 平成28年2月5日(2016.2.5)

(51) Int.Cl.		F I			
G 1 1 C	11/413	(2006.01)	G 1 1 C	11/34	3 3 5 A
G 1 1 C	11/417	(2006.01)	G 1 1 C	11/34	3 0 5

請求項の数 15 (全 24 頁)

<p>(21) 出願番号 特願2012-152502 (P2012-152502)</p> <p>(22) 出願日 平成24年7月6日(2012.7.6)</p> <p>(65) 公開番号 特開2014-17029 (P2014-17029A)</p> <p>(43) 公開日 平成26年1月30日(2014.1.30)</p> <p>審査請求日 平成27年2月13日(2015.2.13)</p> <p>(出願人による申告)平成23年度、独立行政法人科学技術振興機構 戦略的創造研究推進事業チームにおける研究領域「ディペンダブルVLSIシステムの基盤技術」、産業技術力強化法第19条の適用を受ける特許出願</p>	<p>(73) 特許権者 302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号</p> <p>(74) 代理人 110001195 特許業務法人深見特許事務所</p> <p>(72) 発明者 藤原 英弘 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内</p> <p>審査官 滝谷 亮一</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

メモリセルが第1行数配置された第1メモリマクロと、前記メモリセルが第2行数配置された第2メモリマクロと、を備える半導体装置であって、

前記第1メモリマクロは、前記メモリセルと接続された第1ビット線と、書込み時に前記第1ビット線に印加する第1負バイアス電圧を生成する第1負バイアス電圧生成回路と、第1負バイアス基準電圧生成部と、を有し、

前記第2メモリマクロは、前記メモリセルと接続された第2ビット線と、書込み時に前記第2ビット線に印加する第2負バイアス電圧を生成する第2負バイアス電圧生成回路と、第2負バイアス基準電圧生成部と、を有し、

前記第1負バイアス基準電圧生成部は、第1抵抗、および第2抵抗の第1抵抗比に基づき第1負バイアス基準電圧を生成して第1負バイアス基準配線に出力し、

前記第2負バイアス基準電圧生成部は、第3抵抗、および第4抵抗の第2抵抗比に基づき第2負バイアス基準電圧を生成して第2負バイアス基準配線に出力し、

前記第1負バイアス電圧生成回路は、前記第1負バイアス基準電圧に基づき、前記第1負バイアス電圧を生成し、

前記第2負バイアス電圧生成回路は、前記第2負バイアス基準電圧に基づき、前記第2負バイアス電圧を生成し、

前記第1抵抗比は前記第2抵抗比と異なる、半導体装置。

【請求項2】

前記第 1 負バイアス電圧生成回路は第 1 容量素子を有し、  
前記第 2 負バイアス電圧生成回路は第 2 容量素子を有し、  
前記第 1 容量素子の一端は前記第 1 ビット線と電氣的に接続され、その他端は前記第 1 負バイアス基準配線と電氣的に接続され、  
前記第 2 容量素子の一端は前記第 2 ビット線と電氣的に接続され、その他端は前記第 2 負バイアス基準配線と電氣的に接続され、  
前記第 1 容量素子の蓄積電荷量は、前記第 1 負バイアス基準電圧に基づき決定され、  
前記第 2 容量素子の蓄積電荷量は、前記第 2 負バイアス基準電圧に基づき決定される、  
請求項 1 記載の半導体装置。

【請求項 3】

10

前記第 2 行数は前記第 1 行数より大きく、  
前記第 2 容量素子の蓄積電荷量は、前記第 1 容量素子の蓄積電荷量より大きい、請求項 2 記載の半導体装置。

【請求項 4】

前記第 2 抵抗、および前記第 4 抵抗の値は等しく、  
前記第 3 抵抗の値は前記第 1 抵抗の値より小さい、請求項 3 記載の半導体装置。

【請求項 5】

前記第 3 抵抗の値に対する前記第 1 抵抗の値の比は、前記第 1 行数に対する前記第 2 行数の比と等しい、請求項 4 記載の半導体装置。

【請求項 6】

20

前記第 1 容量素子の容量値と、前記第 2 容量素子の容量値とは等しい、請求項 2 記載の半導体装置。

【請求項 7】

メモリセルが第 1 行数配置された基本メモリセルアレイを、列方向に所定アレイ数配置したメモリセルアレイ有するメモリマクロを備える半導体装置であって、

前記メモリマクロは、前記メモリセルアレイの前記メモリセルと接続されたビット線と、書込み時に前記ビット線に印加する負バイアス電圧を生成する負バイアス電圧生成回路と、負バイアス基準電圧生成部と、を有し、

前記負バイアス基準電圧生成部は、前記アレイ数の単位抵抗からなる第 1 抵抗と、第 2 抵抗との抵抗比に基づき、負バイアス基準電圧を生成して負バイアス基準配線に出力し、

30

前記負バイアス電圧生成回路は、一端が前記負バイアス基準配線と電氣的に接続され、他端が前記ビット線と電氣的に接続された容量素子を有し、

前記容量素子の蓄積電荷量は、前記負バイアス基準電圧に基づき決定される、半導体装置。

【請求項 8】

前記アレイ数の単位抵抗は並列接続される、請求項 7 記載の半導体装置。

【請求項 9】

前記各単位抵抗は、前記基本メモリセルアレイに隣接して、前記列方向に前記アレイ数配置される、請求項 7 記載の半導体装置。

【請求項 10】

40

前記単位抵抗の配置ピッチと、前記基本メモリセルアレイの配置ピッチは等しい、請求項 9 記載の半導体装置。

【請求項 11】

前記単位抵抗はトランジスタで形成され、前記第 1 抵抗に含まれる前記各トランジスタのゲート電極は、前記行方向に延在し、前記列方向に等間隔で配置される、請求項 10 記載の半導体装置。

【請求項 12】

マルチポートメモリセルが第 1 行数配置された基本メモリセルアレイを、列方向に所定アレイ数配置したメモリセルアレイ有するメモリマクロを備える半導体装置であって、

前記メモリマクロは、前記メモリセルアレイの前記マルチポートメモリセルと接続され

50

た第1ポートのビット線、および第2ポートのビット線と、書込み時に前記第1ポートのビット線に印加する第1負バイアス電圧を生成する第1ポート負バイアス電圧生成回路と、書込み時に前記第2ポートのビット線に印加する第2負バイアス電圧を生成する第2ポート負バイアス電圧生成回路と、第1ポート負バイアス基準電圧生成部と、第2ポート負バイアス基準電圧生成部と、を有し、

前記第1ポート負バイアス基準電圧生成部は、前記アレイ数の単位抵抗からなる第1抵抗と、第2抵抗との抵抗比に基づき、第1ポート負バイアス基準電圧を生成して第1ポート負バイアス基準配線に出力し、前記第2ポート負バイアス基準電圧生成部は、前記アレイ数の前記単位抵抗からなる第3抵抗と、第4抵抗との抵抗比に基づき、第2ポート負バイアス基準電圧を生成して第2ポート負バイアス基準配線に出力し、

10

前記第1ポート負バイアス電圧生成回路は、一端が前記第1ポート負バイアス基準配線と電氣的に接続され、他端が前記第1ポートのビット線と電氣的に接続された第1ポート容量素子を有し、

前記第2ポート負バイアス電圧生成回路は、一端が前記第2ポート負バイアス基準配線と電氣的に接続され、他端が前記第2ポートのビット線と電氣的に接続された第2ポート容量素子を有し

前記第1ポート容量素子の蓄積電荷量は、前記第1ポート負バイアス基準電圧に基づき決定され、前記第2ポート容量素子の蓄積電荷量は、前記第2ポート負バイアス基準電圧に基づき決定される、半導体装置。

#### 【請求項13】

20

前記第1ポートの前記単位抵抗、および前記第2ポートの前記単位抵抗は、前記基本メモリセルアレイに隣接して、前記列方向に前記アレイ数配置される、請求項12記載の半導体装置。

#### 【請求項14】

前記第1ポートの前記単位抵抗、および前記第2ポートの前記単位抵抗は同一列に配置される、請求項13記載の半導体装置。

#### 【請求項15】

前記第1ポートの前記単位抵抗の配置ピッチと、前記第2ポートの前記単位抵抗の配置ピッチは等しい、請求項14記載の半導体装置。

#### 【発明の詳細な説明】

30

#### 【技術分野】

#### 【0001】

本発明は半導体装置に関し、たとえば、ネガティブビット線方式でメモリセルにデータ書込みを行う半導体装置に関する。

#### 【背景技術】

#### 【0002】

テクノロジー・ノードの進化に伴い、MOS (Metal - Oxide - Semiconductor) トランジスタ (以下、トランジスタ、と記載する。) の相対的な特性ばらつきが増大している。この特性ばらつきは、同一チップ内でも発生し (ローカルばらつき)、SRAM (Static Random Access Memory) の動作マージンを低下させ、動作電圧の低電圧化を困難にしている。

40

#### 【0003】

SRAMの書込み動作マージンを改善する方法として、書込み選択列のメモリセルに供給する電源電圧を下げる方式 (メモリセル電源降圧方式) や、書込み選択列のビット線対のうち、ロウレベル側のビット線に負電圧を印加する方式 (ネガティブビット線方式) が提案されている。

#### 【0004】

メモリセル電源降圧方式は、メモリセル電源の負荷容量 (拡散容量、ゲート容量、配線容量) が大きいため、書込み選択列の電源電圧を所望の値まで下げる時間が長くなる。その結果、メモリセル電源降圧方式は、サイクルタイムへの悪影響が懸念される。さらに、

50

マルチポートSRAMにメモリセル電源降圧方式を適用した場合、同一列に対する異行アクセス（読出しワード線活性化による読出しアクセスと、書込みワード線活性化による書込みアクセスが、同一列で同時に発生）が発生した場合、メモリセル電源が降下しているため、読出しアクセス行の読出しマージンが確保できないという問題が発生する。

【0005】

ネガティブビット線方式として、特許文献1、特許文献2、非特許文献1、および非特許文献2に、種々の構成が開示されている。特開2009-295246号公報（特許文献1）は、ビット線対のうち、ロウレベル側のビット線電位を検出し、このロウレベル側ビット線の電位が所定値に低下したときに、負電圧発生回路で生成した負電圧をそのロウレベル側ビット線に印加する構成を開示する。特開2010-218617号公報（特許文献2）、および非特許文献2は、ビット線の容量と同じ容量を有するレプリカビット線の電位が所定値になった場合、接地電圧に向けて駆動されたビット線を所定のタイミングで負電圧に駆動するブートストラップ回路を開示する。非特許文献1は、所定時間、ビット線に負電圧をオーバードライブする負電圧生成回路を開示する。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2009-295246号公報

【特許文献2】特開2010-218617号公報

【非特許文献】

20

【0007】

【非特許文献1】Nobutaro Shibata, Hiroshi Kiya, Shigehiro Kurita, Hedetaka Okamoto, Masa'aki Tan'anno, and Takakuni Douseki, "A 0.5V 25 MHz 1mW 256Kb MTCMOS/SOI SRAM for Solar-Power-Operated Portable Personal Digital Equipment - Sure Write Operation by Using Step-Down Negatively Overdriven Bitline Scheme", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 41, NO. 3, MARCH 2006 p728-742

30

【非特許文献2】Yuki Fujimura, Osamu Hirabarashi, Takahiro Sasaki, Azuma Suzuki, Atsushi Kawakami, Yasuhisa Takeyama, Keiichi Kushida, Gou Fukano, Akira Katayama, Yusuke Niki, Tomoaki Yabe, "A Configurable SRAM with Constant-Negative-Level Write Buffer for Low-Voltage Operation with 0.149 $\mu$ m<sup>2</sup> Cell in 32nm High-k Metal-Gate CMOS", ISSCC 2010 / SESSION 19 / HIGH-PERFORMANCE EMBEDDED MEMORY / 19.4, p348-349

40

【発明の概要】

【発明が解決しようとする課題】

【0008】

SoC (System on a chip) 等では、1つのチップに搭載される中央処理装置や各種特定機能回路ブロックは、各々の用途に適した仕様を有するメモリを内蔵する。メモリコンパイラで各仕様を満たすメモリを生成する場合、各メモリにおけるネガティブビット線方式による書込み動作マージンの最適化が困難である。その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0009】

50

一実施の形態によれば、メモリセルが第1行数配置された第1メモリマクロと、メモリセルが第2行数配置された第2メモリマクロと、を備える半導体装置であって、第1メモリマクロは、メモリセルと接続された第1ビット線と、書込み時に第1ビット線に印加する第1負バイアス電圧を生成する第1負バイアス電圧生成回路と、第1負バイアス基準電圧生成部と、を有し、第2メモリマクロは、メモリセルと接続された第2ビット線と、書込み時に第2ビット線に印加する第2負バイアス電圧を生成する第2負バイアス電圧生成回路と、第2負バイアス基準電圧生成部と、を有し、第1負バイアス基準電圧生成部は、第1抵抗、および第2抵抗の第1抵抗比に基づき第1負バイアス基準電圧を生成して第1負バイアス基準配線に出力し、第2負バイアス基準電圧生成部は、第3抵抗、および第4抵抗の第2抵抗比に基づき第2負バイアス基準電圧を生成して第2負バイアス基準配線に出力し、第1負バイアス電圧生成回路は、第1負バイアス基準電圧に基づき、第1負バイアス電圧を生成し、第2負バイアス電圧生成回路は、第2負バイアス基準電圧に基づき、第2負バイアス電圧を生成し、第1抵抗比は第2抵抗比と異なる、半導体装置である。

10

【発明の効果】

【0010】

前記一実施の形態によれば、書込み動作マージンを確保したネガティブビット線方式のメモリを内蔵する半導体装置の実現が可能となる。

【図面の簡単な説明】

【0011】

【図1】実施の形態1に係る半導体装置の構成図である。

20

【図2】メモリコンパイラによるメモリマクロの生成方法を説明する図である。

【図3】実施の形態1に係る半導体装置が備えるメモリマクロの構成図である。

【図4】実施の形態1に係る半導体装置が備えるメモリマクロの回路図である。

【図5】実施の形態1に係る半導体装置が備えるメモリセルの構成図である。

【図6】実施の形態1に係る半導体装置が備えるライトドライバの回路図である。

【図7】実施の形態1に係る半導体装置が備える負バイアス電圧生成回路、および負バイアス基準電圧生成部の回路図である。

【図8】実施の形態1に係る半導体装置が備える負バイアス電圧生成回路、および負バイアス基準電圧生成部の動作を説明するタイミング図である。

【図9】実施の形態1に係る半導体装置が備える負バイアス基準電圧生成部の配置図である。

30

【図10】実施の形態1に係る半導体装置が備える他のメモリマクロの構成図である。

【図11】実施の形態1に係る半導体装置が備える他のメモリマクロにおける、負バイアス基準電圧生成部の配置図である。

【図12】実施の形態1に係る半導体装置が備える他のメモリマクロにおける、レプリカ抵抗のレイアウト図である。

【図13】実施の形態1に係る半導体装置が備える、メモリコンパイラで生成した2つのメモリマクロの構成図である。

【図14】図13に示す2つのメモリマクロにおける負バイアス電圧生成回路の構成、および動作を説明する図である。

40

【図15】実施の形態1に係る半導体装置の効果を説明する図である。

【図16】実施の形態2に係る半導体装置が備えるメモリマクロの構成図である。

【発明を実施するための形態】

【0012】

以下、図面を参照しつつ、実施の形態について説明する。実施の形態の説明において、個数、量などに言及する場合、特に記載ある場合を除き、必ずしもその個数、量などに限定されない。実施の形態の図面において、同一の参照符号や参照番号は、同一部分または相当部分を表わすものとする。また、実施の形態の説明において、同一の参照符号等を付した部分等に対しては、重複する説明は繰り返さない場合がある。

【0013】

50

## &lt; 実施の形態 1 &gt;

図 1 を参照して、実施の形態 1 に係る半導体装置 L S I の構成を説明する。

## 【 0 0 1 4 】

半導体装置 L S I は、中央処理装置 C P U 1、中央処理装置 C P U 2、特定機能回路ブロック A P P U、B B U、M E M U、および I / O ユニット I O U を備える。各中央処理装置、および特定機能回路ブロックは、図中に斜線を施した矩形形状の 1 つ若しくは複数のメモリマクロを有する。例えば、特定機能回路ブロック M E M U はメモリマクロ M M 0 を、特定機能回路ブロック B B U はメモリマクロ M M 1 を有する。各メモリマクロのメモリセルには、ネガティブビット線方式によるデータ書込みが行われる。

## 【 0 0 1 5 】

図 2 を参照して、メモリコンパイラによるメモリマクロの生成方法を説明する。

メモリコンパイラ R C P L は、中央処理装置や特定機能回路ブロックで必要とされるメモリマクロの要求構成に基づき、要素パーツ格納部 2 1 からメモリマクロを構成する各種回路ブロックを選択し、要求構成を備えたメモリマクロを生成する。例えば、図 1 の特定機能回路ブロック M E M U のメモリマクロ M M 0、および特定機能回路ブロック B B U のメモリマクロ M M 1 の生成方法は、以下の通りである。

## 【 0 0 1 6 】

構成 A は、ワード長 1 0 2 4 ビット、I O 幅 3 2 ビットであるメモリマクロ M M 0 の要求構成を示す。構成 B は、ワード長 2 5 6 ビット、I O 幅 1 7 ビットであるメモリマクロ M M 1 の要求構成を示す。要素パーツ格納部 2 1 は、メモリマクロを生成するのに必要なメモリセル M C、ワード線ドライバ W D R V、I O 回路 I O、および制御部 C T L の各回路ブロックを格納する。

## 【 0 0 1 7 】

メモリコンパイラ R C P L は、構成 A、および構成 B の各要求構成に基づき、要素パーツ格納部 2 1 に格納されている各回路ブロックを必要な数だけ組み合わせ、メモリマクロ M M 0、およびメモリマクロ M M 1 を生成する。従って、メモリマクロ M M 0、およびメモリマクロ M M 1 において、I O 回路 I O 等の各回路ブロック数は要求構成により異なるが、同じ機能を有する各回路ブロックの構成は同一となる。なお、メモリコンパイラで、要求構成のワード長と I O 幅に従ってメモリマクロを生成する場合、列方向（ビット線方向）に配置されるメモリセル M C は、所定の値に設定される m 行を基本単位として、要求ワード長を満たすように、基本単位 m の整数倍（1、2、3、・・・）が列方向（ビット線方向）に配置される。

## 【 0 0 1 8 】

構成 A のメモリマクロ M M 0 において、I O 回路 I O は行方向に 3 2 個配置され、3 2 ビットの I O 幅を有する。各ワード線ドライバ W D R V で選択されるメモリセル M C は列方向に 5 1 2 行配置され、各 I O 回路 I O が有する 2 列のメモリセル M C を含め、ワード長は 1 0 2 4 ビットとなる。構成 B のメモリマクロ M M 1 において、I O 回路 I O は行方向に 1 7 個配置され、1 7 ビットの I O 幅を有する。各ワード線ドライバ W D R V で選択されるメモリセル M C は、列方向に 1 2 8 行配置され、各 I O 回路 I O が有する 2 列のメモリセル M C を含め、ワード長は 2 5 6 ビットとなる。メモリマクロ M M 0、およびメモリマクロ M M 1 において、列方向に配置されるメモリセル M C の行数は、各々の要求ワード長を満たすように、基本単位 m を必要な整数倍した値に設定される。

## 【 0 0 1 9 】

図 3 を参照して、実施の形態 1 に係る半導体装置 L S I が備えるメモリマクロの構成を説明する。

## 【 0 0 2 0 】

図 3 に示すメモリマクロは、メモリコンパイラが生成する基本単位 m の行数で複数のメモリセルを配置した構成である。メモリセルアレイ A R Y [ 0 ] ~ メモリセルアレイ A R Y [ N - 1 ] の各メモリセルアレイ（以下、メモリセルアレイ A R Y、と記載する場合がある。）は、各々、m 行 n 列に配置されたメモリセル（図示せず）で構成され、I O 幅の

10

20

30

40

50

Nビット分配置される。I O回路I O [ 0 ] ~ I O回路I O [ N - 1 ]の各I O回路(以下、I O回路I O、と記載する場合がある。)は、各々、メモリセルアレイA R Y [ 0 ] ~ メモリセルアレイA R Y [ N - 1 ]に対するデータ書込みやデータ読出しを行う。

【 0 0 2 1 】

メモリセルアレイA R Yと隣接して、I O回路I Oが有する負バイアス電圧生成回路W A S Tが配置される。メモリセルアレイA R Y [ 0 ]と隣接して、ワード線選択回路W Dが配置される。ワード線選択回路W Dは、図示しないアドレス信号に基づき、メモリセルアレイA R Yが有するm行のワード線から1つのワード線を選択する。I O回路I O [ 0 ]と隣接して、制御回路C T R Lが配置される。制御回路C T R Lは、I O回路やワード線選択回路W D等を制御して、メモリセルアレイA R Yに対する読出し動作や書込み動作等を制御する。

10

【 0 0 2 2 】

メモリセルアレイA R Y [ 0 ]、およびI O回路I O [ 0 ]と、ワード線選択回路W D、および制御回路C T R Lとの間には、負バイアス基準電圧生成部V B A D Jが配置される。負バイアス基準電圧生成部V B A D Jは、電源電圧V S S (以下、0 Vとする。)と電源電圧V D D間の電圧を直列接続したレプリカ抵抗R P R、および基準抵抗R R E Fで分割し、その値を負バイアス基準電圧R P L Vとして、負バイアス電圧生成回路W A S Tへ出力する。

【 0 0 2 3 】

図4を参照して、実施の形態1に係る半導体装置L S Iが備えるメモリマクロの回路図を説明する。

20

【 0 0 2 4 】

メモリマクロは、メモリセルアレイM A R Y、ワード線選択回路W D、I O回路I O [ 0 ] ~ I O [ N - 1 ]、アドレス制御回路A D R C T L、読出し/書込み制御回路R W C T L、および遅延回路T D Gを備える。

【 0 0 2 5 】

メモリセルアレイM A R Yは、0 ~ N - 1のI O幅に対応したメモリセルアレイA R Y [ 0 ] ~ メモリセルアレイA R Y [ N - 1 ]で構成され、各メモリセルアレイA R Yは、ワード線W L方向にn個、ビット線B L / Z B L方向にm個、アレイ状に配置された複数のメモリセルM Cを有する。即ち、各メモリセルA R Yは、ワード線W L方向にn個配置された1行のメモリセルを、ビット線方向に基本単位であるm行配置した複数のメモリセルM Cを有する。以降、ワード線W L 0、W L 1等を総称してワード線W Lと記載し、ビット線B L 0 / Z B L 0等を総称してビット線B L / Z B Lと記載する場合がある。

30

【 0 0 2 6 】

ワード線選択回路W Dは、ワード線W L 0 ~ ワード線W L m - 1を各々選択するm個のワード線ドライバW D R Vと、m個のワード線ドライバW D R Vの1つを選択するデコーダ回路(図示せず)を有する。アドレス制御回路A D R C T Lは、制御信号T D E Cに同期して、入力されたアドレス信号A 0 ~ A iに基づき信号X 0 ~ 信号X j - 1、および信号Y 0 ~ 信号Y k - 1を生成する。ワード線選択回路W Dは、信号X 0 ~ 信号X j - 1に基づき、1つのワード線ドライバW D R Vを選択する。降圧レギュレータV G E Nは、電源電圧V D Dを所定の値に降圧した電源電圧L C V D Dを、ワード線選択回路W Dへ供給する。

40

【 0 0 2 7 】

I O回路I O [ 0 ]は、NビットのI O幅のうち、0ビットのI O回路であり、カラム選択回路Y S W、ライトドライバW T D、センスアンプ3 1、負バイアス電圧生成回路W A S T、およびI / Oバッファ3 0を有する。カラム選択回路Y S Wは、アドレス制御回路A D R C T Lが出力する信号Y 0 ~ Y k - 1に基づき、ビット線対B L 0 / Z B L 0 ~ ビット線対B L n - 1 / Z B L n - 1のいずれか1つを選択する。カラム選択回路Y S Wで選択されたビット線対B L / Z B Lは、ライトドライバW T Dの出力、およびセンスアンプ3 1の入力と接続される。ライトドライバW T D、およびセンスアンプ3 1は、各々

50

、制御信号WEN、および制御信号SEで、いずれか一方が活性化される。

【0028】

制御信号WTE Dに应答して、負バイアス電圧生成回路WASTは、ライトドライバWTD、およびカラム選択回路YSWを介して、負バイアス電圧をビット線対BL/ZBLのいずれか一方に印加する。I/Oバッファ30は入出力バッファであり、I/O端子I/O[0]に印加された書込みデータDIをライトドライバWTDへ出力する入力バッファと、センスアンプ31の出力DOをI/O端子I/O[0]から出力する出力バッファとして機能する。他のI/O回路I/O[N-1]等の構成も、I/O回路I/O[0]と同様である。

【0029】

読出し/書込み制御回路RWCTLは、制御信号WEN、クロックCLK、および制御信号CENに基づき、制御信号TDEC、制御信号WTE、および制御信号SEを出力する。遅延回路TDGは、入力された制御信号WTEを所定時間遅延させた制御信号WTE Dを出力する。

【0030】

図5を参照して、実施の形態1に係る半導体装置LSIが備えるメモリセルMCの構成を説明する。

【0031】

メモリセルMCは、ソースに電源電圧VDDが印加され、ドレイン、およびゲートが、記憶ノードNd\_\_L、および記憶ノードNd\_\_Rと各々接続されたp型トランジスタPU\_\_Lと、ソースに電源電圧VSSが印加され、ドレイン、およびゲートが、記憶ノードNd\_\_L、および記憶ノードNd\_\_Rと各々接続されたn型トランジスタPD\_\_Lとを有する。さらに、メモリセルMCは、ソースに電源電圧VDDが印加され、ドレイン、およびゲートが、記憶ノードNd\_\_R、および記憶ノードNd\_\_Lと各々接続されたp型トランジスタPU\_\_Rと、ソースに電源電圧VSSが印加され、ドレイン、およびゲートが、記憶ノードNd\_\_R、および記憶ノードNd\_\_Lに各々接続されたn型トランジスタPD\_\_Rとを有する。さらに、メモリセルMCは、記憶ノードNd\_\_Lにソース/ドレインのいずれか一方が接続され、ビット線BLにソース/ドレインのいずれか他方が接続され、ワード線WLがゲートに接続されたn型トランジスタPG\_\_Lと、記憶ノードNd\_\_Rにソース/ドレインのいずれか一方が接続され、ビット線ZBLにソース/ドレインのいずれか他方が接続され、ワード線WLにゲートが接続されたn型トランジスタPG\_\_Rとを、有する。

【0032】

図6を参照して、実施の形態1に係る半導体装置LSIが備えるライトドライバWTDの回路図を説明する。

【0033】

ライトドライバWTDは、ライトドライバ前段部WTD1、およびライトドライバ後段部WTD2を備える。ライトドライバ前段部WTD1は、制御信号WENが一方の入力信号として印加されるNOR回路41、およびNOR回路42を有する。NOR回路41には、他方の入力信号として書込みデータDIが印加され、NOR回路42には、他方の入力信号として書込みデータDIの論理レベルをインバータINV1で反転させた信号が印加される。即ち、制御信号WENがロウレベルに設定されている場合、NOR回路41、およびNOR回路42は、各々、書込みデータDIと逆相の論理レベル、および同相の論理レベルにある信号を出力する。制御信号WENがハイレベルに設定されている場合、NOR回路41、およびNOR回路42は、いずれも、ロウレベルにある信号を出力する。

【0034】

ライトドライバ後段部WTD2は、NOR回路41の出力がゲートに印加されるn型トランジスタMN1、およびNOR回路42の出力がゲートに印加されるn型トランジスタMN2を有する。n型トランジスタMN1、およびn型トランジスタMN2のソースは、ともに、ソースに電源電圧VSSが印加されたn型トランジスタMN0のドレインと接続

10

20

30

40

50

される。n型トランジスタMN1、およびn型トランジスタMN2のドレインは、ともに、カラム選択回路YSWと接続される。n型トランジスタMN1のゲートと接続される入力端子/DIN[0]には、書込みデータDIの論理レベルを反転させた信号が印加され、n型トランジスタMN2のゲートと接続される入力端子DIN[0]には、書込みデータDIと同じ論理レベルの信号が印加される。n型トランジスタMN0のゲートには、制御信号WTE Dの論理レベルをインバータINV0で反転させた信号が印加される。n型トランジスタMN0のドレインは、さらに、負バイアス電圧生成回路WASTへ出力される。

#### 【0035】

図7を参照して、実施の形態1に係る半導体装置LSIが備える負バイアス電圧生成回路WAST、および負バイアス基準電圧生成部VBADJの回路図を説明する。

10

#### 【0036】

負バイアス電圧生成回路WASTは、p型トランジスタMP1、p型トランジスタMP2、n型トランジスタMN3、および容量素子Cnb1を有する。p型トランジスタMP1のソースには電源電圧VDDが印加され、そのドレインは電荷量調整ノードVNB Lと接続され、そのゲートには制御信号WTE Dが印加される。p型トランジスタMP2のソースは電荷量調整ノードVNB Lと接続され、そのドレインには電源電圧VSSが印加され、そのゲートには負バイアス基準電圧生成部VBADJが出力する負バイアス基準電圧RPLV(以下、符号RPLVを、負バイアス基準配線、とも記載する場合がある。)が印加される。n型トランジスタMN3のドレインは電荷量調整ノードVNB Lと接続され、そのソースには電源電圧VSSが印加され、そのゲートには制御信号WTE Dが印加される。容量素子Cnb1の一端は電荷量調整ノードVNB Lと接続され、その他端はライトドライバ後段部WTD2が有するn型トランジスタMN0のドレインと接続される。

20

#### 【0037】

容量素子Cnb1は、種々の構造で実現することが可能である。半導体装置LSIがDRAM(Dynamic Random Access Memory)混載プロセスで製造される場合、DRAMのセル容量を形成する工程で容量素子Cnb1を形成することが可能である。また、MIM(Metal-Insulator-Metal)構造や、さらには、Fin-FET構造のMOS容量で形成することも考えられる。

#### 【0038】

ライトドライバ後段部WTD2の構成は、図6に示した通りである。カラム選択回路YSWで選択された1対のビット線対BL/ZBL(例えば、ビット線対BL0/ZBL0)のうち、ビット線BL0はn型トランジスタMN1のドレインと、ビット線ZBL0はn型トランジスタMN2のドレインと、各々接続される。ワード線WL0、およびビット線対BL0/ZBL0で選択されるメモリセルMCにデータを書込む場合、ワード線WL0をハイレベルに、制御信号WEN(図6参照)をロウレベル(電源電圧VSS)に、制御信号WTE Dをロウレベルに、各々設定し、書込みデータDIと論理レベルが反転した信号を入力端子/DIN[0]に、書込みデータDIと論理レベルが同じ信号を入力端子DIN[0]に印加する。

30

#### 【0039】

書込みデータDIの論理レベルにより、n型トランジスタMN1、およびn型トランジスタMN2のいずれか一方(例えば、n型トランジスタMN2)が導通状態となり、n型トランジスタMN2と接続されているビット線ZBL0の電圧は電源電圧VDDから電源電圧VSSまで低下する。このビット線ZBL0の電圧が電源電圧VSSまで低下すると、メモリセルMCのp型トランジスタPU\_L、およびn型トランジスタPD\_Lで構成されるインバータの出力はハイレベル(電源電圧VDD)に、p型トランジスタPU\_R、およびn型トランジスタPD\_Rで構成されるインバータの出力はロウレベル(電源電圧VSS)に、各々遷移を開始する。

40

#### 【0040】

このメモリセルMCの書込み動作マージンを確保するための負バイアス基準電圧生成部

50

V B A D J、および負バイアス電圧生成回路W A S Tの構成を以下に説明する。

【 0 0 4 1 】

負バイアス基準電圧生成部V B A D Jは、レプリカ抵抗R P R、および基準抵抗R R E Fを有する。レプリカ抵抗R P Rは、ソースに電源電圧V D Dが印加され、ドレインが負バイアス基準配線R P L Vと接続されるp型トランジスタM P R 1 ~ p型トランジスタM P R Lの計L個を並列接続したp型トランジスタで構成される。各p型トランジスタM P R 1 ~ M P R Lのゲートには、制御信号R P L V E Nが印加される。基準抵抗R R E Fは、ドレインが負バイアス基準配線R P L Vと接続され、ソースに電源電圧V S Sが印加され、ゲートに制御信号R P L V Eが印加されたn型トランジスタM N R E Fで構成される。

10

【 0 0 4 2 】

制御信号R P L V E Nによりp型トランジスタM P R 1 ~ M P R Lが導通状態にあり、制御信号R P L V Eによりn型トランジスタM N R E Fが導通状態にある場合、負バイアス基準電圧R P L Vは、電源電圧V S Sと電源電圧V D D間の電圧を、並列接続されたp型トランジスタM P R 1 ~ M P R Lのオン抵抗値とn型トランジスタM N R E Fのオン抵抗値で分割した式1に示す値に設定される。

$$R P L V = V D D * R r e f / ( R r e f + R p r ) \quad \dots \text{式 1}$$

ここで、V D Dは電源電圧V D Dの値、R P L Vは負バイアス基準電圧値、R r e fは基準抵抗R R E Fのオン抵抗値、R p rはレプリカ抵抗R P Rのオン抵抗値、符号"/"は除算、および符号"\*"は乗算、を意味する。

20

【 0 0 4 3 】

レプリカ抵抗R P R、および基準抵抗R R E Fがともに非導通状態にある場合、負バイアス基準配線R P L Vの電圧は、制御信号R P L V Eで導通状態に制御されたp型トランジスタM P 3により、電源電圧V D Dまで引き上げられる。

【 0 0 4 4 】

負バイアス電圧生成回路W A S Tにおいて、制御信号W T E Dをロウレベルに設定して、p型トランジスタM P 1を導通状態に、n型トランジスタM N 3を非導通状態とすると、電荷量調整ノードV N B Lの電圧は、p型トランジスタM P 1のオン抵抗値とp型トランジスタM P 2のオン抵抗値により決定される。負バイアス基準電圧R P L Vを上昇させると電荷量調整ノードV N B Lの電圧は上昇し、負バイアス基準電圧R P L Vを下降させると電荷量調整ノードV N B Lの電圧は下降する。制御信号W T E Dがロウレベルに設定されている期間、容量素子C n b lの一端には、この電荷量調整ノードV N B Lの電圧が印加され、容量素子C n b lの他端には、ライトドライバ後段部W T D 2のn型トランジスタM N 0が出力する電源電圧V S Sが印加される。従って、容量素子C n b lに蓄積される電荷量は、レプリカ抵抗R P Rと基準抵抗R R E Fの抵抗比により決定される。

30

【 0 0 4 5 】

図8を参照して、実施の形態1に係る半導体装置L S Iが備える負バイアス電圧生成回路W A S T、および負バイアス基準電圧生成部V B A D Jの動作を説明する。

【 0 0 4 6 】

図8は、各信号の変化を模式的に示すタイミング図である。符号"V D D"は電源電圧V D Dを意味し、符号"V S S"は電源電圧V S Sを意味する。各信号の横軸は、時刻と記載されている共通の時間軸を有する。以下、図7の各回路の動作を図8を参照して説明する。

40

【 0 0 4 7 】

時刻t 1から時刻t 2のクロックC L Kの1サイクルは読出しサイクルである。制御信号W E Nはハイレベルに設定され、ライトドライバW T Dによる書込み動作は行われない(図6参照)。制御信号W T Eはロウレベルに設定され、負バイアス基準配線R P L Vの電圧は、p型トランジスタM P 3により電源電圧V D Dまで引き上げられる。制御信号W T E Dもロウレベルに設定され、電荷量調整ノードV N B Lは、p型トランジスタM P 1により電源電圧V D Dまで引き上げられる。時刻t 1から所定時間経過後、選択されたメ

50

メモリセルMCの保持データに基づき、ビット線BL/ZBLのいずれか一方の電圧は、電源電圧VDDから所定の電圧値まで低下し、その後ビット線対BL/ZBLは電源電圧VDDにプリチャージされる。

【0048】

時刻t2の前に、制御信号WENはハイレベルからロウレベルに設定され、ライトドライバWTDは活性化される。

【0049】

時刻t2にクロックCLKがロウレベルからハイレベルに変化し、時刻t7までのクロックCLKの1サイクルは書込みサイクルである。

【0050】

時刻t3に制御信号WTEがロウレベルからハイレベルに変化すると、負バイアス基準電圧生成部VBADJは活性化され、負バイアス基準配線RPLVの電圧は電源電圧VDDから電圧Vrpに設定される。この電圧Vrpは、レプリカ抵抗RPRと基準抵抗RREFとの比で決定される。負バイアス基準電圧RPLVの電圧変化に伴い、電荷量調整ノードVNB Lの電圧は電源電圧VDDから電圧Vnbまで低下し、電源電圧VSSと電荷量調整ノードVNB L間の電圧はバイアス電圧Vnb1となる。一方、ビット線対BL0/ZBL0のうち、ビット線/ZBLの電圧は、時刻t3以降、ライトドライバ後段部WTD2のn型トランジスタMN2により電源電圧VSSまで急速に低下する。

【0051】

時刻t4に制御信号WTEDがロウレベルからハイレベルに変化すると、ライトドライバ後段部WTD2のn型トランジスタMN0は非導通状態となり、負バイアス電圧生成回路WASTのn型トランジスタMN3は導通状態となる。その結果、n型トランジスタMN3のドレインと接続されている容量素子Cnb1の一端の電圧は、電圧Vnbから電源電圧VSSまで、即ち、バイアス電圧Vnb1だけ下降する。その結果、時刻t4以前にライトドライバ後段部WTD2のn型トランジスタMN0により電源電圧VSSが印加されていた容量素子Cnb1の他端の電圧は、時刻t4以降、電源電圧VSSに対してバイアス電圧Vnb1だけ下降する。

【0052】

この容量素子Cnb1の1端(電荷量調整ノードVNB L)で発生したバイアス電圧Vnb1は、ライトドライバ後段部WTD2の導通状態にあるn型トランジスタMN2により、電源電圧VSSまで低下しているビット線ZBL0を、さらに、負バイアス電圧VBLだけ低下させる。この結果、ビット線ZBL0の電圧は、電源電圧VSS(0V)から負電圧方向に負バイアス電圧VBL分低下する。この負バイアス電圧VBLの値は、ビット線BL/ZBLの寄生容量の増加とともに減少し、バイアス電圧Vnb1の増加、即ち、容量素子Cnb1における蓄積電荷量の増加とともに増大する。負バイアス電圧VBLとバイアス電圧Vnb1とは以下の式2の関係にある。なお、ライトドライバ後段部WTD2のn型トランジスタMN1は非導通状態にあるため、ビット線BL0には負バイアス電圧VBLは印加されず、ビット線BL0は電源電圧VDDを維持する。

$$VBL = Cnb1 / (Cnb1 + Cb1) * Vnb1 \quad \dots \text{式2}$$

ここで、Cb1は、ビット線BL、およびビット線ZBLの各負荷容量である。

【0053】

図3に示す基本単位mの行数で構成されるメモリセルアレイARYにおけるビット線BL、またはビット線ZBLに印加する負バイアス電圧VBLを所望の値に設定するには、ビット線BL/ZBLの負荷容量Cb1に供給する電荷量を容量素子Cnb1に蓄積する必要がある。式2は、そのために容量素子Cnb1に印加すべきバイアス電圧Vnb1の値を示す。このバイアス電圧Vnb1は、式1に示す通り、負バイアス基準電圧生成部VBADJが備える基準抵抗RREFのオン抵抗、およびレプリカ抵抗RPRのオン抵抗により決定される。

【0054】

10

20

30

40

50

時刻  $t_5$  に制御信号  $WTE$  がハイレベルからロウレベルに変化すると、所定時間経過後の時刻  $t_6$  に制御信号  $WTE_D$  はハイレベルからロウレベルに変化する。この変化に伴い、負バイアス基準配線  $RPLV$ 、電荷量調整ノード  $VNB_L$ 、およびビット線  $ZBL$  の電圧は、電源電圧  $VDD$  まで引き上げられる。

【0055】

ビット線  $ZBL_0$  の電圧が、電源電圧  $VSS$  から負電圧方向へ、さらに負バイアス電圧  $VBL$  下降すると、図5に示すメモリセル  $MC$  において、 $n$  型トランジスタ  $PG\_R$  のソース（ビット線  $ZBL_0$  と接続されている）-ゲート（ワード線  $WL$  と接続されている）間の電圧はさらに増加し、 $n$  型トランジスタ  $PG\_R$  の駆動能力が増加する。この結果、記憶ノード  $Nd\_R$  の電圧は、 $n$  型トランジスタ  $PG\_R$  の駆動能力増加により急速に降下し、メモリセル  $MC$  の書込みが完了する。

10

【0056】

図9を参照して、実施の形態1に係る半導体装置  $LSI$  が備える負バイアス基準電圧生成部  $VBADJ$  の配置を説明する。

【0057】

図3に示す通り、負バイアス基準電圧生成部  $VBADJ$  が有する基準抵抗  $REF$  は  $IO$  回路  $IO[0]$  と隣接して、レプリカ抵抗  $RPR$  はメモリセルアレイ  $ARY[0]$  に隣接して配置される。図9は、基準抵抗  $REF$  を構成する  $n$  型トランジスタ  $MNREF$  と、レプリカ抵抗  $RPR$  を構成する  $p$  型トランジスタ  $MPR_0 \sim MP_R4$  の配置例を示す。

【0058】

20

基準抵抗  $REF$  を構成する  $n$  型トランジスタ  $MNREF$  は、回路図では1つの  $n$  型トランジスタで表現されるが、レイアウト上は、複数の  $n$  型トランジスタを並列接続した構成とすることが望ましい。一例として、図9に示す通り、 $n$  型トランジスタ  $MNREF$  は、4個の  $n$  型トランジスタを、電源電圧  $VSS$  を供給する電源配線と負バイアス基準配線  $RPLV$  間に並列接続し、各  $n$  型トランジスタのゲートに制御信号  $RPLVE$  を印加した構成を有する。ローカルばらつきの影響を抑え、所望のオン抵抗を有する  $n$  型トランジスタ  $MNREF$  を実現するため、そのゲート長は、テクノロジ・ノードで規定されるゲート長より長いゲート長を有する  $n$  型トランジスタを並列接続した構成とすることが好ましく、例えば、メモリセルを構成するトランジスタのゲート長よりも長く設定することが好ましい。

30

【0059】

レプリカ抵抗  $RPR$  を構成する  $p$  型トランジスタ  $MPR_1 \sim MP_RL$  は、一例として、 $m$  行のメモリセルアレイ  $ARY$  に対して、2個の  $p$  型トランジスタ  $MPR_1$ 、および  $MP_R2$  を、電源電圧  $VDD$  を供給する電源配線と、負バイアス基準配線  $RPLV$  との間に並列接続し、各  $p$  型トランジスタのゲートに制御信号  $RPLVEN$  を印加した構成を有する。 $p$  型トランジスタ  $MPR_1$ 、および  $MP_R2$  は、ローカルばらつきの影響を抑えるため、テクノロジ・ノードで規定されるゲート長より長いゲート長を有する  $p$  型トランジスタとすることが好ましい。

【0060】

レプリカ抵抗  $RPR$  が有する  $p$  型トランジスタ  $MPR_0$ 、および  $p$  型トランジスタ  $MP_R4$  はダミートランジスタであり、負バイアス基準電圧  $RPLV$  の生成には直接関与しない。両ダミートランジスタのソース、およびドレインには、ともに電源電圧  $VDD$  が印加され、ゲートはフローティング状態にある。この  $p$  型トランジスタ  $MPR_0$ 、および  $MP_R4$  は、行方向に延在し、列方向に規則的に配置される  $p$  型トランジスタ  $MPR_1$ 、および  $MP_R2$  のゲート電極の形状が、エッジ効果により変化することを防止するために配置される。エッジ効果の悪影響を考慮する必要が無い場合は、ダミートランジスタの配置を省略しても良い。

40

【0061】

負バイアス電圧生成回路  $WAST$  における  $p$  型トランジスタ  $MP_1$ 、および  $p$  型トランジスタ  $MP_2$ （図7参照）のゲート長も、ローカルばらつきの影響を抑えるため、テクノ

50

ロジ・ノードで規定されるゲート長より長いゲート長を有する p 型トランジスタとすることが好ましい。

【 0 0 6 2 】

図 10 を参照して、実施の形態 1 に係る半導体装置 L S I が備える他のメモリマクロの構成を説明する。

【 0 0 6 3 】

図 10 に示すメモリマクロは、図 3 に示す基本単位 m の行数を有するメモリセルアレイを、ビット線方向に p 個 ( p は 2 以上の整数 ) 繰り返して配置したメモリセルアレイ A R Y [ 0 ] ~ A R Y [ N - 1 ] を有する。メモリセルアレイ A R Y [ 0 ] に隣接して、レプリカ抵抗 R P R が基本単位 m の行数を有する p 個のメモリセルアレイ毎に配置され、 I O 回路 I O [ 0 ] に隣接して基準抵抗 R R E F が 1 つ配置される。 p 個のレプリカ抵抗 R P R の一端には電源電圧 V D D が印加され、その他端は負バイアス基準配線 R P L V と共通に接続される。基準抵抗 R R E F の一端には電源電圧 V S S が印加され、その他端は負バイアス基準配線 R P L V と接続される。電源電圧 V S S と電源電圧 V D D 間の電圧は、並列接続された p 個のレプリカ抵抗 R P R と 1 つの基準抵抗 R R E F との抵抗比で分割され、負バイアス基準電圧 R P L V として負バイアス電圧生成回路 W A S T へ出力される。即ち、図 10 に示すメモリマクロの場合、単位抵抗となるレプリカ抵抗 R P R を p 個並列接続した合成抵抗が、負バイアス基準電圧生成部 V B A D J のレプリカ抵抗として機能する。

10

【 0 0 6 4 】

上述の通り、メモリコンパイラで要求構成のワード長と I O 幅に従ってメモリマクロを生成する場合、列方向に配置されるメモリセル M C は、所定の値に設定される m 行を基本単位として、要求ワード長を満たすように、基本単位 m の整数倍が配置される。従って、図 10 に示すメモリマクロの各ビット線の寄生容量は、ビット線に接続されるメモリセル数の増加やビット線長の増加に伴い、図 3 に示すメモリマクロの各ビット線の寄生容量に対して p 倍程度増加する。

20

【 0 0 6 5 】

異なる要求構成に基づいて生成された各メモリマクロにおいて、各メモリマクロが備えるメモリセル M C や、ワード線ドライバ W D R V 、 I O 回路 I O 、および制御部 C T L 等の回路は、要求仕様に応じてその数は変化するが、回路構成は同一である。従って、負バイアス電圧生成回路 W A S T が有する容量素子 C n b 1 や、負バイアス基準電圧生成部 V B A D J が有するレプリカ抵抗 R P R 、および基準抵抗 R R E F も、図 3 に示すメモリマクロが備えるものと同一構成となる。

30

【 0 0 6 6 】

図 3 に示すメモリマクロにおいて、上述の通り、負バイアス基準電圧 R P L V は以下の式 1 で求められ、ビット線対 B L / Z B L のいずれか一方を、電源電圧 V S S から負電圧方向へ引き下げる負バイアス電圧 V B L は以下の式 2 で求められた。

$$R P L V = V D D * R r e f / ( R r e f + R p r ) \quad \dots \text{式 1}$$

$$V B L = C n b 1 / ( C n b 1 + C b 1 ) * V n b 1 \quad \dots \text{式 2}$$

図 10 に示すメモリマクロにおいて、 p 個のレプリカ抵抗 R P R は並列接続となるように配置される。その結果、式 1 におけるレプリカ抵抗 R P R のオン抵抗値 R p r は図 3 の場合と比較して 1 / p に減少し、負バイアス基準電圧 R P L V の値は増加する。負バイアス基準電圧 R P L V の増加に伴い、電荷量調整ノード V N B L の電圧が上昇し ( 図 7 ) 、バイアス電圧 V n b 1 、即ち、容量素子 C n b 1 の蓄積電荷量が増加する ( 図 8 ) 。バイアス電圧 V n b 1 の増加は、式 2 におけるビット線の負荷容量 C b 1 の p 倍程度の増加による負バイアス電圧 V B L の減少を打ち消す。その結果、図 10 に示すメモリマクロにおけるビット線に印加される負バイアス電圧 V B L は、式 2 で算出される図 3 のメモリマクロにおける負バイアス電圧 V B L とほぼ同じ値が維持される。

40

【 0 0 6 7 】

実施の形態 1 に係る半導体装置 L S I が備える負バイアス電圧生成回路 W A S T 、およ

50

び負バイアス基準電圧生成部  $VBADJ$  によれば、基本単位  $m$  の行数で構成されるメモリセルアレイで所望の負バイアス電圧  $VBL$  が生成されるように負バイアス電圧生成回路  $WAST$ 、および負バイアス基準電圧生成部  $VBADJ$  を設定することで、その基本単位  $m$  の行数で構成されるメモリセルアレイをビット線方向に複数配置したメモリセルアレイにおいても、所望の負バイアス電圧  $VBL$  を生成することが可能となる。

#### 【0068】

基本単位  $m$  の行数で構成されるメモリセルアレイをビット線方向に複数配置することにより、負バイアス基準電圧生成部  $VBADJ$  が有するレプリカ抵抗  $RPR$  は並列接続され、負バイアス電圧生成回路  $WAST$  の電荷量調整ノード  $VNBL$  の電圧は、所望の負バイアス電圧  $VBL$  を維持するように制御される。この結果、半導体装置  $LSI$  に、メモリ

10

#### 【0069】

図11を参照して、実施の形態1に係る半導体装置  $LSI$  が備える他のメモリマクロにおける負バイアス基準電圧生成部  $VBADJ$  の配置を説明する。

#### 【0070】

図11は、図10に示すメモリマクロが有する  $p$  個のレプリカ抵抗  $RPR$  (単位抵抗)、および1つの基準抵抗  $RREF$  の配置例を示す。図9に示す配置例とは、基本単位  $m$  の行数で構成される  $p$  個のメモリセルアレイ毎にレプリカ抵抗  $RPR$  が配置されている点で異なる。 $p$  個の各レプリカ抵抗  $RPR$  は、2個の  $p$  型トランジスタ  $MPR1$  と  $MPR2$  とを、電源電圧  $VDD$  を供給する電源配線、および負バイアス基準配線  $RPLV$  間に並列接続し、各  $p$  型トランジスタのゲートに制御信号  $RPLVEN$  を印加した構成を有する。レプリカ抵抗  $RPR$  が有する  $p$  型トランジスタ  $MPR0$ 、および  $p$  型トランジスタ  $MPR4$  はダミートランジスタであり、エッジ効果の悪影響を考慮する必要が無い場合は省略しても良い。

20

#### 【0071】

$p$  個の各レプリカ抵抗  $RPR$  は同一の形状を有し、基本単位  $m$  の行数で構成されるメモリセルアレイをビット線方向に配置することで、各レプリカ抵抗  $RPR$  は並列接続となる位置に配置される。基準抵抗  $RREF$  は、4個の  $n$  型トランジスタを、電源電圧  $VSS$  を供給する電源配線と、負バイアス基準配線  $RPLV$  との間に並列接続し、各  $n$  型トランジスタのゲートに制御信号  $RPLVE$  が印加された  $n$  型トランジスタ  $NMREF$  で構成される。

30

#### 【0072】

図12を参照して、実施の形態1に係る半導体装置  $LSI$  が備える他のメモリマクロにおける、レプリカ抵抗  $RPR$  のレイアウト図を説明する。

#### 【0073】

図12は、図11に示すレプリカ抵抗  $RPR$  のレイアウト図である。レプリカ抵抗  $RPR$  は、 $p$  型トランジスタ  $MPR1$ 、 $p$  型トランジスタ  $MPR2$ 、 $p$  型トランジスタ  $MPR0$ 、および  $p$  型トランジスタ  $MPR4$  で構成される。図12は、一例として、2個の基本単位  $m$  の行数で構成されるメモリセルアレイ  $ARY$  と、2個のレプリカ抵抗  $RPR$  を示す。2個のレプリカ抵抗  $RPR$  のうち、一方のレプリカ抵抗  $RPR$  を構成する各  $p$  型トランジスタは、素子形成領域  $80$  に形成される。 $p$  型トランジスタ  $MPR1$  のゲート電極  $1G$  は、行方向に延在して素子形成領域  $80$  を跨るように配置される。ゲート電極  $1G$  を挟んで対向する位置に、ソースコンタクト  $1S$ 、およびドレインコンタクト  $1D$  が形成され、各々、電源電圧  $VDD$  を供給する電源配線、および負バイアス基準配線  $RPLV$  と接続される。ゲート電極  $1G$  には、制御信号  $RPLVEN$  が印加される。

40

#### 【0074】

$p$  型トランジスタ  $MPR2$  のゲート電極  $2G$  は、行方向に延在して素子形成領域  $80$  を跨るように配置される。ゲート電極  $2G$  を挟んで対向する位置に、ソースコンタクト  $2S$ 、およびドレインコンタクト  $2D$  が形成される。ソースコンタクト  $2S$  は、電源電圧  $V$

50

Dを供給する電源配線と接続される。ドレインコンタクト2 Dはドレインコンタクト1 Dと兼用され、負バイアス基準配線R P L Vと接続される。ゲート電極2 Gには、制御信号R P L V E Nが印加される。

【0075】

ダミートランジスタであるp型トランジスタM P R 0、およびp型トランジスタM P R 4のゲート電極は、p型トランジスタM P R 1、およびM P R 2と同様に配置される。ゲート電極M P R 0を挟んで、ソースコンタクト2 Sと対向する位置に設けられたコンタクトには電源電圧V D Dが印加される。ゲート電極M P R 4を挟んで、ソースコンタクト1 Sと対向する位置に設けられたコンタクトには電源電圧V D Dが印加される。

【0076】

2個のレプリカ抵抗R P Rのうち、他方のレプリカ抵抗R P Rのレイアウト図も、上記に記載した一方のレプリカ抵抗R P Rのレイアウト図と同一であり、説明は省略する。各レプリカ抵抗を形成する2つの素子形成領域80の間には、ダミーゲート電極D Gが配置される。このダミーゲート電極D Gは、隣接して配置される各ダミートランジスタのゲート電極M P R 4、およびゲート電極M P R 0間に配置され、2個の素子形成領域80の各々に形成されるゲート電極1 G、ゲート電極M P R 4、ダミーゲート電極D G、ゲート電極M P R 0をも含め、同一のピッチとなる位置に配置される。

【0077】

レプリカ抵抗R P Rが有するトランジスタのゲート電極、およびダミーゲート電極D Gは、行方向に延在し、列方向に同一ピッチで形成される。即ち、基本単位mの行数で構成されるメモリセルアレイA R Yとともにレプリカ抵抗R P Rを行方向に配置しても、レプリカ抵抗R P Rのパターン配置連続性は維持され、各レプリカ抵抗R P Rの値は、一定値が維持される。その結果、各レプリカ抵抗R P Rを並列接続した値と、基準抵抗R R E Fの値で決定される負バイアス基準電圧R P L Vの精度が確保される。

【0078】

図13、図14、および図15を参照して、実施の形態1に係る半導体装置L S Iの効果説明する。

【0079】

図13は、実施の形態1に係る半導体装置L S Iが備える、メモリコンパイラで生成した構成AのメモリマクロM M Aと、構成BのメモリマクロM M Bと、を示す。メモリマクロM M Aは、基本単位であるm行のメモリセルを有し、I O幅はN 2ビット、メモリマクロM M Bは、基本単位m行のp倍のメモリセルを有し、I O幅はN 1ビットである。

【0080】

図14は、図13に示すメモリマクロM M A、およびメモリマクロM M Bにおける負バイアス電圧生成回路W A S Tの構成と動作を説明する図である。

【0081】

図14(a)は、図7に対応した負バイアス電圧生成回路W A S T、およびライトドライバ後段部W T D 2の回路図と、メモリセルM Cを示す。なお、図14(a)では、コラム選択回路Y S Wを省略し、ライトドライバ後段部W T D 2は、1対のビット線B L / Z B Lの電圧を制御する構成としている。構成AのメモリマクロM M Aにおいて、1対のビット線B L / Z B Lに接続されるメモリセルM Cはm行(m個)であり、構成BのメモリマクロM M Bにおいて、1対のビット線B L / Z B Lに接続されるメモリセルM Cはm行のp倍(pは2以上の整数)である。ビット線B L、およびビット線Z B Lは、いずれも負荷容量C b lを有する。メモリマクロM M Bにおける負荷容量C b lは、メモリマクロM M Aにおける負荷容量C b lのp倍となる。

【0082】

一方、ライトドライバ後段部W T D 2、および負バイアス電圧生成回路W A S Tの回路構成は、メモリマクロM M A、およびメモリマクロM M Bにおいて、同一の回路構成を有する。従って、負バイアス電圧生成回路W A S Tの容量素子C n b lの容量値は、ビット線B L / Z B Lの負荷容量C b lの値によらず、同一の値に設定される。

10

20

30

40

50

## 【 0 0 8 3 】

図 1 4 ( b ) は、メモリマクロ MMA、およびメモリマクロ MMB における、負バイアス電圧生成回路 WAST の動作を説明するタイミング図である。

## 【 0 0 8 4 】

時刻  $t_0$  以前に、メモリマクロ MMA において、負バイアス基準電圧  $RPLV$  は、電源電圧  $VDD$  から電圧  $Vrp$  に設定され、電荷量調整ノード  $VNB$  は、電源電圧  $VDD$  から電圧  $Vnb$  に設定される ( 図 8 参照 )。一方、メモリマクロ MMB において、負バイアス基準電圧  $RPLV$  は、電源電圧  $VDD$  に維持される。これは、メモリマクロ MMB において、負バイアス基準電圧生成部  $VBADJ$  が有する  $p$  個のレプリカ抵抗  $RPR$  が並列接続されるため ( 図 7 参照 )、負バイアス基準電圧  $RPLV$  が電源電圧  $VDD$  近くまで上昇するからである。

10

## 【 0 0 8 5 】

時刻  $t_0$  に制御信号  $WTE D$  がロウレベルからハイレベルに変化すると、メモリマクロ MMA において、電荷量調整ノード  $VNB$  は電圧  $Vnb$  からバイアス電圧  $Vnb1$  低下し、電源電圧  $VSS$  に達する。一方、メモリマクロ MMB において、電荷量調整ノード  $VNB$  は、電源電圧  $VDD$  から電源電圧  $VSS$  まで降下する (  $Vnb1 = VDD$  )。容量素子  $Cnb1$  の 1 端におけるこの電荷量調整ノード  $VNB$  の電圧降下は、容量素子  $Cnb1$  の他端における電圧降下として現れる。容量素子  $Cnb1$  の他端は電源電圧  $VSS$  に設定されているため、ライトドライバ後段部  $WTD2$  で導通している  $n$  型トランジスタ  $MN2$  と接続されるビット線  $ZBL$  は、電源電圧  $VSS$  から負電圧方向へ、負バイアス電圧  $VBL$  だけ低下する。

20

## 【 0 0 8 6 】

バイアス電圧  $Vnb1$  と、負バイアス電圧  $VBL$  とは、以下の式 2 の関係を有していた。

$$VBL = Cnb1 / ( Cnb1 + Cb1 ) * Vnb1 \quad \dots \text{式 2}$$

容量素子  $Cnb1$  の蓄積電荷量は、基本単位である  $m$  行のメモリセルを有するメモリマクロ MMA で所望の負バイアス電圧  $VBL$  が得られるように設定されている。メモリマクロ MMB におけるビット線の負荷容量  $Cb1$  は、メモリマクロ MMA における負荷容量  $Cb1$  の  $p$  倍であるが、式 2 におけるバイアス電圧  $Vnb1$  は電源電圧  $VDD$  と等しくなる。このバイアス電圧  $Vnb1$  の増加 ( 容量素子  $Cnb1$  の蓄積電荷量の増加 ) により、メモリマクロ MMB におけるビット線も、メモリマクロ MMA におけるビット線と同じ負バイアス電圧  $VBL$  が得られる ( 図 1 4 ( b ) の  $BL / ZBL$  の変化を示すグラフ参照 )。

30

## 【 0 0 8 7 】

一方、図 1 4 ( b ) のビット線  $BL / ZBL$  の変化を示すグラフにおいて、破線は、構成が異なる各メモリマクロにおいて、電荷量調整ノード  $VNB$  の電圧をメモリセルの行数に応じて調整せず、一定値を維持した場合を示す。その場合、メモリマクロ MMA、およびメモリマクロ MMB における電荷量調整ノード  $VNB$  の電圧は、ともに電源電圧  $VDD$  から電源電圧  $VSS$  まで引き下げられる。その結果、ビット線  $BL / ZBL$  の負荷容量が小さいメモリマクロ MMA では、負バイアス電圧  $VBL$  は最適値よりも増大し、ビット線  $BL / ZBL$  は過剰な負電圧に引き下げられる。また、ビット線  $BL / ZBL$  の負荷容量が大きいメモリマクロ MMB では、負バイアス電圧  $VBL$  が最適値よりも減少し、ビット線  $BL / ZBL$  の負電圧引下げ量は不足する。

40

## 【 0 0 8 8 】

図 1 4 ( a )、および図 5 を参照して、負バイアス電圧  $VBL$  の過不足がメモリセル  $MC$  に及ぼす影響を説明する。図 1 4 ( a ) において、書込みサイクル時に、カラム選択回路  $YSW$  で選択されたビット線  $BL / ZBL$  と接続された  $m$  個のメモリセル  $MC$  (メモリマクロ MMA)、または  $m$  の  $p$  倍のメモリセル (メモリマクロ MMB) のうち、ハイレベルに設定されたワード線  $WL0$  と接続されたメモリセル  $MC$  が書込み対象であり、ロウレベルに設定されたワード線  $Wlm - 1$  と接続されたメモリセル  $MC$  は非書込み対象セル

50

の1つであるとする。

【0089】

図5を参照して、負バイアス電圧  $V_{BL}$  が最適値より小さい場合の、書込み対象メモリセルMCの動作を説明する。ビット線ZBLは電源電圧VSSから負バイアス電圧  $V_{BL}$  だけ負電圧方向へ引き下げられ、ビット線BLは電源電圧VDDに維持される。n型トランジスタPG\_Rのゲートにはハイレベルに設定されたワード線WLの電圧が印加され、そのソースには電源電圧VSSから負バイアス電圧  $V_{BL}$  引き下げられた電圧が印加される。負バイアス電圧  $V_{BL}$  が適切値の場合、n型トランジスタPG\_Rは、そのドレインが接続されている記憶ノードNd\_Rを速やかに降下させ、書込み前に記憶ノードNd\_Rが保持していたハイレベルのデータをロウレベルへ反転させる。負バイアス電圧  $V_{BL}$  が適切値より小さい場合、n型トランジスタPG\_Rは、その駆動能力の不足により、記憶ノードNd\_Rのレベルを反転することが困難となり、データ書込み不良発生の危険性が増大する。

10

【0090】

一方、負バイアス電圧  $V_{BL}$  が最適値より大きい場合の、非書込み対象メモリセルMCの動作を説明する。この場合も、ビット線ZBLは電源電圧VSSから負バイアス電圧  $V_{BL}$  だけ負電圧方向へ引き下げられ、ビット線BLは電源電圧VDDに維持される。n型トランジスタPG\_Rのゲートにはロウレベルに設定されたワード線WLの電圧が印加され、そのソースには電源電圧VSSから負バイアス電圧  $V_{BL}$  引き下げられた電圧が印加される。負バイアス電圧  $V_{BL}$  が最適値の場合、n型トランジスタPG\_Rのソース-ドレイン間にはその閾値電圧を超える電圧が印加されることなく、非書込み対象メモリセルMCが保持するデータは保護される。負バイアス電圧  $V_{BL}$  が最適値より大きい場合、n型トランジスタPG\_Rは導通状態となり、記憶ノードNd\_Rの保持データを反転させる誤書き込みが発生する。

20

【0091】

図15を参照して、実施の形態1に係る半導体装置LSIの効果の説明する。

図15において、横軸は、ビット線BL/ZBLに接続されるメモリセルMCの数を示し、縦軸は、ビット線BL/ZBLに印加される負バイアス電圧を任意単位で示す。グラフL1は、実施の形態1に係る半導体装置LSIにおける負バイアス電圧の変化を示す。メモリセルアレイにおけるメモリセルMCの行数、即ち、ビット線BL/ZBLに接続されるメモリセルMCの個数によらず、ビット線BL/ZBLに印加される負バイアス電圧  $V_{BL}$  は、下限電圧値VL~上限電圧値VHで示される適切な範囲内に設定される。これは、負バイアス基準電圧生成部VBADJ、および負バイアス電圧生成回路WASTにより、ビット線BL/ZBLの負荷容量に応じた蓄積電荷量が容量素子Cnb1に設定されるからである。

30

【0092】

一方、グラフL2、およびグラフL3は、ともに、実施の形態1に係る半導体装置LSIとは異なり、ビット線の負荷容量によらず、一定の蓄積電荷量を容量素子に設定した場合の比較例である。グラフL2は、メモリコンパイラで設定されている最小行数のメモリセルが接続されたビット線に適切な負バイアス電圧を生成する容量素子の蓄積電荷を、行数を増加させたビット線にも供給する場合の例を示す。ビット線に接続されるメモリセル数が増加するに従い、ビット線に印加される負バイアス電圧が不足し(ビット線の電圧が電源電圧VSSに近づく)、その値が上限電圧値VHを超えるとデータ書込み不良発生の危険性が増大する。グラフL3は、メモリコンパイラで設定されている最大行数のメモリセルが接続されたビット線に適切な負バイアス電圧を生成する容量素子の電荷量を、行数を減少させたビット線にも供給する場合の例を示す。ビット線に接続されるメモリセル数が減少するに従い、ビット線には過剰な負バイアス電圧が印加され(電源電圧VSSから負電圧方向に過剰に下がる)、その値が下限電圧値VLより小さくなると、誤書き込みの危険性が増大する。

40

【0093】

50

実施の形態 1 に係る半導体装置 L S I によれば、それぞれ行数が異なるメモリマクロを複数有するメモリマクロにおいて、各メモリマクロ毎に最適値に設定された負バイアス電圧  $V_{BL}$  によりネガティブビット線方式による書込みを行うことができる。

【 0 0 9 4 】

< 実施の形態 2 >

図 1 6 を参照して、実施の形態 2 に係る半導体装置 L S I が備えるメモリマクロの構成を説明する。

【 0 0 9 5 】

図 1 6 は、デュアルポートメモリセルからなる複数のメモリセルアレイ  $D P A R Y [ 0 ] \sim D P A R Y [ N - 1 ]$  (以下、各メモリセルアレイを "  $D P A R Y$  " と記載する場合がある。) を有するメモリマクロの構成を示す。メモリマクロは、 $m$  行  $n$  列のメモリセルアレイをビット線方向に  $p$  個配置したメモリセルアレイ  $D P A R Y$  を、 $N$  ビットの I O 幅分ワード線方向に配置した構成を有する。各メモリセルアレイ  $D P A R Y$  のビット線方向の両端には、負バイアス電圧生成回路  $W A S T$  を有する A ポート I O 回路  $I O A$  と、負バイアス電圧生成回路  $W A S T$  を有する B ポート I O 回路  $I O B$  が配置される。各ポートにおける負バイアス電圧生成回路は、メモリセルアレイ  $D P A R Y$  と隣接して配置される。

【 0 0 9 6 】

負バイアス基準電圧生成部  $V B A D J A$  は、基準抵抗  $R R E F$ 、および複数のレプリカ抵抗  $R P R$  からなる A ポートレプリカ抵抗群 1 5 A で構成される。A ポートレプリカ抵抗群 1 5 A は、 $p$  個の  $m$  行  $n$  列のメモリセルアレイ毎に配置される  $p$  個のレプリカ抵抗  $R P R$  で構成され、メモリセルアレイ  $D P A R Y [ 0 ]$  のビット線方向の長さの半分の領域のうち、A ポート I O 回路  $I O A$  側に隣接して配置される。A ポートレプリカ抵抗群 1 5 A の  $p$  個のレプリカ抵抗  $R P R$  は並列に接続され、その一端には電源電圧  $V D D$  が印加され、その他端は基準抵抗  $R R E F$  の一端と接続される。基準抵抗  $R R E F$  の他端には電源電圧  $V S S$  が印加される。負バイアス基準電圧生成部  $V B A D J A$  は、電源電圧  $V S S$  と電源電圧  $V D D$  間の電圧を、直列接続した A ポートレプリカ抵抗群 1 5 A と基準抵抗  $R R E F$  で分割し、その値を負バイアス基準電圧  $R P L V A$  として、負バイアス電圧生成回路  $W A S T$  へ出力する。

【 0 0 9 7 】

負バイアス基準電圧生成部  $V B A D J B$  は、基準抵抗  $R R E F$ 、および複数のレプリカ抵抗  $R P R$  からなる B ポートレプリカ抵抗群 1 5 B で構成される。B ポートレプリカ抵抗群 1 5 B は、 $p$  個の  $m$  行  $n$  列のメモリセルアレイ毎に配置される  $p$  個のレプリカ抵抗  $R P R$  で構成され、メモリセルアレイ  $D P A R Y [ 0 ]$  のビット線方向の長さの半分の領域のうち、B ポート I O 回路  $I O B$  側に隣接して配置される。B ポートレプリカ抵抗群 1 5 B の  $p$  個のレプリカ抵抗  $R P R$  は並列に接続され、その一端には電源電圧  $V D D$  が印加され、その他端は基準抵抗  $R R E F$  の一端と接続される。基準抵抗  $R R E F$  の他端には電源電圧  $V S S$  が印加される。負バイアス基準電圧生成部  $V B A D J B$  は、電源電圧  $V S S$  と電源電圧  $V D D$  間の電圧を、直列接続した B ポートレプリカ抵抗群 1 5 B と基準抵抗  $R R E F$  で分割し、その値を負バイアス基準電圧  $R P L V B$  として、負バイアス電圧生成回路  $W A S T$  へ出力する。

【 0 0 9 8 】

A ポートレプリカ抵抗群 1 5 A、および B ポートレプリカ抵抗群 1 5 B に隣接して、A ポートワード線選択回路  $W D A$  と B ポートワード線選択回路  $W D B$  とが配置される。A ポート用の基準抵抗  $R R E F$  に隣接して A ポート制御回路  $C T R L A$  が配置され、B ポート用の基準抵抗  $R R E F$  に隣接して B ポート制御回路  $C T R L B$  が配置される。A ポートの負バイアス電圧生成回路  $W A S T$  は、負バイアス基準電圧  $R P L V A$  に基づき、メモリセルアレイ  $D P A R Y$  の A ポートビット線に印加する負バイアス電圧  $V_{BL}$  を生成する。同様に、B ポートの負バイアス電圧生成回路  $W A S T$  は、負バイアス基準電圧  $R P L V B$  に基づき、メモリセルアレイ  $D P A R Y$  の B ポートビット線に印加する負バイアス電圧  $V_{BL}$  を生成する。

10

20

30

40

50

## 【 0 0 9 9 】

メモリセルアレイ D P A R Y が基本単位の m 行で構成されるメモリセルアレイをビット線方向に p 個配置した構成である場合、各基本単位のメモリセルアレイに対応するレプリカ抵抗 R P R を、メモリセルアレイの列方向配置ピッチの半分で列方向に配置することで、A ポート用、および B ポート用のレプリカ抵抗 R P R をビット線方向に 1 列に配置することが可能となる。レプリカ抵抗 R P R をこのように 1 列に配置することで、デュアルポートメモリで構成されるメモリマクロの面積増加を抑制することが可能となる。さらに、A ポート用、および B ポート用のレプリカ抵抗 R P R を等間隔に連続して配置することで、各ポートのレプリカ抵抗 R P R を構成するトランジスタ特性が均一に保たれ、メモリマクロの構成によらず、所望の値を有する負バイアス電圧 V B L の生成が可能となる。

10

## 【 0 1 0 0 】

メモリマクロに含まれるメモリセルを、3 ポート、4 ポート等さらに多ポート化した場合であっても、レプリカ抵抗 R P R の配置ピッチをポート数に応じて狭めることにより、レプリカ抵抗 R P R を 1 列に配置することが可能となる。配置ピッチの減少に伴い、レプリカ抵抗 R P R を構成するトランジスタの並列接続数を削減する場合、トランジスタのゲート幅を適宜増加させてトランジスタのオン抵抗値を下げることにより、レプリカ抵抗 R P R の一列配置を維持することが可能となる。

## 【 0 1 0 1 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

20

## 【 符号の説明 】

## 【 0 1 0 2 】

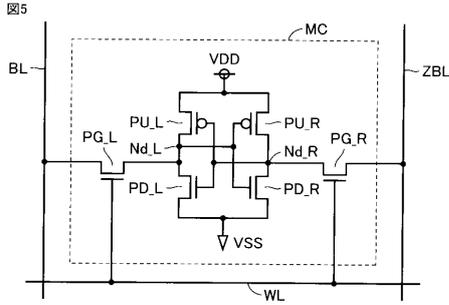
1 D ドレインコンタクト、1 G ゲート電極、1 S ソースコンタクト、2 D ドレインコンタクト、2 G ゲート電極、2 S ソースコンタクト、1 5 A A ポートレプリカ抵抗群、1 5 B B ポートレプリカ抵抗群、2 1 要素パーツ格納部、8 0 素子形成領域、A 0 , A i アドレス信号、A P P U 特定機能回路ブロック、A R Y [ 0 ] , A R Y [ N - 1 ] メモリセルアレイ、B B U 特定機能回路ブロック、B L 0 , B L 1 ビット線、C b 1 負荷容量、C E N 制御信号、C L K クロック、C n b 1 容量素子、C P U 1 , C P U 2 中央処理装置、D G ダミーゲート電極、D I 書込みデータ、D I N [ 0 ] 入力端子、D O 出力、D P A R Y メモリセルアレイ、D P A R Y [ 0 ] , D P A R Y [ N - 1 ] メモリセルアレイ、I / O [ 0 ] 端子、L 1 , L 2 , L 3 グラフ、L C V D D 電源電圧、L S I 半導体装置、M A R Y メモリセルアレイ、M C メモリセル、M E M U 特定機能回路ブロック、M M 0 , M M 1 , M M A , M M B メモリマクロ、N d \_ L , N d \_ R 記憶ノード、R P L V , R P L V A , R P L V B 負バイアス基準電圧、R P L V E , R P L V E N 制御信号、R P R レプリカ抵抗、R R E F 基準抵抗、R W C T L 読出し/書込み制御回路、S E 制御信号、T D E C 制御信号、V B A D J , V B A D J A , V B A D J B 負バイアス基準電圧生成部、V D D 電源電圧、V G E N 降圧レギュレータ、V H 上限電圧値、V L 下限電圧値、V n b 電圧、V N B L 電荷量調整ノード、V r p 電圧、V S S 電源電圧、W A S T 負バイアス電圧生成回路、W D ワード線選択回路、W D R V ワード線ドライバ、W E N 制御信号、W L 0 , W L m - 1 ワード線、W T D ライトドライバ、W T D 1 ライトドライバ前段部、W T D 2 ライトドライバ後段部、W T E , W T E D 制御信号、X 0 , X j , Y 0 , Y k 信号、Y S W カラム選択回路、Z B L 0 , Z B L 1 ビット線、V B L 負バイアス電圧、V n b 1 バイアス電圧。

30

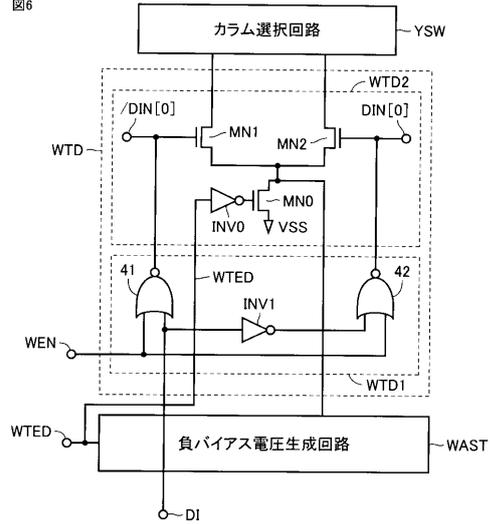
40



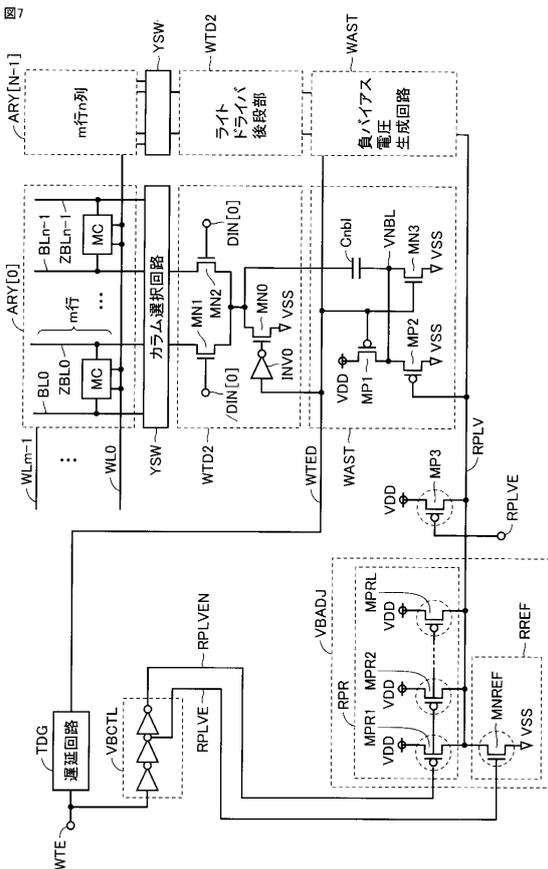
【図5】



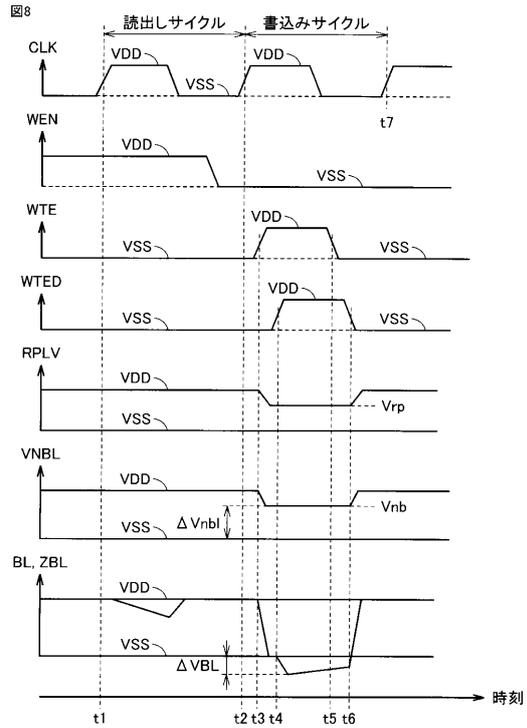
【図6】



【図7】



【図8】







---

フロントページの続き

(56)参考文献 特開2013-69372(JP,A)  
特開2012-69214(JP,A)  
特開2010-218617(JP,A)  
特開2009-295246(JP,A)  
特開2010-257554(JP,A)  
米国特許出願公開第2011/0170368(US,A1)

(58)調査した分野(Int.Cl., DB名)  
G11C 11/413  
G11C 11/417